



SYSTEM LEVEL
ESD PROTECTION

系统与芯片 ESD防护的协同设计

[美] 弗拉迪斯拉夫·瓦什琴科 [比] 米尔科·肖尔茨 著 韩雁 丁扣宝 张世峰 译
Vladislav Vashchenko Mirko Scholz



机械工业出版社
China Machine Press

本书全面讲述了与系统级ESD防护相关的模拟集成电路和系统设计，聚焦于带有嵌入式片上系统级防护的半导体集成电路（IC）器件以及IC与系统的协同设计两个方面，从而减少或完全消除对印制电路板（PCB）上附加的、分立的器件的需求，同时又满足系统级ESD防护的需要，以培养读者为集成电路提供系统级ESD防护解决方案的能力。本书对从事开发片上系统（SoC）、系统级封装（SiP）以及集成系统级ESD防护的业内人士是一本极具价值的参考书。

本书特点:

- 阐述IC级ESD测试方法
- 着重IC级ESD防护设计
- 兼顾IC与系统ESD防护协同设计
- 涉及ESD测试数值仿真



投稿热线: (010) 88379604
客服热线: (010) 88378991 88361066
购书热线: (010) 68326294 88379649 68995259

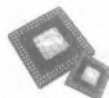
华章网站: www.hzbook.com
网上购书: www.china-pub.com
数字阅读: www.hzmedia.com.cn

上架指导: 集成电路

ISBN 978-7-111-61919-2

9 787111 619192 >

定价: 79.00元



电子电气工程师技术丛书

系统与芯片 ESD防护的协同设计

SYSTEM LEVEL
ESD PROTECTION

[美] 弗拉迪斯拉夫·瓦什琴科 [比] 米尔科·肖尔茨 著 韩雁丁扣宝 张世峰 译
Vladislav Vashchenko Mirko Scholz



机械工业出版社
China Machine Press

图书在版编目 (CIP) 数据

系统与芯片 ESD 防护的协同设计 / (美) 弗拉迪斯拉夫·瓦什琴科 (Vladislav Vashchenko) 等著; 韩雁, 丁扣宝, 张世峰译. —北京: 机械工业出版社, 2019.1

(电子电气工程师技术丛书)

书名原文: System Level ESD Protection

ISBN 978-7-111-61919-2

I. 系… II. ①弗… ②韩… ③丁… ④张… III. 芯片-静电防护-设计 IV. TN430.2

中国版本图书馆 CIP 数据核字 (2019) 第 022526 号

本书版权登记号: 图字 01-2015-5950

Translation from English language edition:

System Level ESD Protection

by Vladislav Vashchenko and Mirko Scholz

Copyright © 2014 Springer International Publishing

Springer International Publishing is a part of Springer Science+Business Media

All rights reserved.

本书中文简体字版由 Springer 授权机械工业出版社独家出版。未经出版者书面许可, 不得以任何方式复制或抄袭本书内容。

系统与芯片 ESD 防护的协同设计

出版发行: 机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码: 100037)

责任编辑: 冯秀泳

责任校对: 李秋荣

印 刷: 北京市荣盛彩色印刷有限公司

版 次: 2019年3月第1版第1次印刷

开 本: 186mm × 240mm 1/16

印 张: 16.75

书 号: ISBN 978-7-111-61919-2

定 价: 79.00元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

客服热线: (010) 88379426 88361066

投稿热线: (010) 88379604

购书热线: (010) 68326294 88379649 68995259

读者信箱: hzit@hzbook.com

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问: 北京大成律师事务所 韩光 / 邹晓东

The Translator's Words | 译者序

在过去的十年中，新的市场需求和新技术的介入引发了电子系统和集成电路（IC）设计显著的范式转移。手持式和移动设备细分市场的快速发展，汽车产品中电子元器件的急剧增加，以及工业和医疗应用的巨大进步，为电子系统及芯片级静电放电（ESD）应力防护技术创造了新的契机。这种新的趋势与高级别的片上系统（SoC）和系统级封装（SiP）相结合，形成了一种片上系统级 ESD 防护设计的新文化。

本书第一次尝试组织、构建、化简素材，给读者带来对这种系统级片上 ESD 防护设计文化的理解。作者试图在理解的最简单层面进行这种尝试，而不需要特定的前导知识，使它适合更广大的读者需求。

本书共分 5 章介绍片上系统级 ESD 防护设计的构成。在逻辑上集中于系统级芯片设计原理的介绍、主要测试方法的呈现、兼顾闩锁现象的片上 ESD 解决方案以及 IC 与系统协同设计方法的概述。

本书的目的不是对本领域的出版物或标准提供最新的评论，而是在每一个设计步骤的基础上，找出解决方案、设计方法学背后的基本原理和逻辑重点，使读者通过阅读本书，可将对物理的深入理解应用于解决他们自己的芯片 ESD 设计问题。

本书不仅对专注于 ESD 设计的从业人员有帮助，而且对 IC 和系统设计师、应用工程师和产品工程师等广大读者也有裨益。

本书第 1~3 章由浙江大学微电子学院丁扣宝副教授翻译，第 4~5 章由张世峰博士翻译，全书由浙江大学微电子学院韩雁教授统稿和校对。翻译过程虽力求完美，但若有错漏或不妥之处，还望读者不吝赐教。

译者

于浙大求是园

前 言 | Preface |

本书的主题和目的

在过去的十年中，新的市场需求和新兴技术的问世引发了系统和模拟集成电路设计的显著的范式转变。手持式和移动设备市场份额的快速增长、汽车电子产品的急剧增加、工业和医疗应用的实质性进步，为系统级静电放电（ESD）应力的芯片级（片上）防护创造了新的契机。这种趋势的扩展不仅仅局限于对 ESD 的规格说明，对系统级电磁兼容性（EMC）标准也是十分必要的。它可以包括浪涌防护、EMI 兼容、过电压保护（OVP），甚至增加了可以承受专用于除颤设备的更长的电脉冲或者雷击的能力。

这种新趋势与高端片上系统（SoC）和系统级封装（SiP）集成相结合，数据率的大幅增长、电子系统的可移植性、更低的功耗以及更低的工作电压，引发了密集的研究和设计活动。作为结果，对新测试方法开发需求的理解、对 IC 元器件和测试芯片上 ESD IP 的设计的系统级测试标准和程序的适应，已经显著地改变了 ESD 开发的景观和今天的整体研发投入。结果是，具有高电流能力的新的片上 ESD 防护器件和具有精确电性能的更先进的瞬态电压抑制器（TVS）已经出现。

从本质上说，一种新的片上系统级防护 ESD 设计文化已经形成。它包括考虑到各种闩锁和瞬态闩锁场景的高电流能力器件的物理设计、印制电路板（PCB）和未来的系统设计，以及对不同器件、应力类型和架构之间的相关性的理解。作为一个终极目标，这项活动目前针对的是将系统与集成电路（IC）芯片整合起来进行协同设计的新方法。这种新的系统级 ESD 设计文化的创造，不仅得到了本书作者的认可，还得到了 ESD、IC 和系统设计领域权威专家越来越多的认可。然而，到目前为止，对芯片系统级设计的全面理解只是分散在多篇论文、教程、白皮书和 IC 产品应用说明中。

带着这样的主要目的，本书第一次尝试通过组织、构建、简化的方法，带给读者对系统级片上 ESD 设计文化主要方面的理解。作者尽最大努力以逻辑的和简单的理解方式来追求这一尝

试，这不需要特定的前导知识，普适于广大的受众。

在这本书的编写工作中，作者共同努力，将各自的研究和工业设计经验以及在这一领域的积累，进行整合和归纳，以将理解带入更深的级别。本书的材料组织方式是将片上系统级 ESD 设计的内容放入 5 章之内。它们从逻辑上分别聚焦于系统级片上设计原理的介绍、主要测试方法的呈现、片上 ESD 设计方案、闩锁现象的考虑，最后给出了一个芯片与系统协同设计方法的概要。

尽管在书的各个章节中引用了许多原始的研究论文，但本书的总体目的并不是要对该领域最新的出版物或标准进行综述。相反，作为作者的目标的挑战任务是，在每个方面或设计阶段，发现并引入解决方案、设计或方法背后的基本物理机理的逻辑重点。这样做是为了使读者能够应用在阅读本书材料时产生的深入的物理解，以解决特定系统和芯片中的 ESD 设计问题。作者希望，用来解决未来系统级 ESD 设计问题所需要的创造和创新将从本书中得到有力的支持。特别是，读者将看到物理设计方法的优点，该方法由一种使用参数化的器件、电路和工艺的器件 - 电路混合模式的仿真所支持。

作者衷心希望这本书不仅能被专门的 ESD 设计实践者，而且还能被广大的 IC 芯片和系统设计师、应用工程师、产品工程师认为是有用的。

本书结构

这本书共 5 章。首先是引导性的第 1 章，为片上 ESD 设计定义主要的原理和方法；第 2 章聚焦在 ESD 测试标准和方法上；第 3 章为片上系统级的 ESD 防护，描述器件和电压钳位级的解决方案，它在第 4 章被扩展到解决芯片设计其余的方面、闩锁和瞬态感应闩锁；最后，第 5 章利用前面几章的知识，构架出新的芯片 - 系统级协同设计的方法。

引导性的第 1 章对于理解接下来的章节材料是一个重要的指引。这一章建立了一个贯穿全书的术语系统，开始于对作为能量在两个接触物体之间传输的 ESD 事件的基础理解，接着是片上 ESD 防护策略以及片上与片外 ESD 防护方法差异的描述。一个关于理解系统级 ESD 脉冲、标准和测试方法的更加详细的说明，在第 2 章中做了进一步总结。第 1 章的内容阐述一个理念，即新时代电子学的需求在带有集成系统级 ESD 防护器件的片上系统级设计和片外 PCB 设计中，都创造了一个重要的设计范式转移。新的精准的硅 TVS（瞬态电压抑制器）解决方案提供了比一般在非常轻的容性负载下使用的聚合物或氧化锌多层压敏电阻更精确的电压钳位。第 3 章给出了一个关于硅 TVS 器件更加详细的器件级的描述，而带有硅 TVS 的片上和片外协同设计的内容在第 5 章中讨论。通过特定系统级测试的一个重要方面不仅仅与脱电状态相关，而且同样与上电应力状况相关。于是，那些引脚需要的防护比标准组件说明书上的 CDM（充电器件模型）、MM（机器模型）和 HBM（人体模型）的电流水平都要高一个数量级。第 1 章强调，系统 ESD 的“解决方案”不再是连接到系统端口的抑制器这个单一选择。一个有效的解决方案需要应用

设计方法学，它考虑电路板的布图、抑制器的电特性和 IC 本身的 ESD 特性。在功能和可靠性上都具有挑战性的产品设计过程中，那些需要考虑的很多方面都在这章中有所提及。需要创新的方法来应对解决方案复杂性的提升。

第 1 章的最后两节介绍了两个关键的仿真方法来支持 ESD 的物理设计，依赖于 ESD 的紧凑型模型和新的 TCAD（半导体工艺技术的计算机辅助设计）方法，它基于参数化的混合模式分析并使用 DECIMM 工具。这一方法使得既带有参数化工艺配置文件又带有器件模型的混合模式的器件 - 电路自动分析成为可能。

在本书的主要术语和方向确定之后，第 2 章带给大家的是关键测试方法物理机制方面的背景，以及它们在片上 ESD 系统级设计中每一个开发阶段上的应用。重点在于理解板级的 ESD 电子枪的测试，然后是封装和晶圆级的测试方法，以达到一个更有效率的片上设计手段。这一章的重点首先在于系统级的测试，像常用的 IEC 61000-4-2 和 ISO 10605 标准。这些内容后面，是关于人体金属模型（HMM）测试关键方法的解释，这是第一个系统级 ESD 应力的元器件级仿真。为了完整性，这一章还覆盖了片上设计其他实际在用的测试方法，比如传输线脉冲（TLP）、ESD 波形的获取和分析，以及不同脉冲、器件类型和测试条件相关因素背后的物理基础等内容。这一章呈现的测试方法被广泛地用在了本书的其他章节。

第 3 章讨论片上 ESD 防护解决方案和工艺技术方面的问题。这一章的目标是对考虑了系统需求的引脚防护所需的成功设计这一交叉学科主题的结构和逻辑的理解。这些主题包括 ESD 器件在击穿状态下、在注入和电导率调制状态下的工作原理、钳位器的布图设计、工艺技术选择、安全工作区（SOA）、标准器件的自防护能力，以及片上 ESD 网络和内部模拟电路模块之间的协同设计。于是，这一章挑战了高级别的器件设计内容，专用于先进的系统级片上 ESD 防护器件和钳位器的设计原理。这里涵盖的主要挑战是高压（HV）系统级 ESD 元胞设计，其专注于利用可以获得的工艺技术特征为大电流性能获得合适的独立于脉冲式的宽度调整。这一章还讨论了影响结构性能的非线性效应和产品布图。非线性效应的原因可以是电流集聚、不平衡的版图布图、多叉指不均匀开启或者在特定元胞中形成了一个“非故意的”漏电流通道。这一章基于一个对最终解决方案的实质性的物理实验验证和确定，DECIMM 工具^[19-20]使得用 TCAD 对 ESD 器件、钳位电路和外围模拟电路模块做混合模式分析这一新方法成为可能。作为这一章的总结，讨论了与 ESD 解决方案设计和实现 ESD 防护窗口目标相关的工艺能力的关键问题。

在晶圆级封装（或者微表面贴装器件）的设计中，倒装芯片键合块被均匀地分布在整个有源布图区域的顶部。在系统级 ESD 事件的大电流情况下，从模拟电路钳位区域的注入会干扰许多相连的有源器件的工作。一个“潜在的”门锁电流通路能够在内部电路元器件的版图下很深的地方形成。因此，钳位器的门锁隔离是一个很重要的设计内容。这些门锁现象作为前面章节内容的逻辑延续，在第 4 章中给出了总结。第 4 章的关键点是：一个系统级所需的经过验证的

独立的 ESD 钳位器的芯片级集成，这不是一个简单的问题。在系统级 ESD 应力和正常工作情况下，都应充分考虑使用说明书和芯片的功能定义，以避免钳位器与内部电路模块的相互作用。在系统级 ESD 电流引起的高注入情况下，受电导率调制影响的寄生器件也会开启。从这个角度来看，在上电情况下的系统级 ESD 事件在概念上能被视为与闩锁现象相似。在这里，主要有三种代表了不同物理现象的闩锁场景。首先，传统的 CMOS 闩锁，以大电流开启由 PMOS-NMOS 反相器对形成的寄生 SCR 为代表，作为电流注入的结果，它以两种子形式存在：一种是带有内部注入的 I/O 缓冲器，另一种是带有来自远端注入的核心电路。其次，高压 N 外延到 N 外延的闩锁——在大电流状态下寄生 n-p-n 结构开启，是来自一个外延区电流注入的结果。对来自低边外延区的电子注入和来自高边外延区的空穴注入的理解，本章进行了解释。最后，作为一种物理现象的组合，介绍了瞬态感应闩锁，在此现象组合中作为短时电压过应力的结果，ESD 钳位器被打开。于是，这一章涵盖了许多重要的工业设计要考虑的内容，作为一个验证过的独立的 ESD 钳位器片上集成的桥梁，在系统级 ESD 应力和正常工作模式下，均考虑了芯片的功能以及内部电路模块的相互作用。后者在高度集成的带有 CAN（控制器区域网络）收发器的智能功率 IC 的例子中进行了演示。

最后的第 5 章组合了前面几章的工具与方法，为 IC 引脚和系统本身开发出有效的和耐用的 ESD 协同设计方法。所选方法组合了带有测试板和晶圆级设置的瞬态器件特性以及器件和电路的仿真。仿真与晶圆级特性的组合使得在 IC 设计的早期阶段，甚至在最后的系统远未被设计及建造之前，系统级 ESD 防护方案的设计与验证就成为可能。首先介绍了可用的片外 ESD 防护器件。接着是可用于 ESD 防护设计的仿真工具的学习。然后是器件与电路建模的方法与实例。仿真模型被用于两个系统级的 ESD 设计方法：基于数据手册的设计和协同设计。每一种方法所需要的投入都与其优缺点一起讨论。通过几个案例，提供了系统级 IC 引脚 ESD 防护结构设计的建议。这一章以介绍的设计方法的比较、测定和讨论作为结束。仿真和瞬态器件特性是系统级 IC 引脚 ESD 防护方案分析和开发的基础。需简化 ESD 器件模型以减少建模的付出和大型防护网络仿真的时间。混合模式的 ESD 仿真使得更高的精度或者在 ESD 应力下具有复杂行为的器件仿真成为可能。高精度的有限元模型（FEM）允许瞬态域的仿真和器件行为的提取。SPICE 和紧凑模型可以加入到混合模式的仿真设置中以进行像电路一样的仿真。所提出的仿真方法被应用到不同的案例研究中以分析和评估系统级 ESD 的设计概念。本章将带有 PCB 上 TVS 组件的基于数据手册的系统设计作为一种方法来介绍，该方法需要基于设计经验或者 IC 供应商提出的更高的 ESD 防护级别需求。基于数据手册的方法的应用导致了许多问题，要么是系统的过设计，要么是 IC 的高成本的 ESD 防护方案的过设计。在某些应用场合中，这一方法会产生额外的挑战，即要同时设计出既有 ESD 鲁棒性又能满足功能需求的系统。作为结果，需要增加许多超出必要数量的片外元器件。

另一个方法是 IC 与系统协同设计的方法，它涉及器件脉冲特性的获取。TLP 测试与 TLP

I-V 曲线用于给系统设计者提供片上和片外 ESD 防护的信息。本章的内容极大地依赖于案例学习，这些案例将 TLP 测试结果与瞬态仿真结合起来，用于识别在系统级 ESD 应力下片上和片外 ESD 防护器件的瞬态行为。通过增加从外部 IC 引脚获得的大量的 HMM 特性数据，可以得到 IC 与系统级协同设计方法的一个重要扩展。这一信息被用来检验进入片上 ESD 防护系统的残余电流是否没有超过 HMM 的失效等级。结论是，由于 CMOS 工艺尺寸持续缩小、像 3D 晶体管（多栅 FET、FINFET）这样的新器件概念的问世以及像硅通孔线性结构这样的新型后端工艺定义的 2.5D 和 3D 的集成机理的出现，协同设计对将来的封装级系统和片上系统将会是一个始终存在的挑战。

致谢

本书作者对过去二十年中，来自 EOS/ESD（电过应力 / 静电放电）协会、Industry and University Research Groups 的同事的众多讨论和支持表示感谢。他们愿意认可来自 Angstrom 设计自动化公司的 Andrei Shibkov 博士的额外贡献，特别是他用 DECIMM 所做的仿真支持和新特性的实现，使得这本书有了想要的组成内容，尤其是对门锁的自动化仿真（第 4 章）和对 ESD 器件的革命性加工能力指标的仿真研究（3.5 节）。

本书两位作者还特别欣赏 Augusto Tazzoli 博士，他致力于完成对整个手稿的详细的高质量的综合，并发表了许多有价值的评论和技术讨论，极大地完善了本书的内容。

此外，作者 Vladislav Vashchenko 博士还感谢 Yana Vashchenko 在第 3 章、第 4 章材料编辑上的工作；也感谢作者本人在 Maxim Integrated 公司 ESD 领域的许多同事：Joseph Sheu、Todd Mitchell、Slavica Malobabic 博士、Blerina Aliaj、Dimitrios Kontos、Ali Rezvani 博士和博士生 Yunfeng Xi（他们在与系统级 ESD 主题相关的项目工作中，有许多激励性的讨论，影响了这本书的内容）。作者还深深地感激在过去十年中，围绕 ESD 主题与他进行过多次讨论的同行：来自 imec 的 Dimitri Linten 博士和 Geert Hellings 博士，来自硅实验室（Silicon Labs）的 Misha Khazhinsky 博士、Jeremy Smith 和 Anirudh Oberoi，来自加州大学伊利诺伊分校的 Elyse Rosenbaum 教授，来自 QPX GmbH 的 Markus Mergens 博士，来自 Novorel 的 Vess Vassilev 博士，来自法国国家系统分析与架构实验室（LAAS）的 David Tremouilles 博士，来自英特尔公司的 Harald Gossner 博士和来自中佛罗里达大学的 Juin Liou 教授。

作者 Mirko Scholz 博士想要感谢他现在和以前在 imec ESD 团队的同事，他们在日常的 ESD 工作中与他有着众多的交流。特别是 Shih-Hung Chen 博士、Dimitri Linten 博士、Steven Thijs 博士、Geert Hellings 博士、Roman Boschke 和 Alessio Griffoni 博士。作者还想感谢许多来自 imec 不同部门和小组的同事的直接与间接的支持。他想要感谢国家半导体公司（现 TI 公司）的前 ESD 团队，特别是 Ann Concannon 博士、Antonio Gallerano 博士和 David Lafontese 博士，与他们早年在各种元器件级和系统级 ESD 主题上有过合作。他还要感谢日本的 HANWA 公司参加了 ESD

测试设备的开发合作，使得许多新的和先进的 ESD 测试方法成为可能，这在本书中也得到了部分论述。他还想进一步感谢 ESDA 工作组过去和现在的成员在 HMM 测试方法上所做的工作（见 5.6 节）。最后，他还感谢比利时自由大学（Vrije Universiteit）电气电子工程系的教职员们，以及那些他早年的同事和合作研究者们。

目 录 | Contents

译者序

前言

第1章 系统级ESD设计 1

1.1 认识ESD事件 1

1.1.1 IC和系统级ESD应力 1

1.1.2 IC元器件和系统ESD设计趋势 2

1.2 片上ESD防护策略 4

1.2.1 基于轨的ESD防护网络 7

1.2.2 局部钳位网络和两级防护 9

1.2.3 多电压域 14

1.3 片外ESD防护策略 15

1.3.1 高集成度的趋势: SoC和SiP 15

1.3.2 ESD电压抑制 16

1.3.3 电容和信号完整性 18

1.3.4 片外网络的ESD抑制因素 20

1.4 基于ESD紧凑模型的

防护网络仿真 24

1.4.1 低压器件的ESD紧凑模型 25

1.4.2 高压器件的ESD紧凑模型 26

1.5 用混合模式电路仿真进行片上

ESD设计 29

1.5.1 基于TCAD的工业级ESD开发

流程 29

1.5.2 参数化器件和工艺的新方法 31

1.6 小结 36

第2章 系统级测试方法 37

2.1 板级测试方法 38

2.1.1 一般电气设备的IEC 61000-4-2
标准和测试方法 38

2.1.2 汽车标准 ISO 10605 46

2.1.3 IEC 61000-4-5浪涌标准 48

2.2 HMM测试 53

2.2.1 具有ESD枪的HMM装置 54

2.2.2 50Ω的HMM装置 55

2.3 传输线脉冲表征 56

2.3.1 TLP测试方法 56

2.3.2 极快TLP测试方法 60

2.4 ESD应力的瞬态波形表征 63

2.4.1 ESD波形校准 64

2.4.2 HV电路的瞬态特性 69

2.4.3 晶圆级HMM 装置的瞬态特性	71	3.4.4 金属化限制及优化	136
2.5 HMM测试仪相关	72	3.5 ESD 器件工艺能力指数	139
2.5.1 测试装置和器件表征	72	3.5.1 对器件工艺能力指数的认识	139
2.5.2 阻抗匹配和对失效水平的影响	77	3.5.2 雪崩二极管击穿的 C_{pk} 仿真	143
2.6 小结	79	3.5.3 NLD MOS-SCR钳位的 C_{pk} 分析	148
第3章 片上系统级ESD器件和钳位	81	3.6 总结	152
3.1 片上ESD设计的重要入门知识	81	第4章 系统级应力下的闩锁	155
3.1.1 局部钳位和基于轨的防护网络	81	4.1 常规的I/O闩锁和核心电路闩锁	156
3.1.2 半导体结构的电导率调制	84	4.1.1 闩锁仿真结构	156
3.1.3 集成工艺中ESD相关细节	87	4.2 高压闩锁	163
3.1.4 ESD脉冲域的SOA和自防护	93	4.2.1 n 外延- n 外延闩锁	163
3.2 系统级防护的低压ESD器件	95	4.2.2 有源保护环隔离和实验对比	170
3.2.1 非回滞解决方案	96	4.2.3 高压闩锁抑制规则	174
3.2.2 SCR和LVTS $\overline{C}R$ 器件	98	4.3 TLU	174
3.2.3 高维持电压SCR	103	4.3.1 TLU闩锁测试	175
3.2.4 低压双向器件	105	4.3.2 电源轨中开关引脚的TLU	176
3.3 系统级防护的高压ESD器件	108	4.3.3 TLU, 基于独立ESD器件的 简单网络	179
3.3.1 高压有源钳位	109	4.3.4 TLU, 片上和片外防护网络的 影响	181
3.3.2 LDMOS-SCR器件	110	4.4 应用案例	184
3.3.3 高维持电压HV器件: 雪崩二极管	114	4.4.1 LIN和CAN收发机	185
3.3.4 横向PNP ESD器件	121	4.4.2 CAN收发机案例研究	188
3.3.5 HV双向器件	124	4.5 总结	191
3.4 ESD单元设计原理	126	第5章 IC与系统的ESD协同设计	193
3.4.1 不受欢迎的多叉指开启效应	127	5.1 采用硅基TVS元器件进行片外 ESD防护	193
3.4.2 多晶硅镇流克服多叉指开启 效应	132	5.1.1 硅基TVS器件结构	194
3.4.3 通过适当的单元布图工程克服 多叉指不均匀开启效应	135		

5.1.2 硅基TVS器件特性	196	5.5.2 给外部IC引脚选择合适的ESD 钳位器件	216
5.2 系统级ESD设计建模和仿真	198	5.5.3 基于先进CMOS工艺的 协同设计	222
5.2.1 ESD测试模型	198	5.5.4 元器件级ESD设计准则	225
5.2.2 ESD器件的行为模型	198	5.6 系统级ESD协同设计方法的 比较	229
5.2.3 TVS二极管模型	200	5.6.1 基于数据手册的设计	230
5.2.4 板级无源元器件建模	201	5.6.2 基于TLP特性的设计	236
5.2.5 混合模式仿真	203	5.6.3 基于HMM测试的设计优化	238
5.3 基于数据手册的系统级ESD 防护设计	204	5.6.4 设计基准和比较	239
5.4 IC与系统的ESD协同设计概念	206	5.7 总结	241
5.4.1 基于TLP数据的协同设计方法	207	5.8 展望	242
5.4.2 基于HMM测试的IC与系统协同 设计	209	参考文献	245
5.4.3 基于TLP和HMM测试的协同设计 流程	215	缩略词表	252
5.5 系统感知片上ESD防护设计	216		
5.5.1 案例研究的实验设置	216		

系统级 ESD 设计

1.1 认识 ESD 事件

1.1.1 IC 和系统级 ESD 应力

ESD 事件表示两个不同静电势的物体相连时发生的直至电势相等或两个物体分开的能量转移。此处的“相连”姑且假定为包括空气的任何介质提供的电流通路。ESD 事件引发了正比于静电势差的一个衰减的电流脉冲，上升时间和电流大小决定于连接阻抗。能量转移可以通过接触进行，也可以通过电离环境放电（电火花）。这一转移由不同的标准电路模型模拟，以测试器件是否满足相应的合格水平。通常，这些模型采用一个由给定 ESD 脉冲电压充电的电容器和一个充当限流电阻的网络（或环境空气条件），伴随着感性和容性负载，以便控制脉冲上升时间和波形参数。第 2 章会对 ESD 脉冲的规范、标准和测试方法进行归纳总结。

ESD 电流脉冲持续时间 1~200 ns，上升时间从几百皮秒（ps）到零点几纳秒（ns），电流幅值从 1 A 到超过 50 A。除非采取特殊的防护措施，否则在某些临界幅值处，ESD 瞬态电流可直接影响到系统和元器件的可靠性。这可以导致成品率的下降或消费产品的损失。

在现实生活中，作为摩擦生电、以导电表面机械连接或空气放电的形式与其他带电系统或设备接触等的后果，ESD 放电可在产品寿命期限内、在制造和装配或维护过程中由终端用户对系统或器件造成冲击。例如，带电电缆或连接器与系统输入或输出端口的连接可产生放电电流，其必定会通过特别的 ESD 电流通路分流到系统内部（见图 1.1）。

在 IC 中实现的钳位电压和残余电流是防护器件的击穿电压和动态电阻的函数，钳位电压可以通过将电流乘以与 ESD 电流通路相关的导通电阻而推算得到。

为确保系统的可靠性和合格性，必须基

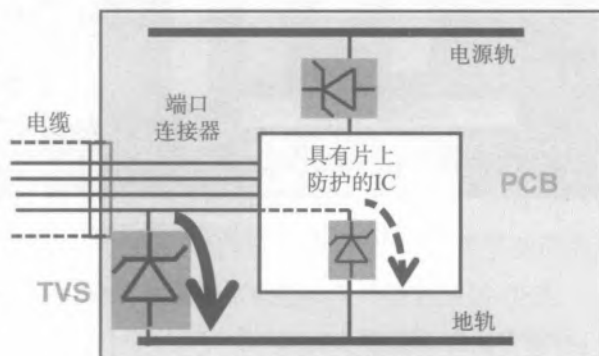


图 1.1 有内部 IC 的系统中的 ESD 电流通路

于一系列标准文件进行器件级和系统级的 ESD 鉴定试验。这种鉴定测试条件是 IC 和系统设计以及产品不可分割的一部分。通过这些测试是取得各种产品证书（例如产品引入消费市场所必备的欧洲 CE 标志）的必要条件。

同时，ESD 防护策略自身是基于一个相当简单的方法。它包括一个专用的用于放电的电流通路的实现，这借助于集成电路（IC）元器件的片上防护结构或 / 和嵌进系统 ESD 防护网络。除了其他隔离措施之外，这个网络还防护系统自身。这个防护网络通常由片上有源和无源或片外板级元器件组成。总体上说，这些元器件和互连线代表一个脉冲电源网络电路，在正常工作状态下不工作，但在 ESD 脉冲下被激活，提供放电电流通道。ESD 脉冲防护网的启动通常是由上升时间和过电压检测组合来实现的。如果 IC 引脚或系统端口的临界电压超过了某一阈值，片上和片外 ESD 防护网就开启。

1.1.2 IC 元器件和系统 ESD 设计趋势

在产品使用寿命期限内，终端用户能产生并引入电子系统产品的 ESD 强度比在一个受控制造环境中产生的典型强度要严重得多。此外，由于 1993 年 S20.20 流程^[1]的引入，在实际 ESD 受控环境中探测到的 ESD 脉冲强度呈现不断减小的趋势。因此，EOS/ESD 协会（ESDA）建议降低了相应资质的要求（见图 1.2）。这一倡议还没有被工业界完全接受，IC 制造商的标准公司要求和具体产品规格常常取决于客户。它们通常包括元器件级的 2 kV HBM 和 100~200 V MM 的 ESD 脉冲。然而，在 ESD 防护区域 ESD 应力事件的幅值显著降低的事实几乎不会引起任何怀疑，它至少被广泛地作为合格免检的理由。

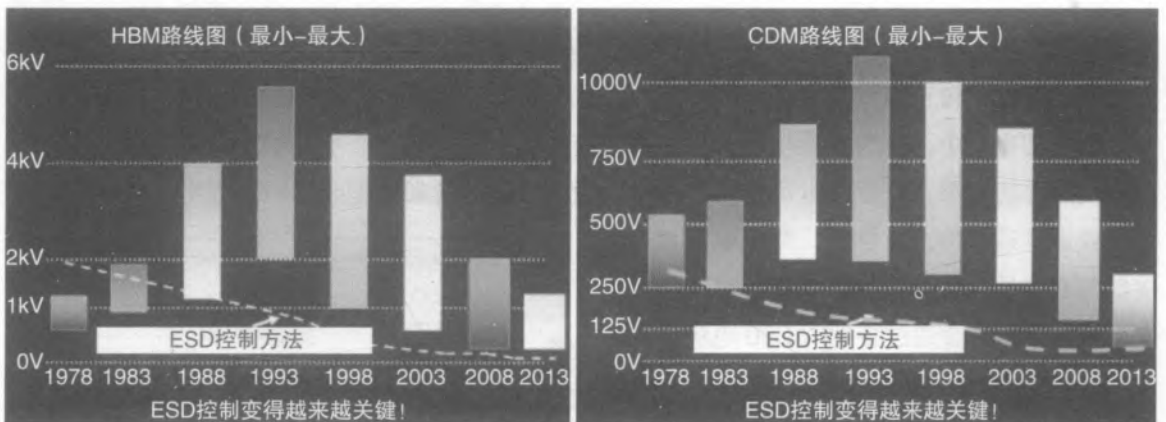


图 1.2 EOS/ESD 协会建议的在 HBM 和 CDM 应力下的 ESD 脉冲路线

ESD 控制过程大大减少了制造场所电荷的积累。例如，图 1.3 中的 A 情形是在没有采取专门控制方法时测量的人体电压，它能超过 2 kV。如果制造场地配备 ESD 地板，静电引起的电压就降低到 200 V 左右的量级（图 1.3 中的 B 情形）。如果操作者穿上 ESD 鞋，在 ESD 地板上的

行走仅产生约 20 V 的电压（图 1.3 中的 C 情形）。因此，通过 ESD 控制流程的实施，由人体引起的电压可以降低二个数量级。

近二十年来，系统级防护出现了一个相反的趋势，为了满足不断上升的系统 ESD 防护需求，引入了大量新的标准。一个典型的例子是在汽车应用领域，要满足故障率为百万分之零的部件要求（图 1.4）。除系统级 ESD 脉冲之外，IC 制造的一些新标准已经向下传递到元器件级。其中包括电源浪涌规格（第 2 章）。因此，当这些最初的系统级标准已经向下传递到选定的 IC 引脚合格级的要求时，就会发生重要的范式转变。

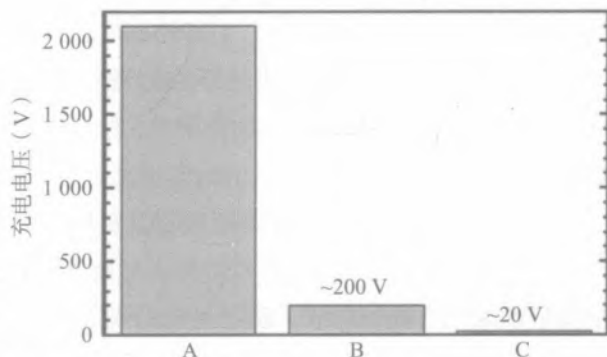


图 1.3 不同 ESD 控制方法对制造环境中人体电压的影响：
A. 没有 ESD 控制，B. 安装有 ESD 地板，
C. ESD 地板及 ESD 鞋类^[2]

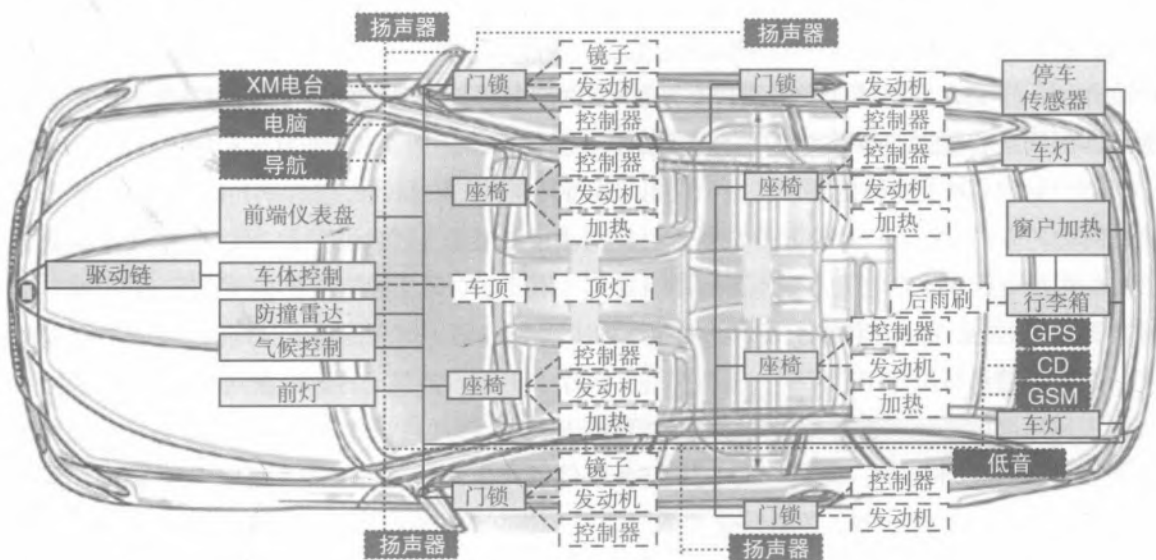


图 1.4 汽车产品系统级鲁棒性设计说明

在某种程度上，ESD 防护的重点已经从芯片级 ESD 鲁棒性转移到系统级鲁棒性上。以往解决这个问题的最初尝试仅仅来自一个直观要求，即更高标准的元器件级 ESD 测试。例如，要求 IC 制造商供应的 IC 的某些引脚的防护级别达到 8 kV 甚至 15 kV HBM。即使在今天，如此不合理高的（与图 1.2 相比）元器件 HBM 应力水平还能在与系统级合格数据列在一起的某些新产品的数据手册中见到。然而，针对特定系统级标准脉冲的通过水平已成为了主导方法。

总的来说，CDM、MM 和 HBM 标准脉冲的元器件合格水平不能保证 IC 增加系统级鲁棒性。在芯片级 ESD 评定期间，通过 IC 的放电是在断电情况下进行的。通常，由此引发的 ESD 电流

通路与在通电系统的系统级 ESD 测试期间的并不相同。因此，IC 至少能承受一小部分系统级 ESD 电流的能力需要得到验证。这需要将 IC 引脚直接与系统端口相接触，除非板级 ESD 防护网络确保适当地限制了流进 IC 引脚的电流。

芯片级验证的最初目的是在制造过程和系统自身装配期间确保芯片自身的可靠性，而不是在现场的使用寿命期间。在现场使用中，系统或许会经历相当高的故障率，不太可能会通过认证，除非系统经过专门设计，有目的地实现系统级 ESD 防护网络，从而分流 ESD 电流。

现今最理想的实现 ESD 系统级设计鲁棒性的设计方法涉及 IC 元器件级和系统板级防护。片上 ESD 防护网络通常由 ESD 钳位、二极管、自防护功率器件、供元器件级 ESD 电流流动的坚固金属条互连线等组成。除了可选的瞬态电压抑制器 (TVS) 之外，系统级 ESD 防护网络还依靠无源元器件。结合这两个网络的主要策略将在后面两部分评述。有两个重要趋势导致系统级 ESD 防护策略的根本性变化——随着工艺向更先进技术节点的迁移，以及随着数据速率的不断增加而日益严格的信号完整性要求^[3]，系统中 IC 对 ESD 敏感性不断增长。

处理高数据速率的传统方法是降低传输线上的容性负载。其中包括 ESD 防护器件的电容。然而，ESD 器件的电容正比于器件有源区宽度。器件 ESD 防护能力的下降是可预料的不受欢迎的副作用。于是，系统设计者面临着在系统可靠性和信号完整性之间进行折中的压力，或者要面对匹配网络和 ESD 防护网络的联合设计策略。

对于某些系统完整性的要求，由于采用的半导体工艺的限制，传统的片上 ESD 方法不能提供合适的防护方案。因此，片外 ESD 防护设计变得不可避免。一般来说，上一代专用集成电路能够接受的钳位电压和残余电流水平不再适用于由尺寸不断缩小的半导体工艺实现的新一代电路。高速数据接口 USB、HDMI 和显示端口的采用增加了在 ESD 防护的鲁棒性下维持信号完整性的复杂度。类似的趋势可见于 RF 天线、车用网络、医疗、工业，甚至云计算的新兴服务器的应用。

应用环境的变化直接导致了 ESD 的脆弱性。例如，各种各样的手持和移动设备每天使用于严苛和不可控的环境下，现实生活中的 ESD 事件可产生高达 30 kV 的系统级 ESD 脉冲、浪涌和 EMI。设备（比如 USB）必须忍受与系统端口多芯电缆的频繁连接和拔出，以及在不同应用环境中，比如在跑步或骑自行车的人的口袋中，便携设备摩擦生电电荷的积累。

对于传统的 ESD 架构，ESD 防护的鲁棒性与低寄生电容的反相关，会对信号完整性产生负面影响。这导致维持电容和阻抗匹配的困难不断增加。另一方面，多个规范、标准和测试标准的组合通常非常烦琐。由系统级 ESD 条件下的片外器件以及残余电流传到 IC 引脚的片上器件实现的电压钳位波形不明确，因而确定哪一种 ESD 防护器件能提供最好的效果是相当困难的。

1.2 片上 ESD 防护策略

片上 ESD 防护的最初作用是保证 IC 能承受在 ESD 防护区域 (EPA) 的整个制造过程中的

ESD 应力。这包括芯片代工和系统装配。每片芯片的规格分别包括针对各种标准定义的脉冲下的合格等级。已经建立了元器件级标准，以检验在受控环境下 IC 的抗 ESD 能力。主要的标准包括：充电器件模型（CDM）、机器模型（MM）和人体模型（HBM）（图 1.5）。

CDM 测试验证 IC 对从带电封装体到接地金属体的放电事件的敏感性。这种脉冲上升时间快到 100 ps 左右，时间很短，1~5 ns，幅值正比于 IC 元器件尺寸。IC 封装体在给定的电势处可累积电荷。对于 CDM，典型的测试电平在 250 V 到 750 V 之间。

MM ESD 事件在物理上代表突然连接到 IC 引脚的预先带电的金属工具放电。这里假定了 IC 已连接到对地放电路径。由于金属工具的电感，脉冲具有振荡波形。可以预期，由于金属工具的阻值低，并且如果接地做到位的话，在环境防护区域中金属工具不太可能充电到太高的电位，因此通常的 MM 的测试电平是 100 V 或 200 V。200 V 的脉冲产生大约 3 A 的峰值电流。

HBM 标准在物理上代表一个带电的人体与一个 IC 引脚接触且另一个 IC 引脚接地产生的静电放电现象。一般认为，在环境防护区域中，人体产生的静电势在 0.5 至 2 kV 之间。产生的电流脉冲被一个 1.5 k Ω 的放电电阻所限制，导致 2 kV 的应力水平下峰值电流大约为 1.33 A。

这些 IC 元器件测试电压水平（图 1.2）仅在受控制制造环境下的环境防护区域中有意义，这里采取了预防措施以确保人员和设备的静电水平最低。相同预充电电压下，IEC 系统级应力脉冲会引起更大幅值的脉冲电流（图 1.5）和总电荷（图 1.6）。系统级标准将在第 2 章中详细讨论。

片上 ESD 防护网络是由嵌入式功率电路表示，它可为每个 IC 引脚与引脚的组合提供不同的可逆电流通路。在通过这些电流通路放电时，实现了一个合适的电压限制，以防止被防护的内部电路出现任何不可逆的变化。尽管模拟电路的种类繁多，防护网络可以基于比较常见的简单原则构建。通常防护网络区分为基于局部钳位的网络或轨基网络。第一种也可以包括利用片上有源电路元器件的自防护。

局部防护网络依赖于一个专门设计的 ESD 防护钳位器，附加在被防护的 IC 引脚和 IC 地之

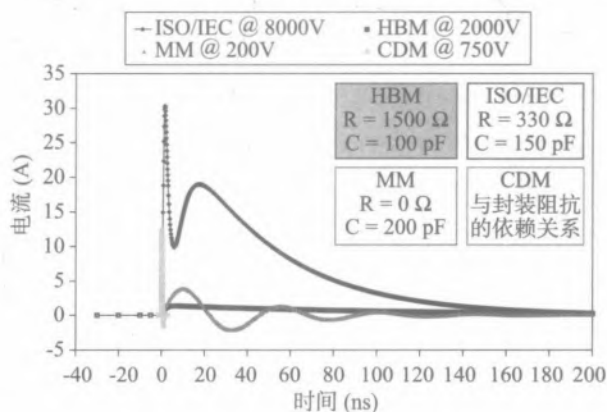


图 1.5 主要的 IC 元器件和 IEC 系统级脉冲的理想波形比较

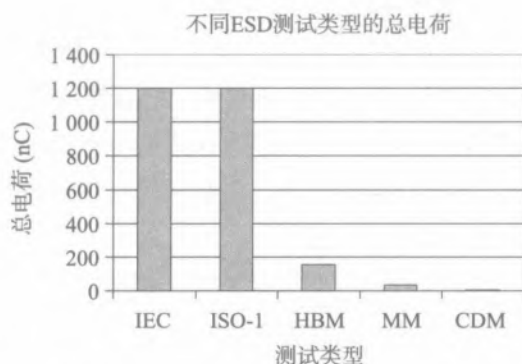


图 1.6 主要的 IC 元器件和 IEC 系统级脉冲总电荷的比较

间或在两个 IC 引脚之间。在这种情况下，希望通过局部钳位，为每对引脚到引脚的组合实现电流通路。可供选择的轨基网络通过连接到 ESDPLUS 和 ESDMINUS 轨的二极管，以及核心钳位器的连接，给相同电源域的 IC 引脚提供防护。两个引脚间的电流路径通过二极管和核心钳位网络得以实现。这两种方法各有优缺点（见表 1.1）。

表 1.1 两种主要 ESD 防护策略的比较

	局部钳位网络	轨基网络
优点	不依赖总线电阻	面积效率高
	在每一个引脚的周围	易于工艺转移
	适用于多引脚数	基于 SPICE 的设计
	不需要压焊块环	适用于引脚数较少的 IC
	SoC 与系统级设计	
缺点	更密集的面积	基于性能
	对工艺高度敏感	依赖总线电阻
	“潜行”电流路径仿真和计算困难	分布式 ESD 网络需要复杂的芯片级实现和验证

ESD 防护网络的设计包括 ESD 钳位的适当选择，它是为给定工艺开发的、具有知识产权 (IP) 并与工艺设计包 (PDK) 兼容，设计足以传导较大 ESD 电流的金属布线，并考虑遍及模拟电路内部模块的可选电流通路。对不同电源域，选择局部还是轨基钳位是一专项任务。由于模拟 I/O 模块与内部有源电路的相互作用，混合模式仿真和利用紧凑建模工具的电路级 ESD 仿真都被用于提供重要的设计验证和优化。

全面的片上 ESD 防护网络的策略在文献 [5] 中有详细描述。这种网络的主要功能是通过实现放电电流路径，对瞬时高电压起作用。依据内部电路规格，瞬态触发和电压的 ESD 钳位都可以用于实现片上防护网络。对元器件级规格的防护钳位设计在文献 [5] 中有广泛讨论。系统级引脚 ESD 钳位设计的细节将在第 3 章中讨论。

术语 ESD 压焊块 (pad) 环常常用于数字电路设计和引脚数较少的模拟电路，其中芯片的外围用作 I/O 和电源压焊块、ESD 钳位和 I/O 电路布局。任何 ESD 压焊块环包括压焊块和在压焊块附近由基本单元组合构建的分布式 ESD 防护电路。ESD 防护网络元器件也能嵌入进 I/O 单元。在大多数情况下，ESD 压焊块环可与内部电路相分离，因此实际上复用于支持不同的内部电路模块。

对于模拟电路，对 ESD 压焊块环设计的理解并不总是像数字电路那样直观。这种复杂性是由较高强度的电流通路与内部电源电路相互作用造成的。通常，模拟电路引脚会面对许多相连的有源器件。于是在内部电路内，某些器件，尤其是功率器件，会“看见”相当多的残余 ESD 应力。

在芯片封装的微型表面贴装或晶圆级倒装设计的情况下，凸起的压焊块是以球状矩阵排列

的形式安排在整个硅片区域的顶部。在这种倒装芯片封装中,实施 ESD 压焊块环变得不切实际。尽管 ESD 网络可不与内部模拟电路分离,采用分层和混合模式仿真的方法,仍可在一定程度上对 ESD 电流通路和电压限制进行分析。

根据内部电路的设计,由于与外部器件控制电极的不同耦合,内部元器件的绝对最大电压可能会有明显变化。从这一预期来说,功率模拟电路和 ESD 防护网络需要定制的协同设计,特别是当某些 IC 引脚被指定为系统级的要求时。

1.2.1 基于轨的 ESD 防护网络

为了通过 ESD 认证,每个 IC 引脚必须依靠内部功率器件提供自防护或连接到 ESD 防护网络上。局部 ESD 防护与总线电阻无关,也不依赖于其他的网络元器件。它提供一个相对容易解释的局部电压波形。但它不是节省空间的最优方案,特别是在耐高压模拟集成电路引脚的情形下,它对工艺更加敏感。

总的来说,轨基 ESD 防护网络可以由二极管和连接在 ESD 轨之间的所谓核心钳位器构成。原理上,ESD 轨可公用电源总线或者独立于它们。核心钳位器可以有回滞特性,也可以没有。不管怎样,当采用回滞型钳位器时,对于将引脚电压限制在适当水平而言,累积的压降(触发电压)可能变得过度了。因此,这种方法的使用寿命有限,例如用于具有较大 ESD 防护窗口的放大器。

轨基防护可以用核心钳位器实现,可以既作为电源钳位器又作为核心钳位器,也可以仅作为核心钳位器。在第一种情形下,ESDPLUS 和 ESDMINUS 轨作为电源和地是相同的,例如 VDD 和 VSS(图 1.7a)。对于核心钳位功能,电源可以通过轨二极管对类似地连接到 I/O(图 1.7b)。在这种情形下,如果使用一个有源钳位器,从 ESDPLUS 轨到任意一个 pad 间,必须使用一个电荷“渗漏”电阻,以避免由多重 ESD 脉冲的作用引起的内部电荷积累以及相应的有源钳位失效。

轨基 ESD 防护网络可以通过带有共用的核心钳位器的 ESD 总线(轨)以及 ESD 二极管的存在来识别,而 ESD 二极管将其他的引脚连接到轨道上,除非二极管的功能是通过与

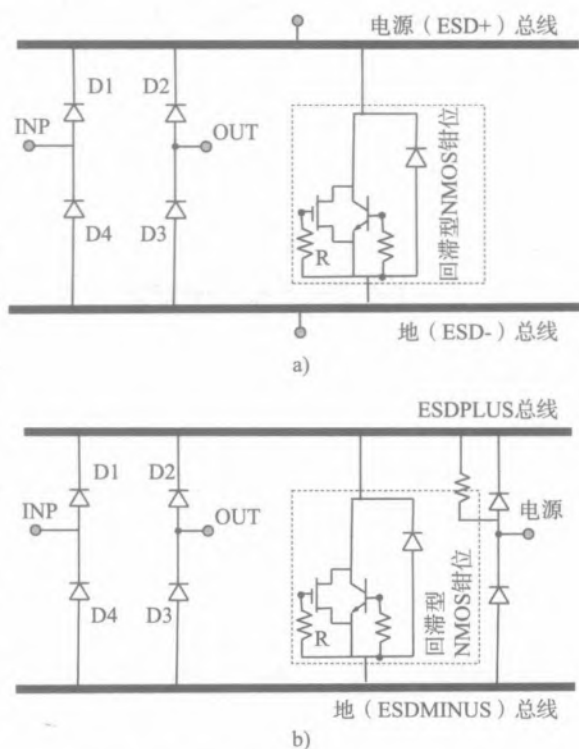


图 1.7 具有回滞钳位的轨基 ESD 防护网
a) 电源钳位 b) 核心钳位

引脚相连的内部器件的体二极管来实现的。ESD 二极管可以连接到输入/输出 (I/O) 引脚或其他控制引脚, 包括电源引脚。连接到轨的电源引脚通常共用金属布线。然而在原理上, 防护网络可以用 ESDPLUS 和 ESDMINUS 总线来组织, 它们将电源域和接地域分开。

ESD 防护可嵌入输入/输出 (I/O) 单元中。使用该方案时, 必须考虑一系列的 ESD 和闩锁规则, 使 ESD 元器件和 I/O 元器件的工作不发生冲突。闩锁的物理知识和相关设计要点将在第 4 章讨论。

有源钳位网络设计的主要优点之一是可以采用常规有源器件紧凑模型对 ESD 脉冲下的电路进行分析。在轨基网络情形下, 复杂的芯片验证有好几个步骤。它们通常包括: 验证每个 IC 引脚都有 ESD 防护; 专用 ESD 放电通路分析和引脚到引脚的压降分析; 对 ESD 电流密度水平的互联鲁棒性的提取和验证 (在接触、金属和通孔处); ESD 单元的类型及它们的直流电压和引脚的信号容差和是否符合 ESD 设计准则的验证。

在轨基 ESD 防护方面, 希望 ESD 二极管将脉冲 ESD 电流仅置于正向偏置模式, 并且 ESD 二极管具有由 ESD 防护网络防护的高反向击穿电压。为避免对主要 ESD 电流通路造成干扰, ESD 二极管的耐压是一个重要参数。为避免 ESD 二极管由于雪崩击穿模式烧坏, 以及在正常运行期间对电路功能的直接影响, 应为轨基防护域设计适当的——高于电源电压的击穿电压。

一个简化的 4 引脚轨基电路的例子 (图 1.7a) 综合了输入 (INP)、输出 (OUT)、电源和接地 (GND) 引脚的防护。重复使用类似的二极管与 I/O 引脚的连接, 可以将另外的引脚加到防护网络上。通过正向偏置二极管、轨的对应部分和核心电源钳位器, 防护网络为每个引脚到引脚组合提供了一个 ESD 电流通路。在电源钳位处实现了高压电流通路和通过钳位二极管的反向通路。例如, 在 INP 对 OUT 的正向 ESD 攻击下, 通过上二极管 D1、ESDPLUS 总线的上部, 然后再通过回滞型钳位器、ESDMINUS 总线的相应部分和正向偏置二极管 D3, 形成了电流通路。

ESD 电流水平也应该考虑轨电阻, 电路总压降和每个引脚的对地压降可以根据钳位电压降 V_C 、正偏二极管压降 V_D 和依赖于电流路径的总线电阻 R_{ESD+} 、 R_{ESD-} 的分布加以估算 (表 1.2)。当然, 对于更复杂的多引脚数的情形, 则需要用到多电流路径电阻自动提取的 CAD 自动化工具^[6]。

表 1.2 峰值 ESD 电流处的轨基峰值电压

ESP 冲击组合	冲击引脚的总压降	INP 电压对 ESD-	OUT 电压对 ESD+	电源电压对 ESD-
INP 到 ESD+	V_D	V_D	0	0
PWD 到 ESD-	V_D	约 $V_D/2$	约 $V_D/2$	V_D
ESD- 到 INP	V_D	V_D	0	0
PWR 到 ESD-	V_C	$V_C/2$	$V_C/2$	V_C
INP 到 OUT	$2V_D + I_H (R_{E-} + R_{E+}) + V_C$	$V_D + I_H (R_{E-} + R_{E+}) + V_C$	V_D	约 V_D
INP 到 ESD-	$V_D + I_H (R_{E-} + R_{E+}) + V_C$	$V_D + I_H (R_{E-} + R_{E+}) + V_C$	$(I_H (R_{E-} + R_{E+}) + V_C)/2$	$I_H (R_{E-} + R_{E+}) + V_C$

在分布式网络中，钳位元器件可以共用。例如，分布式核心电路有源钳位器包括具有共享 RC 计时器的 NMOS 阵列（图 1.8）。RC 控制的功率 NMOS 器件的分布式网络具有极为有利的低导通电阻，能够实现相当低的压焊块（pad）环区域的钳位电压，该电压正比于所使用的分布式单元个数。

如果系统级的要求是重要的，那么有源钳位的芯片级防护就变得很有挑战性，因为当电源电压存在时，有源钳位器将无法使用。为了限制输入引脚的电压，使用反向平行二极管钳位器来防护差分 BJT 的输入引脚，二极管的数量对应于所需的差分信号电平（图 1.9）。

1.2.2 局部钳位网络和两级防护

在系统级应力的情形下，由于防护网络累积的高压降，IC 输入和输出的轨基防护网络通常效率低下。在上电条件下，有源钳位失能，这样对 ESD 脉冲的响应就不充分。其他阻碍有源钳位方法的情形包括 pad 的防护，其耐压在可用的有源器件额定值之上，例如，用 5 V 半导体工艺实现的放大器，它的与薄膜输入电阻相连的差分输入引脚具有较高的（65 V）共模耐压^[7]。其他的例子包括具有双向高耐压的电路引脚。对这种引脚的防护可能不会容许下二极管对地轨，因此也需要排除上二极管对电源轨。所以，局部钳位方法就是唯一的实用方案（图 1.10）。在局部钳位防护网络方案中，每个引脚通过专用的局部 ESD 钳位进行防护，它提供了从引脚到地或直接到另一个引脚的电流通路。

两级片上 ESD 防护原理适用于局部钳位防护。一般来说，两级防护网络由两个被电阻性电流路径或一个延迟元器件隔开的 ESD 钳位器的组合构成。基于电阻的两级网络（图 1.11a）

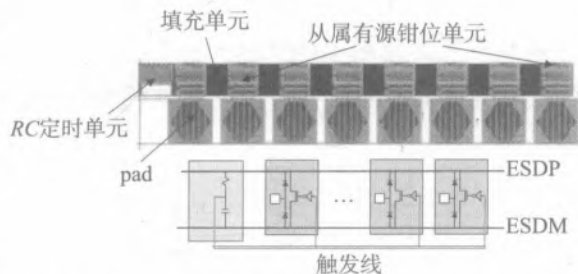


图 1.8 由 ESD 库单元组成的 3V ESD 域有源钳位网络的版图和电路图

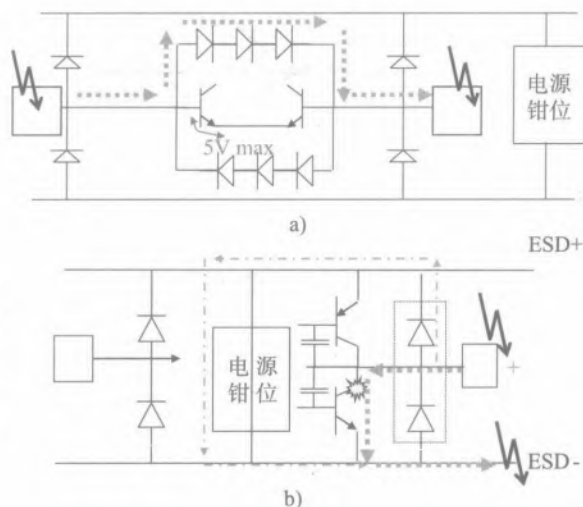


图 1.9 带有指定 ESD 电流路径的 a) 轨基双极型差分输入和 b) 输出防护的例子

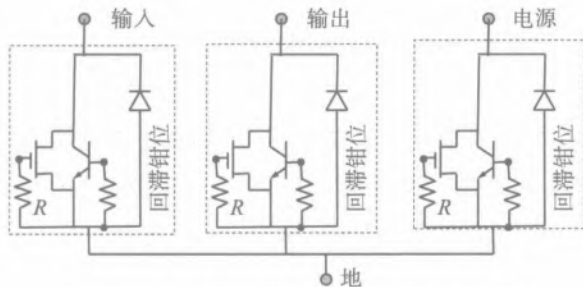


图 1.10 基于 4 引脚的局部钳位防护网络

包含一个将工作电压限制在 V_p 的初级钳位，以及一个将内部节点电压限制在 V_1 的较小的二级钳位。二级电阻 R_s 的选取取决于二级钳位电流 I_{C2} : $R_s = (V_p - V_1) / I_{C2}$ 。两级钳位对于滤除短脉冲冲过应力非常有效，这种过应力对于由时间常数 $R_s C_1$ 造成的 CDM 事件来说很常见。 C_1 是内部节点的等效电容。如果内部器件能支撑足够大的脉冲电流水平，二级钳位的使用就成为可选项。

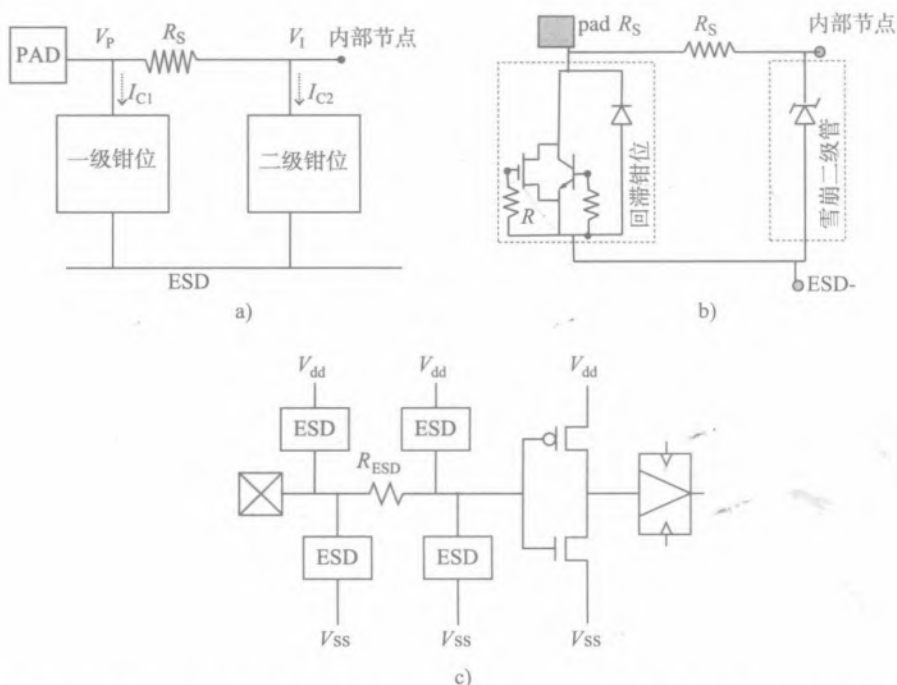


图 1.11 a) CMOS 输入的两级 ESD 防护 b) 采用次级雪崩二极管的基于局部的网络 c) 采用两级匹配电阻的高速接收器 ESD 防护

针对系统级 ESD 脉冲的两级防护网络同样适用于片上和板级防护。在 PCB 方面，优点在于分立元器件的电容和电感较高，同时瞬态电压抑制器 TVS 可作为初级防护。

两级网络的一个例子是一级回滞钳位被电阻与二级钳位（即一个电压限制雪崩二极管）（图 1.11b）隔开，或者是带有匹配电阻的两级二极管（图 1.11c）。初级钳位直接与输入 pad 连接。它只在一定程度上限制了电压但传导了大部分电流。然而，初级钳位只是针对钳位电压的波形进行的近似设计。这个分离出来的功能交给更精确但鲁棒性较弱的二级钳位器来处理。对局部防护级之间电流和电压限制功能进行分离，其效果是整体上降低了寄生电容、漏电和噪声。

另外的优点可从级间采用的非线性电阻的实现中得到。例如，它可以作为一个饱和电阻来实现（图 1.11a 中的 R_s ），从某个饱和电流电平开始提供额外的电压降。

两级网络的原理广泛用于输入和输出的元器件级和系统级防护。在输出情形下，内部电路的功率器件阵列可以为二级防护提供适当的匹配电流，即使是在级间隔离仅仅通过金属电阻来

实现的情况下(图 1.12)。局部 ESD 防护的复杂性与那些连接到 pad 的器件的控制电极在 ESD 脉冲期间通常是未知的状态有关。因此,内部器件的触发电压可与 ESD 钳位的触发电压特性相比拟。

上电系统级测试条件下,选择局部回滞钳位器时需要考虑潜在的瞬时门锁问题。例如,各种可控硅整流器(SCR)器件一般会产生相对低的维持电压(第 3 章),低于电源电平,从而产生门锁风险。

两级原理也可以在器件级实现。一个紧凑型方案的例子是由一个三端口二极管结构来表示的(图 1.13a、图 1.13b)。它由双边二极管组成,形成一个三端结构。二极管的一边作为功率 ESD 工作(连接到 I/O pad 的功率二极管),另一边仅仅维持内部电路的低电位(连接到内部电路的钳位二极管)。两个内部二极管共用同一个阱,这就创建了两级 ESD 防护电路,具有相应的“内建”阱电阻。二极管结构的一个重要特征是在 ESD 作用期间的内部电位共享。

I/O 引脚的 ESD 防护可以用图 1.13c 所示的相应电路来实现。二级元器件的工作可用器件剖面图的数值仿真进行分析(图 1.13d),显示 pad 和内部节点的电压可以相差两倍多。

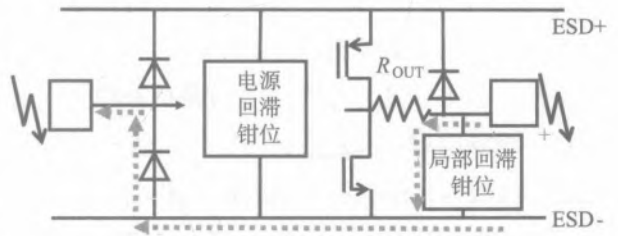


图 1.12 包含有电流限制晶体管和用于 ESD 防护的附加局部钳位器的 NMOS 输出压焊块简化电路

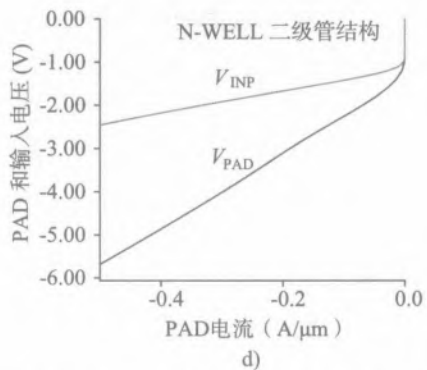
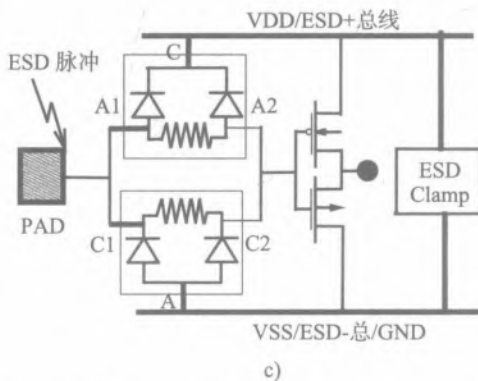
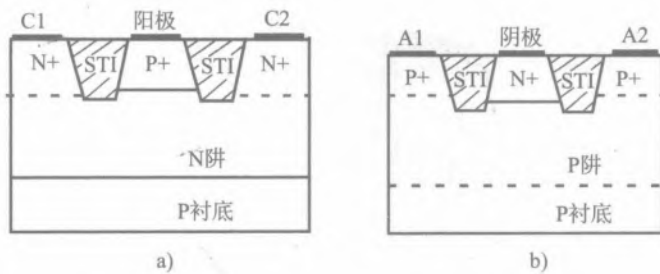


图 1.13 a) N 阱中的三端二极管结构 b) P 阱中的三端二极管结构 c) 基于二极管和器件实现的二级防护轨基网络 d) PAD 处及内部节点计算的电压与 PAD 电流的关系

两级方案用于解决整个 ESD 脉冲时域问题是有效的。例如，它可以用于限制在回滞型器件触发后的内部残余电压。这可以用 EEPROM 内存模块中“擦除”引脚的防护案例来说明，该 EEPROM 可以外部编程。

作为 ESD 应力的后果，失效的内存单元出现了再编程，这种应力归因于在脉冲开始约 800 ns 后，擦除引脚处高的残余电压与其他节点电势的组合作用。在基于原始 SCR 防护的擦除引脚处测得的波形，提供了不同负载下相关的残余电压（图 1.14）。对于仅有一个 EEPROM 单元的小负载，可以观察到作为 ESD 应力后果的再编程，与此对比的是 48 个 EEPROM 单元的高负载时的情形。

为减小残余电压，原始的基于高压 SCR 的电路（图 1.15a）已用一个二级元器件外加一个反馈回路（图 1.15b）进行了改进。增加一个使能模块，使二级钳位在正常工作时不起作用。

本地的片上防护不仅仅局限于周边引脚的局部钳位。除了实现良好的 ESD 性能的目标之外，在内部电路中可以包含本地钳位器。ESD 应力对高压电路内部引脚的影响的一个最典型的例子是，低边控制电路、开关器件的逻辑和驱动器的内部电压调整器。由于内部调整器的阻抗相对较低，为了实现两级防护方法，通常不能使用第二级电阻。这使得调整器对 ESD 损伤的敏感性

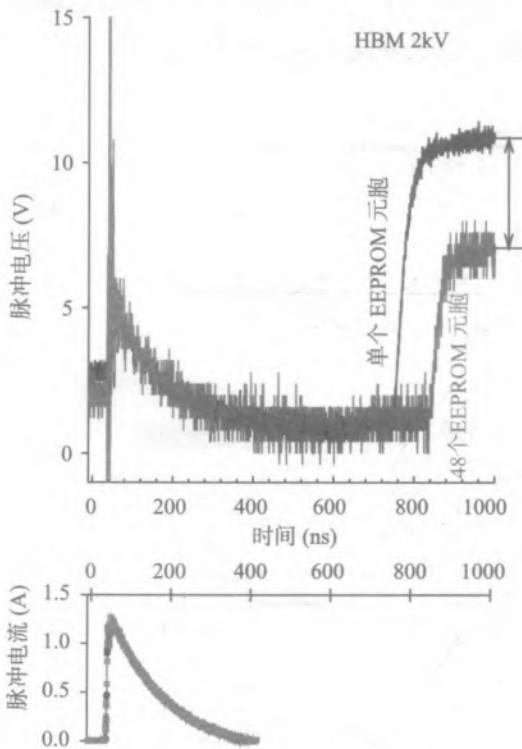


图 1.14 单个和 48 个 EEPROM 单元在 2 kV HBM 下测得的电压和电流波形

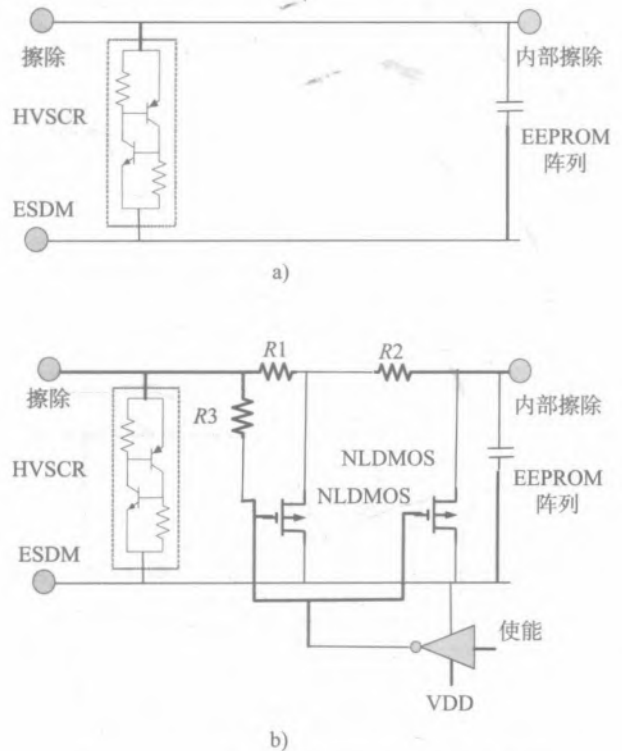


图 1.15 EEPROM 擦除引脚防护钳位电路用以减少 SCR 关断后的残余电压
a) 原始的 b) 修改过的

提高，所以必须将其设计得能承受一定的 ESD 电流水平。通常，内部产生的 VDD 电压节点需要一个能够处理较大 ESD 电流的内部电压钳位器。即使 VDD 节点完全没有连接到外部引脚，也应该使用这种钳位器。

在内部电压调整器的设计中，最常见的失效位置是高边大功率元器件。在高边基于 PMOS 的调整器中，高压 PMOS 失效了（图 1.16a）。在这种情形下，栅钳位二极管提供不了实质性的改进（图 1.16b）。类似的 ESD 电流失效路径在双极和堆叠调整器中也可观察到。在这种情形下，由于多米诺效应，可在两个堆叠元器件中都观察到损伤（图 1.16c）。用于 VCC 调整器的高压 PMOS 的 ESD 防护（图 1.16）是基于在 VIN 和 CBOOT 引脚之间形成所期望的 ESD 通路。

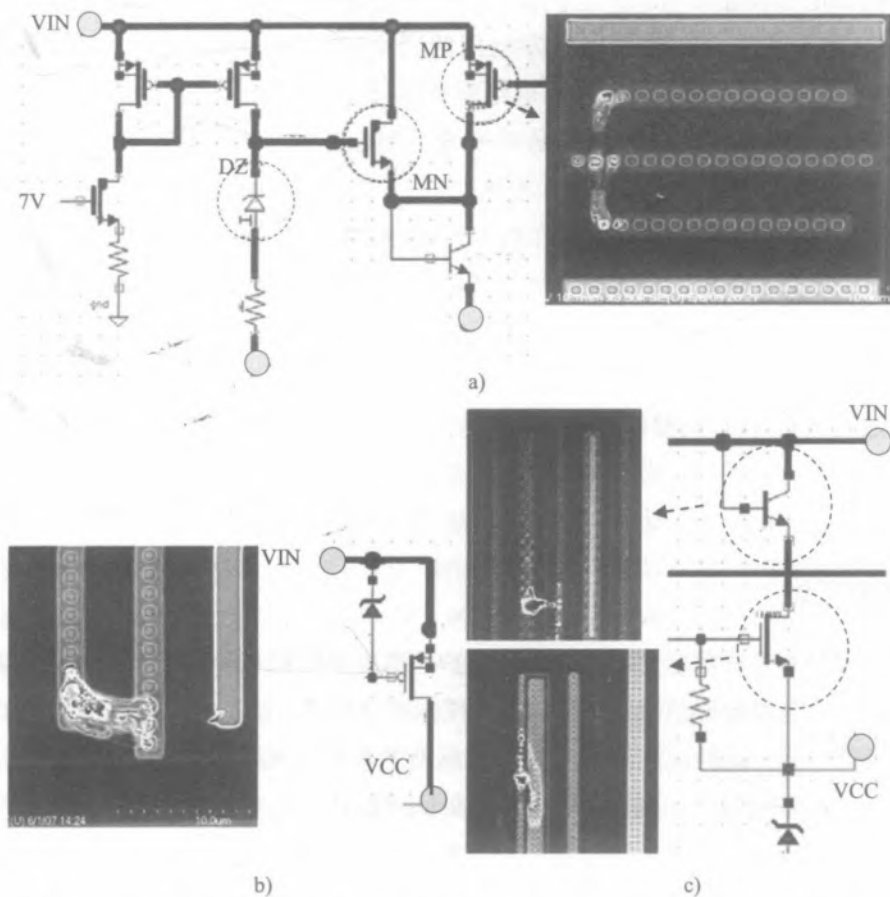


图 1.16 失效分析结果^[5] a)、b) PMOS c) 基于 NPN BJT 的 VCC 调整器

一般地，可以为 ESD 脉冲电流提供的路径有 3 条（图 1.17）。第 1 条是由驱动器控制的大开关 NLD MOS 提供的。由于漏栅耦合，NLD MOS 在很短的时间内导通，对于泄放 ESD 电流是足够的。这个电流流向开关引脚 SW，然后流经 BOOST-SW 之间钳位的反向电流路径。钳位的反向路径 ESD 二极管提供这个残余电流通路。在正确设计的 ESD 防护钳位下，这一电流通路

是可逆的。第 2 个可选的电流路径是通过高压 ESD 钳位到电源地，然后流经在 BOOST 和地之间的 ESD 二极管。这一电流通路也是可逆的。

最后，第 3 条路径，通常是不可逆的，是由高压 PMOS 和调整器的其他堆叠元器件（如图 1.17 所示的 NPN 二极管）提供的直接到 BOOST 引脚的电流通路。如果这一电流通路占主导地位，PMOS 将面临失效的风险。这一电流通路解释了图 1.16a 和图 1.16b 所示的情况。

阵列耦合强度较低以及 ESD 防护窗口较小时，ESD 失效与内部电压调整器有关。它们要求采取产品专用的措施，以克服高压 ESD 钳位器触发电压的变化、NLD MOS 阵列自防护能力对版图和内部电路驱动器设计的依赖、高压 PMOS 和 NLD MOS 器件脉冲安全工作区（SOA）的变化。

改善 ESD 防护的具体方法取决于在特定产品电路内实现的、占主导地位的 ESD 电流路径。或许第一个最合乎逻辑的解决方案是通过将 VIN 钳位电压降低到一个较低水平，从而限制 PMOS 器件上的压降，达到改善 ESD 防护的目的。然而，对于安全工作区范围较低的优化过的功率元器件，高压 ESD 防护钳位参数的这种调整也许不是一个好的选项。在这种情况下，鲁棒性最强的方法是进行 VCC 调整器的 ESD 导向协同设计，为电路引脚提供高得多的绝对最大脉冲电压。如果工艺允许的话，设计措施可包括采用堆叠的或超大的元器件，或采用功效低、耐压高的元器件。为防护低边驱动器，可能需要额外的内部电源钳位器。

1.2.3 多电压域

当模拟电路具有不同的电压域时，ESD 防护网络可以使用几种取决于电路具体规格的方法来构造。多电压域电路最典型的例子是数字、模拟和功率域的组合。由于芯片的 ESD 防护需要面对每个引脚到引脚（pin-to-pin）组合，所以所有的域都应该连接到网络上。

考虑模拟和电源域的一个例子。网络中的域间连接通常是在电源地和模拟地之间实现的。这样安排的简单理由是电源电压不能被共享。为避免接地总线上的电势降引起的串扰，地之间可以用背靠背的二极管钳位相连。这一钳位解除了正偏二极管压降对地总线的干扰，同时，将在 ESD 电流水平下提供较低的压降（图 1.18）。在这种情形下，不同域的引脚上的应力将包括二极管上的附加压降。类似的方法可用在具有分布式有源钳位网络的两个电压域的情形中。

有时带有二极管钳位的轨基 ESD 防护网络是不可行的，后驱动兼容引脚的情况就是一个例子。引脚必须独立于电源，从而二极管到 ESD+ 轨是不适合的。

图 1.19 展示了应用于 LCD 显示的具有电平移位的多电压域的一个例子。此应用设计可工

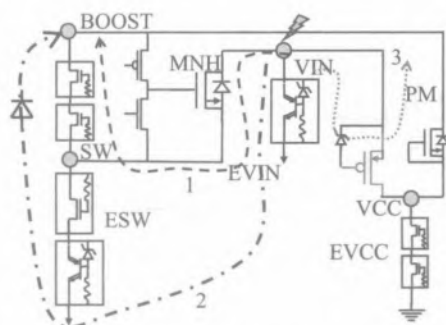


图 1.17 DC-DC 电压调整器的简化电路，含有 3 条从 VIN 到 BOOST ESD 冲击时的 ESD 电流的可能路径

作在衬底电压 -8 V 下，其中电源引脚为 -8 V 、 -6 V 、 0 V 、 6 V 和 12 V 下。

模拟电路采用 3.3 V 和 6 V 隔离的 CMOS 器件完成。ESD 防护网络组合了 5 个分离的 ESD 钳位模块：分布式有源钳位（AC）模块，其钳位器宽度 W 约 $500\text{ }\mu\text{m}$ ， $L_g=0.8\text{ }\mu\text{m}$ ；RC 定时器的 $RC=4\text{ }\mu\text{s}$ ； 6 V NMOS 回滞钳位；用于 3.6 V 输入的双向 ESD 器件以及用于 20 V 输入的双向 ESD 器件（电平移位器）。

$\pm 6\text{ V}$ 耐压的 I/O 引脚 V_o 由双向 DIAC ESD 钳位（图 1.19）或者由衬底隔离的堆叠背靠背回滞 NMOS 钳位进行防护。内部电路的寄生电阻和寄生二极管（图 1.19 中虚线）分别提供附加压降和可选的电流通路。对防护网络的这些寄生元器件也应加以考虑。

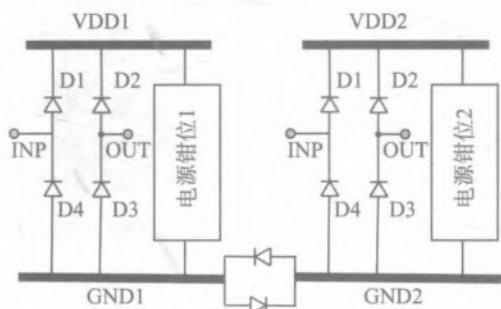


图 1.18 具有反向并联二极管钳位的多电压域 ESD 防护网络

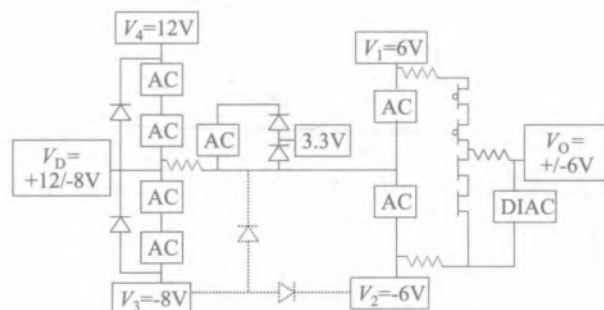


图 1.19 采用 DIAC 作为输出防护的 LCD 驱动器的 ESD 防护网络

1.3 片外 ESD 防护策略

通过元器件级低能量 ESD（CDM、MM、HBM）标准的 ESD 测试并不能保证能承受在现场应用中由系统级 ESD 脉冲引入的、高达 30 kV 的高能量 ESD 的瞬时冲击，这影响到实际产品的可靠性。验证产品抗 ESD 能力（敏感性）的一套最常用的测试方法是 IEC 61000-4-2^[8]。它定义了 ESD 脉冲波形、电压/电流值、测试条件和步骤。这个标准将在接下来的第 2 章中详细讨论。

系统外形更小的趋势传递到了 IC 产品规格上，无论是对有源器件还是互连，半导体工艺特征尺寸都在向更先进的技术节点不断缩小。优化高速电路的这种努力导致在已经很低的 ESD 应力水平下整体上更加敏感和易受损伤。在这种情况下，对系统级应力的片上防护设计变得越来越具有挑战性。在许多情况下，片外防护成为更高效经济的方法。片外防护的详细评述将在第 5 章中介绍。这个绪论部分提供了针对整体片外 ESD 防护策略的一些材料，以帮助进一步理解将在第 2、3 和 4 章中讨论的片上和片外 ESD 防护的特性。

1.3.1 高集成度的趋势：SoC 和 SiP

芯片系统功能模块的高集成趋势导致器件和系统间的界限被模糊。现在片上系统（SoC）

和系统级封装（SiP）设计能将系统与端口相接的多种模拟和数字电路模块结合在一起。这一趋势得到了新兴制造方式如 2.5D 和 3D 封装技术的支撑。这就造成了显著的模式转变，特别是导致了对于所选 IC 引脚的系统级 ESD 通过规格的定义。

这一趋势要求将针对 RF、高压模拟和低压数字电路的不同 ESD 设计策略实现和集成在同一晶圆上或同一 IC 封装内。在大部分 SoC 或 SiP IC 引脚仍然只要通过元器件级 ESD 认证的同时，具有系统级要求的引脚的存在极大地影响了整体 ESD 设计的策略。这主要是由于 IC 模块间可能的相互作用引起的。

多数 SoC 用在手持和移动设备上，如智能手机和平板电脑。邻近中央处理器（CPU）和存储控制接口如 USB 和闪存的电源管理、显示和传感器 IC 以及用于无线通信的射频模块都集成在一片 IC 上（图 1.20）。在 IC 被装配进一个系统前，预测它的系统级 ESD 鲁棒性的挑战与最小化应用板上的元器件数量的趋势结合在一起。因此，在没有最终应用板、模块或系统设计的详细信息的情况下，希望 IC 供应商能够提供系统级 ESD 的鲁棒性。同时，系统设计师期望更鲁棒的元器件级（IC 级）的 ESD 防护，以确保较高的系统级 ESD 鲁棒性。

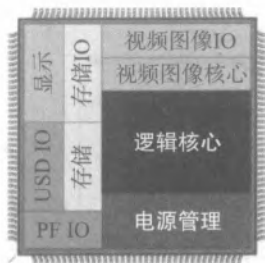


图 1.20 片上系统内模块实例

1.3.2 ESD 电压抑制

片外防护的主要方法之一是基于分立 ESD 脉冲钳位元器件，后者起着与片上防护钳位类似的作用。由于有机会在 ESD 防护网络中选用不同的 PCB 元器件，这显著增加了片外防护策略的能力。因此，通常片外 ESD 防护策略类似于片上两级或多级分布式网络。初级端口防护通常依赖有源 ESD 防护器件，同时，二级网络元器件由 PCB 上无源或片上有源元器件构成（图 1.21）。

片外防护可以有很多选择，包括隔离和滤波电路以及瞬态电压抑制器（TVS）组件。抑制组件的种类包括多层压敏电阻、硅二极管或基于聚合物的抑制器。

系统级 ESD 防护仅在 IC 外部引脚上实

施，外部引脚通常包括与系统端口相连的 IC 的输入、输出和电源引脚。内部引脚通常不需要额外的片外 ESD 防护。IC 外部引脚的 ESD 防护概念集中于系统级分立的片外 ESD 防护器件，它们放置在电路 1 从输入端、电源端到地的通路中，与此同时，电路 2 仍然没有连接到任何系

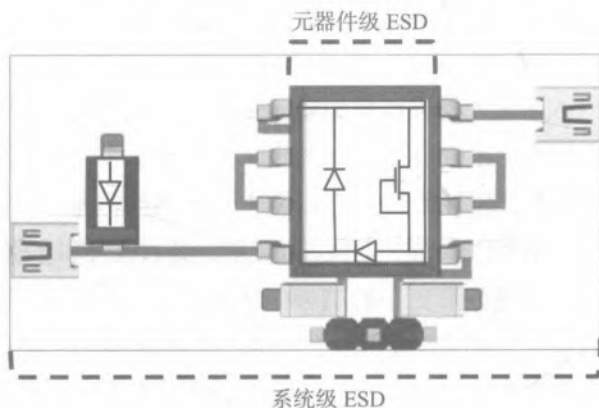


图 1.21 系统级和元器件级 ESD 防护设计的概念：带有 IC、去耦网络、片外 ESD 防护和连接器的应用板的例子

统端口（图 1.22a）。

图 1.22b 给出了一个 RF 应用的缓冲放大器的系统级 ESD 防护实例。它使用了片上 ESD 二极管 D_{ESD} 、电源钳位 PC 和片外 TVS。放大器的 RF 输入用一个 TVS 二极管在系统级上进行防护。电源引脚 V_{CC} 正极和 V_{EE} 负极用具有去耦电容的板级电源网络进行防护。放大器输出引脚视为内部引脚，不需要系统级 ESD 防护装置。

抑制元器件通过将 ESD 电压钳位到一个安全水平来对被防护电路进行防护。抑制器通过与信号线的并联连接来对 ESD 电压进行钳位（图 1.23），并将大部分 ESD 电流从被防护芯片分流到适当的参考总线上。

必须考虑 TVS 的内在电学特性，不仅是尺寸大小、输出引脚、泄漏电流，而且必须包括钳位电压波形。不同的 TVS，其内部 IC 引脚上的电压波形可能完全不同，这直接影响到 ESD 的合格水平（图 1.24）。

ESD 防护的最终结果与在同一网络中片外和片上 ESD 防护元器件的工作有关。最简单的情形，可以在防护网络的片外和片上防护部分之间增加额外的隔离电阻，以限制流进片上 ESD 防护电路的电流（图 1.25a）。多级 ESD 防护的更有效的设计例子结合了 TVS 二极管、去耦电容（ C_x ）和铁氧体磁珠（FB）（图 1.25b）。在这一网络中，TVS 元器件仅将部分 ESD 电流分流到地，

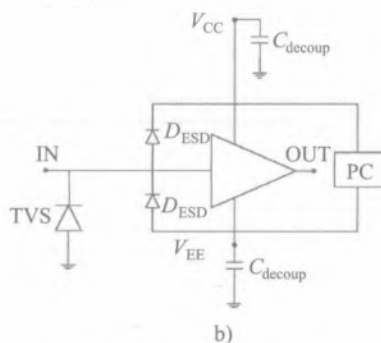
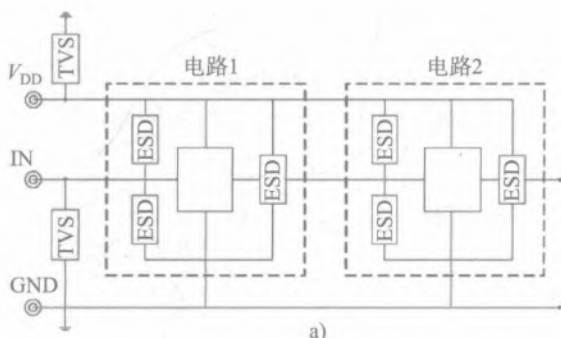


图 1.22 系统级 ESD 防护设计概念示意图
a) 两个电路的 TVS 系统级片外 ESD 防护
b) 缓冲放大器

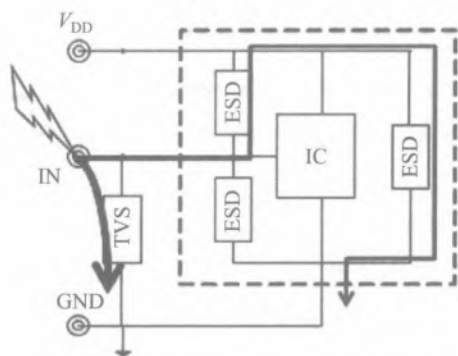


图 1.23 系统级引脚处 ESD 应力下的电流路径示意图

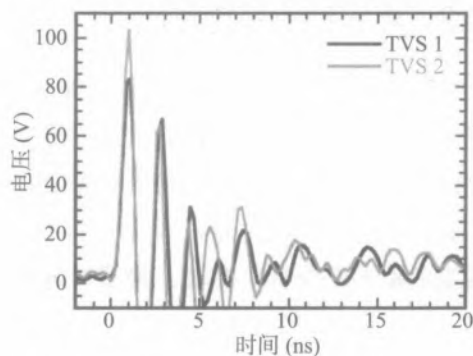


图 1.24 两种不同 TVS 二极管在 IEC 61000-4-2 应力下的电压波形

与此同时，去耦网络中的无源元器件作为剩下的残余电流的过滤器。

从成本和性能的角度，系统级板上的 ESD 防护元器件的数量必须要缩减。这样，一种合乎逻辑的方法是系统级 ESD 防护结构的片上实现（图 1.26）。片外和片上 ESD 防护策略的折中取决于所需要的片上面积与 PCB 元器件装配成本之比。

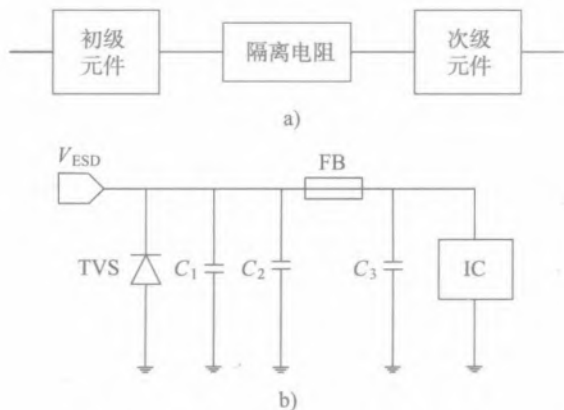


图 1.25 片外多级 ESD 防护概念说明
a) 采用隔离电阻 b) 采用铁氧体磁珠

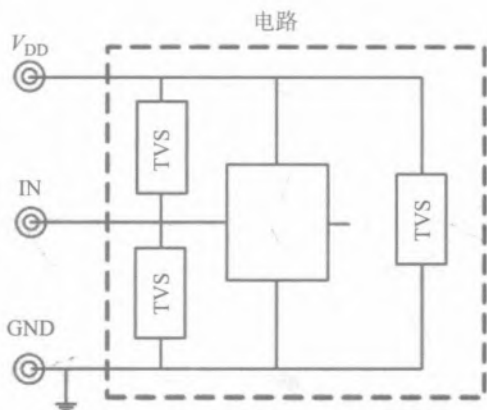


图 1.26 片上系统级 ESD 防护实现说明

因为分立，元器件本身的成本相当低，所以上述后一项通常是成本的主要成分。在宽度线性缩放的假设下，具有 $5 \text{ mA}/\mu\text{m}$ 固有电流容量和能通过 2 kV HBM 的 ESD 钳位器，必须设计为至少 13 倍宽以能通过 8 kV 的 IEC 61000-4-2 之应力。除了较大的 ESD 钳位尺寸外，为了安全地将较高的系统级 ESD 应力电流输运至防护装置，金属布线也需要改进。但较大的器件和金属面积伴随着整个寄生电容的显著增加。下一节将更多地讨论这方面的问题。

第 3 章从防护器件的角度，更加详细地描述了系统级引脚的片上防护设计。具有片上和片外防护器件的外部 IC 引脚的系统级 ESD 防护在第 5 章中论述。

1.3.3 电容和信号完整性

以往，传统上是采用带有 $10\sim 100 \text{ pF}$ 等效电容的防护器件将 ESD 能量从 IC 引脚分流。由于信号频率有越来越高的趋势，这一寄生电容水平会带来明显的信号失真。与此同时，现代高速数据端口仅能容忍 ESD 防护器件增加很有限的寄生电容。

脉冲电流载运能力超过 30 A 、等效电容小于 1 pF 的集成片上 ESD 防护装置的实现与集成电路工艺根本不兼容。确实，为了实现低的等效电容，阻挡结需要包含一个相当宽的耗尽区。例如，为一个电容为 0.1 pF 、击穿电压为 5 V 的非对称 p-n 结实现系统级 ESD 鲁棒性，要求其二极管具有宽约 $8 \mu\text{m}$ 的隔离 n 区，掺杂浓度为 $1 \times 10^{15} \text{ cm}^{-3}$ （图 1.27）。

特别当衬底需要隔离时，这一参数组合在集成工艺中很难找到。因此，对高数据传输速率

的系统级防护，主要的片外防护方法包括了基于垂直器件架构进行了特性优化的分立抑制器。

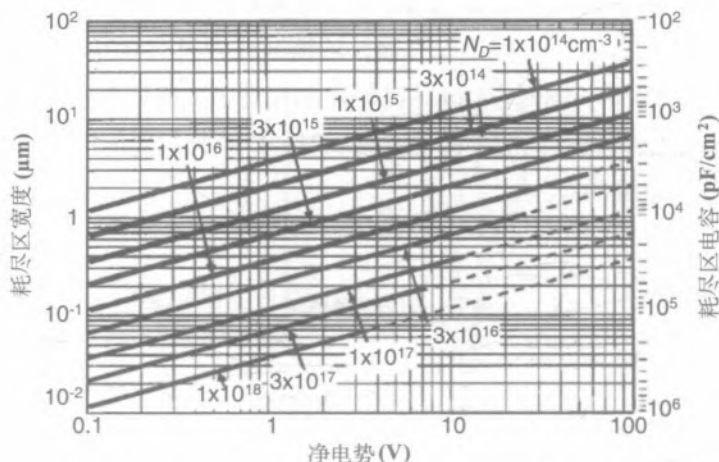


图 1.27 耗尽层宽度和单位面积耗尽层电容与硅单边突变结净电势的关系， N 为轻掺杂侧掺杂，点状线表示击穿条件^[9]

对于低频信号，采用抑制器的防护的整体实现，可以利用信号频率域和任何不希望的如 EMI 和 ESD 瞬态脉冲的高频频率域之间的分离。这样，TVS 电容通过与 PCB 微量电感构成的低带通滤波器仍然可以滤波。此时，抑制器为瞬态抑制提供钳位功能，同时对耦合进被防护数据线的、不必要的高频信号 EMI 噪声进行过滤。例如，手机的头戴式耳机工作在较低的音频处，而手机本身的工作频率（0.8~1.9 GHz）则高得多。在这些应用中，对于从耳机中滤除手机信号辐射以提供系统级的 ESD 防护，高电容的 TVS 可能是一个更合适的选择。

然而，当信号数据速率较高时，低带通滤波的优点就消失了。高速数据线包括 USB2.0、IEEE 1394、千兆以太网和 Infiniband 协议等。所有这些协议的数据速率都超过了 100 Mbps，以保证视频、音频和数据信号的高吞吐量。传输线的相应宽带宽不能容忍用于滤波的高 TVS 电容，因为其副作用是数据信号自身被滤除或数据波形失真引起系统故障。

这种失真的原因是由于上升和下降时间慢，从而导致了高/低状态转换的舍入和拖尾。较低的上升/下降时间带来了功能电路的时序问题，在特定时间搅浑了期望的“高”和“低”状态。随着信号成分的恶化，电路识别预期信息的能力下降，保持数据信号完整性更难。因此，近年来，许多业界领先的 TVS 生产公司开发并发布了一些等效电容约 0.1 pF 的低寄生电容 TVS 元器件。

图 1.28 给出了分立有源元器件为 TVS、无源元器件为陶瓷电容器时产生的信号失真例子，其中抑制器为 0.05 pF，ML 陶瓷电容器为 1 pF 和 10 pF，以及 660 pF 的多层压敏电阻^[10]。

对于 480 Mb/s 的数据速率，660 pF 的压敏电阻电容引起的失真，完全阻碍了信号工作电压的到达。甚至 10 pF 的电容值也高到足以造成波形的严重失真、电平时间的减少以及前沿和后

沿形状的显著改变。1 pF 的电容值显示出较小的边沿失真，同时，0.05 pF 的电容值允许数据波形无失真地通过。480 Mbps 的比特率下，每个电容值对应的上升时间（10/90%，即从 10% 到 90%）数据显示了相应的效应^[10]。对于没有器件的情况或者只有 0.05 pF 抑制器的测量装置，10/90% 的上升时间是 225 ps，同时，1 pF 和 10 pF 的陶瓷表面贴装电容对上升时间的影响，分别高至 275 ps 和 526 ps。因此，当防护高速数据线时，ESD 抑制器的电容特性对于保持高速数据的信号完整性是相当重要的。

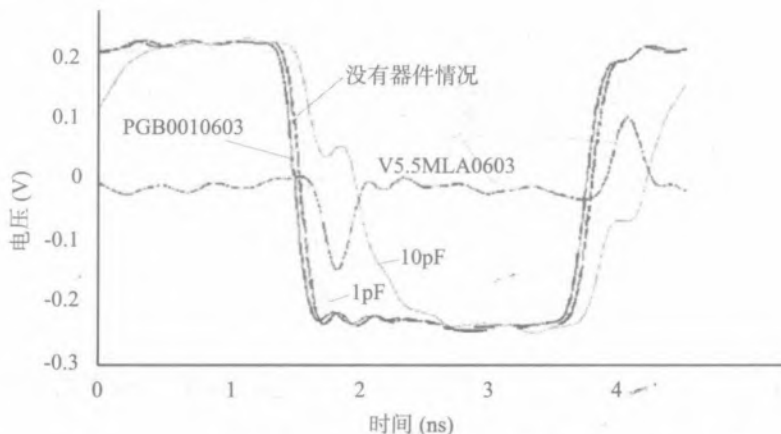


图 1.28 在高速 USB2.0 中峰峰值电压为 480 mV 和信号频率为 480 Mbit/s 条件下，不同器件和电容的信号响应波形^[10]

1.3.4 片外网络的 ESD 抑制因素

除了两个主要因素，钳位电压波形和采用瞬态电压抑制器（TVS）的片外 ESD 防护网络的电容，还必须考虑很多其他的重要因素。

关于 TVS 设计的一些内容将在第 3 章中讨论，它们在协同设计中的应用将在第 5 章中讨论。大多数 TVS 元器件可细分为三类：聚合物、压敏电阻和半导体二极管抑制器。聚合物抑制二极管是基于在聚合物中引入的导电纳米粒子之间的隧穿和击穿电导率调制效应。它们具有极低寄生电容这一优点，但不能将电压限制在较低水平上。压敏电阻（或电压可变电阻）有不同的设计，它们大部分是氧化锌金属氧化物压敏电阻。压敏电阻的工作原理是基于热离子发射和电子隧穿。压敏电阻对防止非常强的 ESD 事件通常是有效的——例如路灯的防雷击。对于半导体系统，压敏电阻的缺点是它们的高电容和它们能承受的冲击较低。与聚合物抑制器类似，压敏电阻的钳位电压通常相当高。

例如，压敏电阻由金属电极和氧化锌（ZnO）陶瓷层构成。陶瓷层的 ZnO 颗粒形成类二极管结，只允许电流在一个方向流动。在电路正常工作期间，这个压敏电阻是关断的。由于结较大，压敏电阻的电容通常相当高。如果在 ESD 应力期间，超过了压敏电阻击穿电压，压敏电阻就开

始导通。电流传导均匀分布在压敏电阻上，提供非常高的鲁棒性，对浪涌电流也是这样。根据 TLP 特性，器件正反馈不产生 S 形 $I-V$ 曲线（图 1.29a）^[5]。

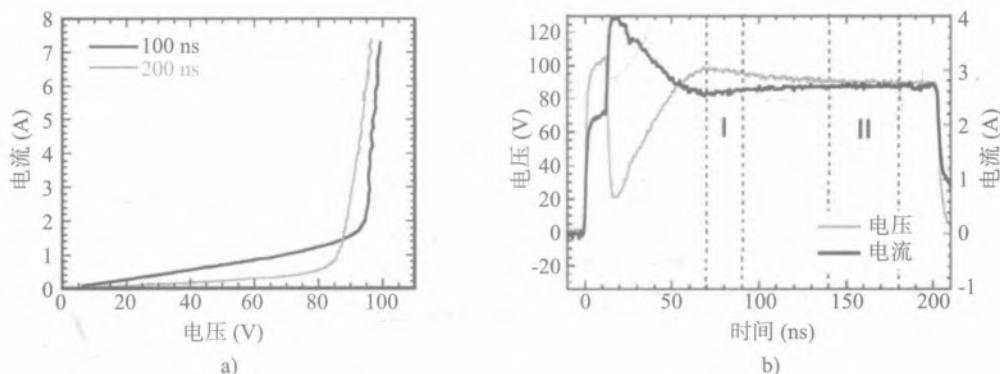


图 1.29 a) TLP $I-V$ 特性 b) 在 120 V 应力下，压敏电阻 S10k40 在 200 ns 时间内的 TLP 电压和电流波形，图中标有测量窗口 I 和 II

压敏电阻 $I-V$ 特性的钳位电压随 TLP 应力持续时间而改变，这是由于开启相对缓慢（图 1.29b）。在 100 ns 的 TLP 应力之后，压敏电阻没有达到准静态。大电容压敏电阻的长期可靠性相当差。在经历几个 ESD 冲击后，可以注意到压敏电阻的衰退，这以关态泄漏电流变大的形式呈现出来。

另一个可选解决方案——火花隙通常由 2 个电极组成，相互之间有一定距离。这个“隙”中填充空气或其他气体，允许在两个电极之间产生火花。当超过击穿电压（通常是非常高的）时，电极间的气体电离，产生低阻放电弧。除了高击穿电压外，火花隙使用的空气或气体的电离还需要一定的时间。这就延迟了火花隙的击穿或触发。一旦触发，火花隙表现出“类回滞”的行为，钳位电压很低。对于主要针对几百伏耐压的高压应用，火花隙和压敏电阻的使用是合理的。

聚合物电压抑制（PVS）器件表现出类似的特性。原理设计有点类似于火花隙，放电通过聚合物材料实现，而不是通过空气。聚合物材料的介电常数非常低，导致 SMD0603 规格器件的电容低于 200 pF。然而，主要的缺点是高触发电压和高于 100 V 的钳位电压。

历史上，板级无源元器件在系统级 ESD 防护中被用作基本的电流通路元器件。两种常用的器件是电容器和铁氧体磁珠。这两种器件都能导通或通过过滤阻止 ESD 电流。

在非常低的钳位电压下，与 IC 引脚并联的电容器传导 ESD 电流的大部分。然而，所有分立电容器都有金属电极和引脚，它们都有寄生电感。根据连接引脚的长度和电容器外壳的设计，可能会出现几 nH 的电感。在 ESD 电流的快速上升期间，电容器的寄生电感会在 ESD 器件上引起不希望的电压降。当采用电容器作为与 IC 并联的 ESD 防护器件时，必须考虑这些电压尖峰。

铁氧体磁珠是无源器件，表现出类似于带通滤波器的功能。ESD 电流中的低频还是高频成分被滤除，取决于铁氧体磁珠的模型。铁氧体磁珠与被防护引脚串联使用。根据模型，铁氧体

磁珠会面临大应力电流下的饱和，这就限制了其对 ESD 防护的适用性。

表 1.3 总结了可以用于片外系统级 ESD 防护的器件电学参数。 R_{ON} ：导通电阻， V_{BD} ：DC 击穿电压（在电流 $I = 1 \text{ mA}$ 处）， V_{clamp} ：30 ns @ 8 kV IEC 61000-4-2 后的钳位电压， t_{ON} ：开启时间， C ：在 1 MHz 处。TVS 二极管在低击穿电压处触发，提供较低的寄生电容。这使得其对于低压和高速应用来说，成为系统级 ESD 防护最合适的选择。对于模拟和高压应用，高击穿电压 TVS 二极管、压敏电阻和电容器为最合适的片外防护器件。

表 1.3 通用系统级 ESD 防护器件电气参数概览

	$R_{ON}(\Omega)$	$V_{BD}(V)$	$V_{clamp}(V)$	$C(\text{pF})$	$t_{ON}(\text{ns})$
TVS 二极管	< 1	> 3	> 10	> 2	< 1
	$1 \cdots 1.5$	> 3	> 10	< 2	< 1
压敏电阻	> 20	> 30	> 100	> 2	< 40
	> 20	> 50	> 200	< 2	< 40
聚合物	< 1	> 250	> 200	< 0.1	> 5
电容器	≤ 1			全范围	< 1

当针对适当的抑制水平和包括与系统电路参数匹配良好的其他电学特性，选定了 TVS 后，其余的设计步骤包括可以利用 PCB 走线寄生电感的最佳性能的板上 TVS 定位。

类似于电容，低频信号将不受板上走线电感的影响。然而，在高频时，电感将成为阻抗元器件，影响信号完整性： $R_L = \omega L$ 。如果频率足够高的话，甚至一段较短走线的电感也能提供相当大的阻抗。因此，在 PCB 上的 ESD 抑制器和被防护芯片引脚之间的距离越长，引脚电压越低。图 1.30a 中电感 L_1 物理上代表端口和 ESD 抑制器之间的连接； L_2 ——在 ESD 抑制器和芯片 I/O 引脚之间， L_3 ——在 I/O 连线和 ESD 抑制器之间。这一策略产生了对 IC 引脚电压波形的明显抑制效果（图 1.30b）。

电感 L_2 对 ESD 脉冲电压和电流产生了衰减，能量被储存和消散在板上走线周围的电磁场中。ESD 脉冲的衰减沿板上走线传递。因此，TVS 安放在通常是瞬态 ESD 入口点的连接处是有利的。

在图 1.30 中，选择了电压过冲和钳位电压都相当高的 TVS。连接器处 1 kV TLP 脉冲下的抑制器波形有约 350 V 的测量峰值和 75 V 的维持电压。显然，PCB 走线上的 650 V 电压可在高频下产生实质性的耦

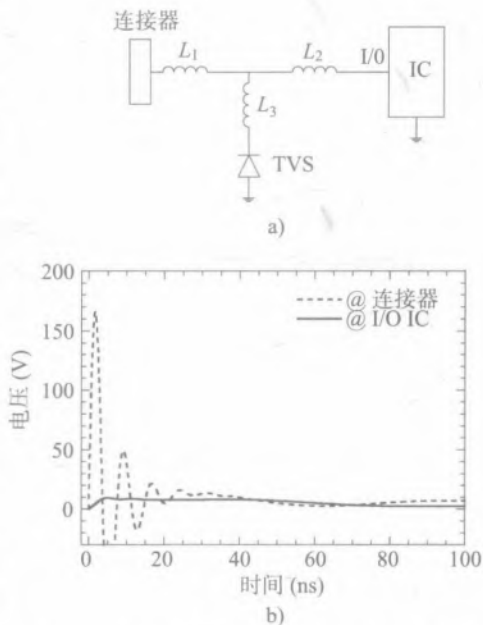


图 1.30 a) PCB 上 TVS 防护的简化电路框图
b) TVS 和 I/O 节点上相应的电压测试波形

合。如果 3 英寸 (1 英寸 = 0.025 4 米) 长的走线 (L2) 连接到 ESD 抑制器的位置和 IC 的输入 pad, 过冲峰值电压衰减到约 1/6, “钳位”电压从约 60 V 减小到约 25 V。这一缩减与 PCB L2 线的与频率相关的阻抗相对应。

通过增加 ESD 抑制器和芯片之间的走线长度, IC 引脚处的应力可大大减小。ESD 抑制器应该直接位于连接器之后。它应该是 ESD 瞬态遭遇到的第一个板级元器件。

根据经验分析的推断, 可以导出 TVS 的最佳位置如下:

- (1) 在对系统屏蔽的连接器内 (机壳);
- (2) 在电路板走线与连接引脚相互作用的地方;
- (3) 紧接在电路板上连接器的后面;
- (4) 在可有效地与 I/O 线耦合的鲁棒的、无防护的线上;
- (5) 在数据线的串联电阻元件之前;
- (6) 在数据线的扇出点之前;
- (7) 靠近 IC 引脚。

另一个放置考虑是从板上数据信号走线到 TVS 自身的距离, 由电感 L3 表示 (图 1.30)。这个走线电感应该最小化, 以便缩减电路信号线交叉点处的电压降, 在那里, 所有电感连在一起。如果 L3 较大, 由于感抗的缘故, TVS 就与信号线隔离了。因此, TVS 焊盘的理想位置就是压在数据走线之上。

机壳或框架接地可作为 ESDMINUS 总线工作。为避免 ESD 应力与数据信号耦合, 设计采用两条不同的电流路径是最优的方法。TVS 以机壳地电位为参考, 可减小意外噪声的影响和地弹, 保持信号完整性。

对于便携式半导体系统, 近几年占据主导地位的最有用的抑制器都是基于硅材料。其设计有点类似于其他片上 ESD 器件, 将精确的击穿特性和高性能与多端口集成相结合。然而, 大部分设计优点可从使用专用工艺技术支持的垂直器件架构的分立方法中得到。

只使用数据表参数的 ESD 防护器件与 ESD 等级和成本相比, 并不总是最优的。例如, 器件“A”在数据表中的 IEC 61000-4-2 级别可能具有约 5 kV 鲁棒性, 而器件“B”能保证有约 20 kV。然而, 这一范围仅表示该 TVS 器件的耐受性, 而非二极管钳位波形特性。如果器件“A”提供更合适的 ESD 工作波形, 系统的设计就能更好。在同样的 PCB 走线情况下, TVS 连接产生的波形将决定通过 IC 引脚的次级电流大小。

除非数据表中提供, 否则在 ESD 时间域中对钳位电压和残余电流的估计可能并不简单。抑制器数据表中的钳位电压参数, 如果存在, 也可能产生误导, 因为它仅表示在 ESD 脉冲起始过冲电压之后的钳位电压。同时, 残余电流仅能基于 PCB 走线设计进行计算。

由于具有 0.05~1.0 pF 的低电容, 基于聚合物的 TVS 对高频应用似乎颇具吸引力。然而, 它们的触发电压通常比钳位电压高很多。一个典型的聚合的抑制器击穿电压是在 300~500 V,

回滞后的钳位电压高达 150 V。另外，在 ESD 脉冲后，聚合物抑制器可能有长达几小时甚至一天的恢复时间以过渡到高阻抗态。

压敏电阻型的抑制器成本低，但触发和钳位电压高，此外电阻也高。典型的低电容压敏电阻 TVS 钳位电压范围在 150~500 V，动态电阻在 20 Ω 以上。另一个副作用是在多次应力下可能的衰退。大多数压敏电阻仅能有 10~20 次冲击的可逆运行。

用于系统 ESD 防护的最优方法是基于半导体 TVS 二极管。ESD 防护二极管具有低钳位电压、低电阻、快速开启和良好的 ESD 可靠性等特征。一般来说，半导体二极管提供了最好的 ESD 防护，现在可得到的电容也低于 0.1~1 pF，这保证了很好的信号完整性。

目前的行业惯例是基于一个 8 μs 的上升时间和 20 μs 的持续时间的脉冲来发布钳位电压。这是对电源浪涌的规格要求，而不是对 ESD 的。大多数数据表采用 1 A 脉冲，有时也用更高的电流脉冲来记录钳位电压。这一脉冲与快速瞬态 ESD 系统级的脉冲并不等效，后者上升时间 1 ns、脉宽 100~150 ns。在峰值电流约 30 A 的 IEC 61000-4-2 级别的脉冲期间的 TVS 钳位电压通常与 TVS 数据表提供的浪涌电流为 1~3 A 处的微秒时间域的不同。这样，IC 与系统协同设计方法就涉及了另外的脉冲表征（第 5 章）。

一般而言，半导体二极管实现了最低的峰值钳位电压，而抑制器和聚合物具有更高的钳位电压特性。通常，对于 8 kV IEC 61000-4-2 应力，低电压半导体 TVS 二极管额定将电压钳位在 8~15 V 范围。与钳位电压范围为 150~500 V 的压敏电阻和聚合物抑制器的对比显著，堪称完美。所以，IC 引脚的次级电流取决于整个片外网络的动态电阻，电压被安放在系统端口的 TVS 所钳制。

有各种可供选择的硅抑制器件用做 ESD 防护：SCR 二极管、TVS 雪崩二极管和穿通 BJT 器件。板级 ESD 防护设计因系统而异。影响设计的因素包括电路板布局、IC 的 ESD 能力和 ESD 瞬态应力作用在数据线上的物理能力。实证检验也可用来确定系统的敏感性。如果已经决定需要补充一个 ESD 防护，那么下一步就是确定合适的抑制器。应该考虑的特性有许多，包括电容、峰值和钳位水平、泄漏电流和系统工作电压。

另一个因素是待防护线的数量。这由系统数据协议决定。例如，USB 总线有 2 条数据线、RS485 每个差分对使用 2 条线、10/100BaseT 以太网用了 4 条线，等等。在有多条数据线需要防护的情况下，或许应该采用多端口抑制器以节省电路板空间和安装成本。

认识到需要全新的方法以满足现今 ESD 需求，一些公司已引入了新的硅 TVS 架构，得到比传统片外 ESD 防护器件好得多的 ESD 性能。

1.4 基于 ESD 紧凑模型的防护网络仿真

当有片上和片外 ESD 器件的 ESD 紧凑模型可用时，系统级 ESD 设计可预测性方面的重要

进展可由电路仿真取得。通常，标准工艺设计包并不提供 ESD 紧凑模型。然而，它们可采用标准器件模型和子电路元器件开发出来，以仿真雪崩击穿和注入的回滞区域。

ESD 紧凑模型的子电路元器件包括寄生 BJT 结构、雪崩电流源和饱和电阻。开发精确的回滞模型一般来说不是一件轻松的工作。由于 ESD 电流条件的提取方法复杂，构建可扩展的模型需要该领域的先进专业知识。开发回滞模型最有用的方法之一是采用物理工艺和器件仿真为模型的提取产生参考数据。这样的方法极大地加速了模型提取过程，精度尚属合理。

生成的紧凑模型可用于较大电路的 ESD 和功能仿真，可使用标准电路仿真工具，如 HSPICE 和 Spectre，以及混合模式仿真器，例如 DECIMM（见下一节）。

已进行的一些原创研究支持回滞模型的开发^[11-15]，包括低压 NMOS 的回滞紧凑模型^[15]。针对定制 ESD 紧凑模型开发的原则，本节介绍一般方法的概览，以支持片上和片外 ESD 防护协同设计。下文基于可选的混合模式器件-电路的仿真方法，可实现同样的目标。

1.4.1 低压器件的 ESD 紧凑模型

最简单的 ESD 紧凑模型例子由回滞 NMOS 器件来表示。图 1.31a 表示低压 NMOS 器件的剖面图和等效电路并结合了标准 NMOS、寄生 n-p-n BJT 和雪崩电流源。其中，标准 NMOS 由非回滞 N-MOSFET 电路模型表示、并在一个特定的技术节点下校准，寄生 n-p-n BJT 用晶体管紧凑模型表示。双极型器件需要提取电流增益、正偏理想因子、反偏理想因子、集电区等效大电流电阻和发射区等效大电流电阻^[15]。

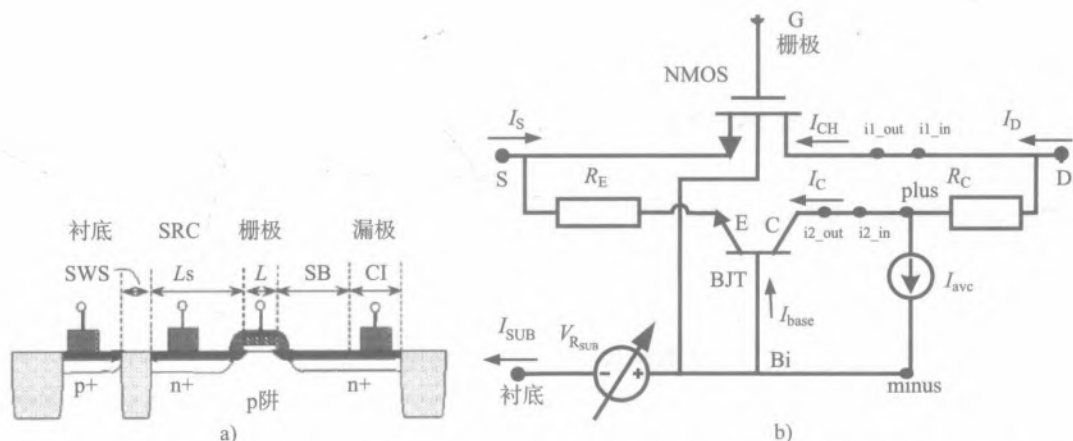


图 1.31 含有回滞型 NMOS 器件雪崩电流源 AHDL 的紧凑模型 a) 剖面图和 ESD 版图参数 b) 等效电路

电流控制的电压源 V_{RSUB} (图 1.31b) 代表衬底电阻调制，分析表达式为：

$$V_{RSUB} = \frac{I_{SUB}(L + L_S + SWS)^{\text{alfa_Rsub}}}{a_Rsub + W - b_Rsub * I_{SUB}} \quad (1.1)$$

式中 L 、 L_s 、 SWS 和 W 是几何结构参数 (图 1.31a)， a_{Rsub} 、 b_{Rsub} 、 α_{Rsub} 取自实验数据模型参数^[15]。雪崩击穿电流源项 I_{avc} 表示为：

$$I_{avc} = (M_b - 1)I_c + (M_{ch} - 1)I_{ch} \quad (1.2)$$

式中，电流项 I_c 和 I_{ch} ， M_b 和 M_{ch} 是雪崩倍增因子，归因于邻近漏-衬结耗尽区的体区和沟道区的高电场。

回滞 PMOS 模型的结构与上述 NMOS 模型的基本相同，将 NMOS 改为 PMOS，将 NPN BJT 改为 PNP BJT 即可。

类似的回滞 NMOS 模块可以进一步复用在 LVTSCR (低压触发 SCR) ESD 器件的紧凑模型中。为了在器件级产生 SCR 型的正反馈，在子电路中添加了另外的 p-n-p BJT 器件 (图 1.32)。与已经包括在电路中的寄生 NPN 一起，这一电路创建了 SCR 的典型 Ebers 等效模型。另外的组分是一些电阻： R_{bnp} 控制 PNP 器件的基区电阻， R_{cpnp} 控制发射区电阻， R_{cpnp} 控制集电区电阻。剩余的组分代表 P 阱的电流部分 (和相关电势)，有相当大的值，但对 NPN 器件的工作没有贡献。

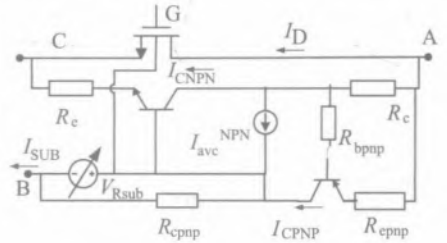


图 1.32 LVTSCR 紧凑模型的等效电路

1.4.2 高压器件的 ESD 紧凑模型

扩展漏高压器件的 ESD 紧凑模型可以用同样的子电路方法组成。在 NLD MOS (图 1.33a) 和 NLD MOS-SCR (图 1.33b) 器件的情形下，几个重要参数的提取可以使用不同栅偏置下的 TLP $I-V$ 特性 (图 1.33c、图 1.33d)^[16]。NLD MOS 和 NLD MOS-SCR 的回滞紧凑模型的等效电路与低压 NMOS 和 NLVTSCR 器件类似，但有一点除外。

对于高漏-源偏置的 NLD MOS 器件，如 TCAD 仿真所说明的，击穿起始于 $N_{阱}-P_{阱}$ 结的耗尽区，如图 1.33e、图 1.33f 所示。漏端偏压的增加在低掺杂 $N_{阱}$ 漏区上引起显著的电压降，因为此处载流子已耗尽。这可以从结击穿后的 $I-V$ 特性中看出。当高场耗尽区随着漏偏压的增加而扩展时，它触碰到了高掺杂 $N+$ 漏区。 $N_{阱}$ 区电导率完全被产生的电子和空穴过调制。这导致最大电场 (以及碰撞离化的产生) 向 $N+/N_{阱}$ 界面转移 (图 1.33f)。通常，这一效应归因于 Kirk 或基区展宽效应^[9]。在此区域，寄生双极器件被激活，触发该结构进入回滞。

器件的这一行为已被用于开发 ESD 条件下的 NLD MOS 和 NLD MOS-SCR 的电路模型^[16]。最初，在低的漏端偏置下，等效的双极器件和雪崩电流源 I_{avc}^{BJT} 表示 $N+/N_{阱}$ 结处的碰撞离化，器件未被激活。 I_{avc}^{Nw} 雪崩电流源描述 $N_{阱}-P_{阱}$ 结的击穿，表示为 $I_{avc}^{Nw} = M_{ch} I_s$ ，其中 M_{ch} 是沟道电流倍增因子，由标准模型表示如下：

$$M_{ch} = \frac{1}{1 - \left(\frac{V_D}{V_{BR/NW}} \right)^n} - 1 \quad (1.3)$$

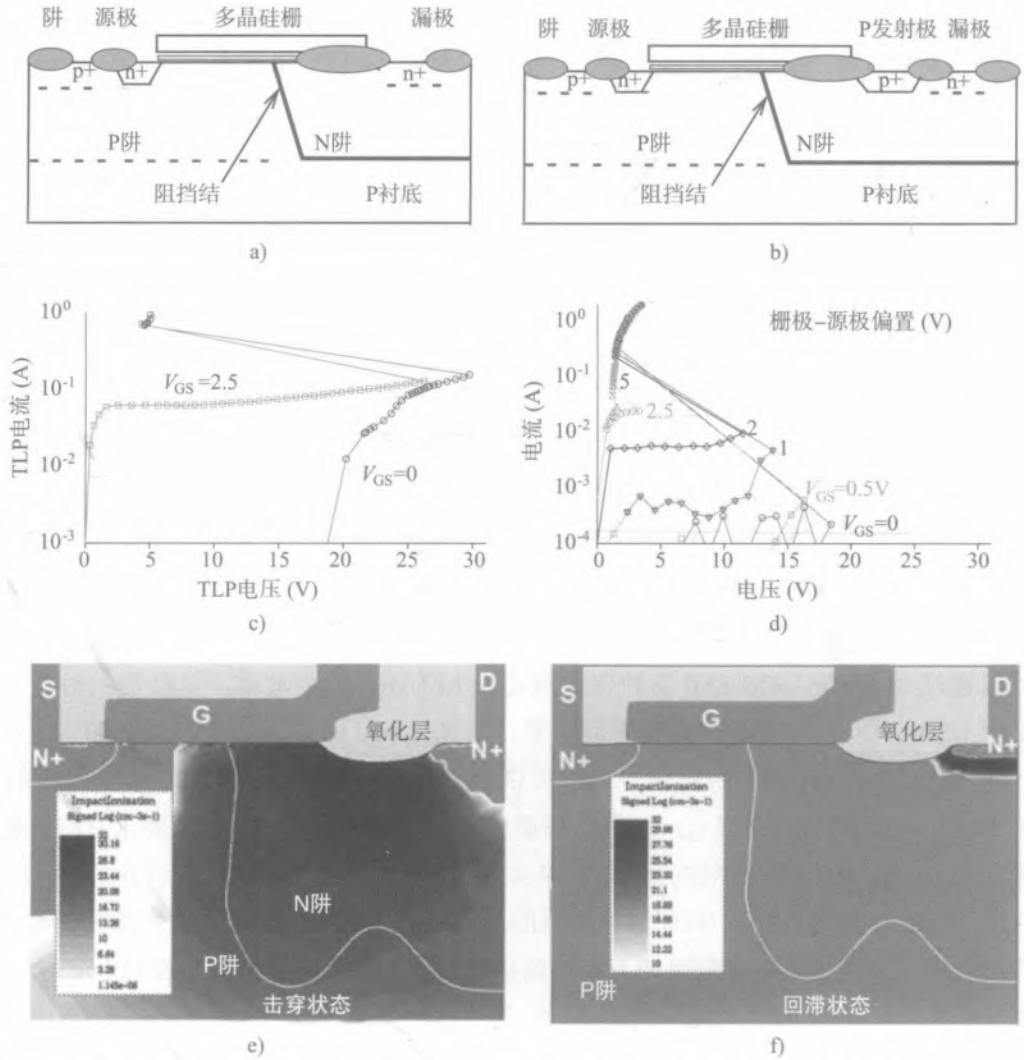


图 1.33 a) 12 V NLD MOS 的简化剖面图 b) 12 V/20 V NLD MOS-SCR c)、d) $W=200\mu\text{m}$ 的器件在不同栅偏置下的 TLP 特性 ($\tau_p = 100 \text{ ns}$, $\tau_R = 10 \text{ ns}$) e) NLD MOS 器件内 Kirk 效应在雪崩击穿条件下随碰撞离化区域变化的仿真 f) 回滞模式下的大电流状态

式中, V^{NW} 表示载流子调制 N 阱区的压降。它导致 N_{WELL} 电阻随注入载流子增加而受到的调制, 表示为:

$$V^{NW} = \frac{I_{nvc} NW l_w}{A_{eff} q \mu_n \left(N_d + \frac{I_{nvc} NW}{A_{eff} q v_{sat}} \right)} \quad (1.4)$$

(1.4) 式中, l_w 和 A_{eff} 表示 N 阱区有效长度和电流横截面积, 作为拟合 (提取的) 参数; q 、 μ_n 和 v_{sat} 分别是电子电荷、迁移率和饱和速度, 而 N_d 是掺杂浓度。类似的公式用于电压源 V^{Rsub} 的建模, 表示在结击穿条件下衬底电势的增加。

雪崩电流源 $I_{\text{avc}}^{\text{BJT}}$ 表示雪崩区从 $N_{\text{WELL}}-P_{\text{WELL}}$ 移位到 $N+/N_{\text{WELL}}$ 区, 导致寄生双极结构的激活。 $I_{\text{avc}}^{\text{BJT}}$ 表示为 $I_{\text{avc}}^{\text{BJT}} = M_{\text{BJT}} = (kI_{\text{S}} + I_{\text{C}})$ 。 M_{BJT} 用一个类似 M_{CH} 的公式描述 (击穿参数不同), k 是用于控制回滞工作处的栅耦合效应的参数。注意, 当 $I_{\text{avc}}^{\text{BJT}}$ 激活时, 由于偏置 V^{Nw} 的存在, $I_{\text{avc}}^{\text{Nw}}$ 一直是自我失活的。这一压降减小了 $N_{\text{WELL}}-P_{\text{WELL}}$ 结上的有效偏置, 相应地, 削弱了产生 $I_{\text{avc}}^{\text{Nw}}$ 的雪崩倍增。这样的模型行为等效于上述雪崩区在 N_{WELL} 内的位移。

经过正确校准的紧凑模型在校准的 TCAD $I-V$ 特性与实验数据之间, 以及在由此模型产生的电路仿真特性与实验数据之间, 提供了相当好的一致性。该模型也精确地表示了对于不同结构尺寸的击穿和触发行为。

类似于 LVTSCR, NLD MOS-SCR 模型可以通过将 PNP 双极器件添加到 NLD MOS 回滞模型中而构建出来, 如图 1.34b 所示。等效发射区和基区电阻 R_{epnp} 、 R_{bpnp} 用于控制等效 PNP 晶体管的激活和大电流工作。 R_{cpnp} 代表 P_{WELL} 电阻和衬底电流, 对 NPN 器件的工作不起作用。

用 ESD 紧凑模型仿真的例子以一个漏级开路驱动器电路的简单示意图 (图 1.35a) 来表示, 它结合了高压 NLD MOS 和 NLD MOS-SCR 结构。NLD MOS 器件有一个 $30 \text{ k}\Omega$ 的附加栅电阻, 用于模拟来自驱动电路的动态耦合负载。在 ESD 条件下, 取决于电路和结构参数的不同, ESD 电流可以通过 NLD MOS-SCR ESD 防护钳位或通过 NLD MOS 器件放电。从波形的对比分析可以看出图 1.35b、图 1.35c 描述了两种不同情形。当 $R_{\text{GATE}}=10 \text{ k}\Omega$, 在 2 kV HBM 的给定电路参数下, 在 NLD MOS-SCR 栅上的栅耦合足以提供早期开启。因此, SCR 钳位接管了 ESD 电流 (图 1.35b)。与此相反, 在 $R_{\text{GATE}}=1 \text{ k}\Omega$, 栅耦合不充分的情况下, 其钳位器未开启, 电流路径是通过 5 mm NLD MOS 器件形成的 (图 1.35c)。

这样, 取决于电路参数和 HBM 脉冲幅值的不同, 可以确定一个临界区作为在导通的电路中电流方向从 SCR 钳位路径改变到 NLD MOS 路径的条件。如果通过 NLD MOS 的电流是均匀的, 大电流工作将是非破坏性的。然而, 在实际的三维情况下, 非均匀的局部回滞开启可能导致不可逆的损坏^[17]。

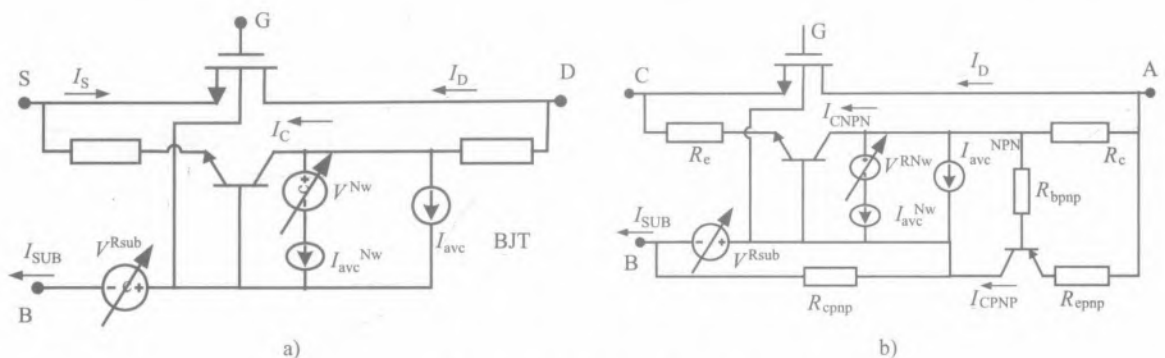


图 1.34 回滞模型的等效电路
a) NLD MOS b) NLD MOS-SCR

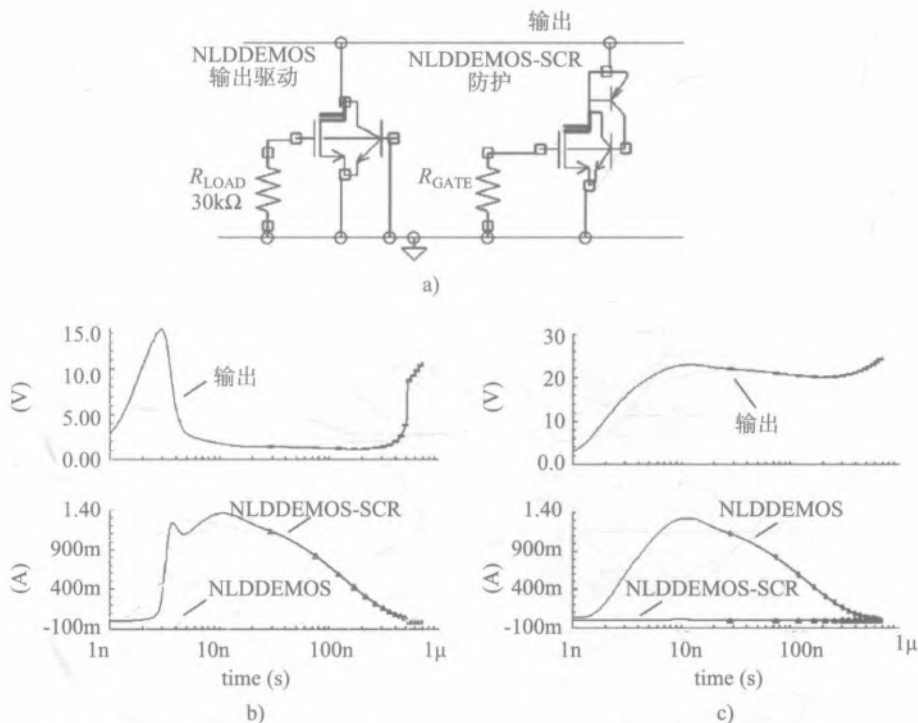


图 1.35 a) 漏极开路输出驱动器 ESD 防护的简化示意图 b) R_{GATE} 为 $10k\Omega$ 时的电压电流波形 c) R_{GATE} 为 $1k\Omega$ 时的电压电流波形 b) 和 c) 分别代表两种可能的设计

在回滞钳位和阵列开启之间类似的竞争情形可从衬底电势效应得到。在控制 ESD 器件时，衬底耦合技术也是最有用的方法之一^[18]。

1.5 用混合模式电路仿真进行片上 ESD 设计

对于工业级片和片外的系统级 ESD 设计，本节介绍基于仿真的重要方法。这一方法的应用实例广泛存在于本书的各个章节之中。

1.5.1 基于 TCAD 的工业级 ESD 开发流程

对于新的混合信号工艺，工业界 ESD IP 的开发通常是与工艺规范的定义同时启动的。通常对 ESD 器件和钳位物理机理的开发，需要几个学习周期，并结合所需设计参数的大量芯片测试实验。当所有开发目标的选择都完成之后，ESD 设计及其附属物会与工艺开发工具包 (PDK) 一起发布。ESD IP 通常结合了由 ESD 库数据表和设计指南支持的版图、原理图和符号视图。除门锁之外，通常也提供 IC 级的 ESD 方案和版图验证。在工艺开发和验证阶段，会进行主导模拟产品的设计和验证。这个开发周期之后，在工艺节点的整个生命跨度中，常常会添加许多定

制的 ESD 方案，面向进一步的优化和具体的产品情况。

ESD 工艺开发流程每往下走一步（图 1.36），重新设计牵涉的成本就会显著升高。各种实验方案和版图设计的改变成本相对较低，PDK 库的改变需要更多资源，而 IC 产品重新设计和重新达标会造成重大的成本损失。遭受的损失不仅仅与重新设计所消耗的直接资源有关，通常还会延迟产品的上市时间，从而失去很大部分的计划收益。产品延迟上市会造成整体销售价格的下降，有时甚至会将机会送给竞争对手，这些后果都有可能接踵而至。



图 1.36 新工艺下工业级 ESD 开发流程说明

所以，任何提高效率、验证和确认物理设计方案的积极措施都成为开发方法的重要组成部分。在这些措施中，一个特殊的角色是专门的数值仿真，与实验方法相比，它具有可预测性和几乎实时的对开发需求的响应。在工作流程的所有阶段，正确设置的数值实验允许开发人员以减小的成本实现设计目标（图 1.36）。

ESD 方案的成功设计要求将传统的电路工作原理与具体的器件瞬态工作条件相结合，包括雪崩击穿、大注入和电导率调制等。

为满足这些需要，混合模式仿真成为首选的 TCAD 方法。为实现这个方法，在每一个时间步长，仿真器同时求解一个矩阵，该矩阵既代表像 SPICE 仿真器这样具有紧凑模型的电路方程，又代表引入电路的有限元模型（FEM）半导体结构中的载流子输运方程（图 1.37）。对于有源器件，如果它们工作于小信号非击穿条件，可以使用非 ESD 紧凑模型器件。有限元模型器件的仿真分析，支持击穿、注入和电导率调制的精确物理解，是 ESD 设计问题中主要的方法论上的突破。它消除了如前文所述的基于经验特性匹配的 ESD 紧凑模型的局限，甚至省去了这一

需要。

在业界使用多年之后，混合模式仿真方法似乎是合乎逻辑的和简单的。然而它也提出了一些挑战。主要的挑战是混合模式仿真架构的有限元模型器件的生成。第二个挑战是仿真装置自身，对于涉及 ESD 的从业者或模拟电路设计人员而言，它应该是透明的和用户友好的，因为他们不可能将全部时间都投入到 TCAD 分析中去。

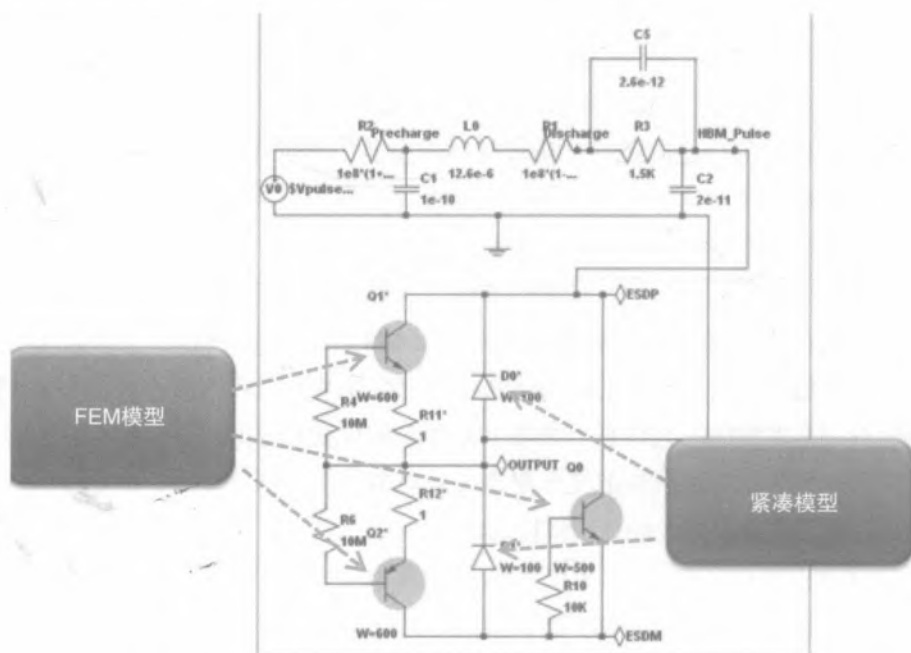


图 1.37 基于有限元模型 (FEM) 器件的混合仿真方法说明

有两种已知的方法可为混合模式 TCAD 数值实验产生 FEM 器件。第一种是基于精确的物理工艺仿真步骤，工艺流程是经过校准的，如果起初它作为工艺技术的一部分是可以利用的。主要的工艺仿真步骤涉及淀积、注入、扩散、外延和刻蚀。第二种是基于各个区域近似解析的定义，以及使用输入文件脚本描述的半导体器件结构的扩散掺杂分布。

1.5.2 参数化器件和工艺的新方法

物理工艺仿真流程通常得到一些公司的支持，这些公司开发新的工艺技术用作标准的工业开发过程。这一切由代工厂和具有制造能力的公司完成。不幸的是，通常花在校准上的时间过多，这说明该工艺还仅仅处于开发的初始阶段。一旦工艺整合团队得到了或多或少准确的硅结果，基于 TCAD 的数值实验通常就会被实验数据所取代。因此，TCAD 工艺流程的校准往往不能反映最新记录的变化。另一个典型的问题是，缺少统一的可以灵活支持工艺中所有标准器件的工艺流程。相反地，针对不同的器件分别有并列的 TCAD 工艺流程，它们都经过优化和

校准。

与校准工艺流程有关的更关键的问题是在那些较小的无晶圆厂即 IC 设计公司身上。由于主要的代工厂执行保护自己 IP 的极端保密政策，想获得校准的 TCAD 工艺流程几乎是不可能的。与此同时，大多数代工厂提供毫无相关性的模拟 ESD IP。当模拟设计需要这样的 IP 时，IP 要么由无晶圆厂公司自己开发并进行昂贵的无 TCAD 的多目标硅片班车搭载实验，要么求助于外部 IP 开发方。因此，基于物理仿真产生 FEM 器件的传统方法不能直接应用于这种情况。最终，只有将带有扩展电阻剖面分布法（SRP）、二次离子质谱（SIMS）剖面 and 通过外部服务获得的透射电镜（TEM）图像的工艺步骤的最佳推断方法结合起来，传统方法才能被使用。

下一个挑战是仿真的设置和运行。仿真工具为电路、参数化的 FEM 器件以及数据分析提供用户友好的交互式 GUI 的支持，这一点尤为重要。在传统的 TCAD 工具中，这些功能不是商用的。历史上它们是基于几十年前的大学所编写的代码。

假设传统的 TCAD 方法可行，使用传统的商用 TCAD 工具，根据图 1.38，仿真流程能够可视化。

通过物理工艺仿真方法获得一个新版本的 FEM 器件时，即使只有一个参数改变后，工艺步骤也必须完全重做。掩膜版参数的任何新变化，都会要求为淀积、刻蚀、注入、扩散和其他工序再重新运行一遍完整的工艺仿真。如果工艺方案本身发生变化，那么也可能需要工艺仿真步骤的校准。这一相当具有挑战性的工作需要大量的 TCAD 工程的努力去调整流程，引入掩膜版和网格参数，特别是对于较大的高压模拟器件。

FEM 器件文件由工艺仿真器产生后，导入到仿真中（与相应的激活物转换为施主和受主一起），在静态下求解，获得初始条件。这一状态下的电极条件对应于这一器件的初始条件。在这一步，网格通常需要重新定义，以消除工艺仿真中产生的不必要的多余节点，并且将混合模式电路中总的网格点数降低到一个合理的水平。与此同时，并不总是能够得到混合电路的初始静态解，可能需要多次迭代，甚至限制求解的问题类型。对于包括在混合模式电路中的每一个不同类型的器件，都必须得到网格和初始解的类似的 FEM 文件，然后单调乏味地重复整个物理工艺的仿真流程（图 1.38）。

最后对混合模式仿真输入文件脚本进行重写，以导入 FEM 文件和 DC 解决方案。这就结束了为现在流行的老一代 TCAD 工具实现传统的仿真方法而做的混合模式仿真装置。

在混合模式电路仿真期间，其瞬时解产生输出文件，为了可视化和做数据分析，需要导入到另一个程序。还有，新器件 / 电路优化循环需要重复整个烦琐的工作流程（图 1.38）。

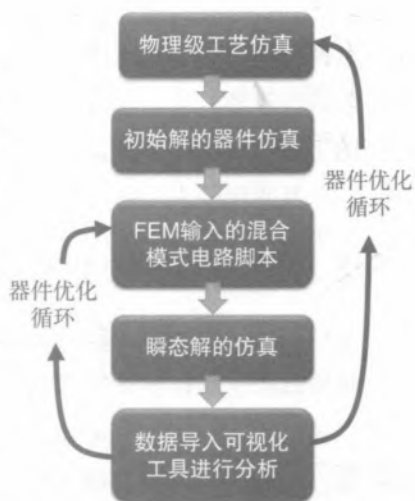


图 1.38 基于传统工业 TCAD 工具的混合模式仿真流程

显然，这样一个烦琐和费时的方法，即使是对专职的、非常投入的 TCAD 专业人士也是相当具有挑战性的。因此，也难怪 TCAD 仿真在大多数 ESD 工程师和模拟 IC 设计师当中是不那么受欢迎的。他们想要快速的结果，并仅能负担得起在业余闲暇时间运行 TCAD。因此，尽管用校准良好的物理工艺仿真得到的结果精度较高，这种方法一般还是不够实用。

对于 ESD 工程师而言，幸运的是在过去几年出现了一种新的工具 DECIMM^[19]。这一工具以混合模式仿真期间实时产生的参数化 FEM 器件作为扩散分布和器件模板来输入，从而完全取代了物理工艺仿真。类似地，全参数化的电路支持混合模式仿真分析，同时，实时数据提取、可视化和分析都集成在这一 GUI 形式的仿真器中。

这个仿真工具启用了—个革命性的混合仿真流程（图 1.39），针对每一种半导体器件类型，它将那些整个工艺必须完成的程序组合成—次性完成的。因此，通过—次性输入，可针对任何电路和 FEM 器件参数完成混合模式分析。

—这方法的第一步是得到给定工艺的扩散分布。这可以有几种途径。对内部工艺，—块掩膜版的工艺仿真后面可以跟着 DECIMM 工具支持的杂质浓度分布参数的交互式提取。这在下面会有更为详细的描述。对于代工厂或没有物理工艺仿真流程数据的内部工艺，可选择的方法包括：（1）从代工厂接收杂质分布信息；（2）通过使用外部服务和—次性测试芯片，从 SIMS（二次离子质谱）和 SRP（扩展电阻剖面分布法）数据中获取分布信息；（3）利用基于电学结果的调整，手工定义分布。

—这 IP “投资”使开发人员能够仿真整个工艺技术。交互式 FEM 参数化模板和电路的创建由 DECIMM 工具支持。瞬态混合模式解与实时数据可视化及分析相结合，在电路级和器件级实现优化循环（图 1.39）。

下面将给出—这方法的更多细节。参数化器件的生成是通过提供的一组物理器件参数，在工具中交互定义的，该组参数的提供由相关模板区域和掺杂分布的接口以及脚本派生的变量所支持（图 1.40）。器件区和电极用交互器件编辑器设置。在混合模式仿真中，由于 FEM 的产生是实时的，而不是通过导入的网格和解文件，所有器件区、掺杂、甚至半导体材料参数都可以改变。参数化的器件与物理工艺仿真产生的器件是等效的。从单块掩膜版工艺仿真的横截面中，交互式自动拟合和提取的过程如图 1.41 所示。

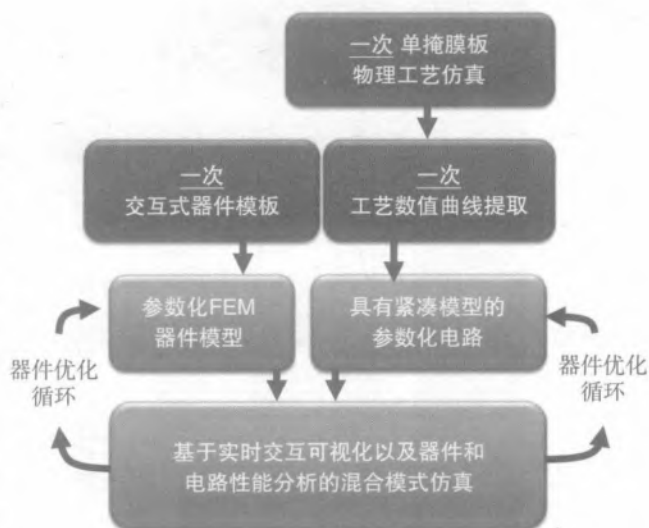


图 1.39 基于 DECIMM^[19] 的混合模式仿真流程

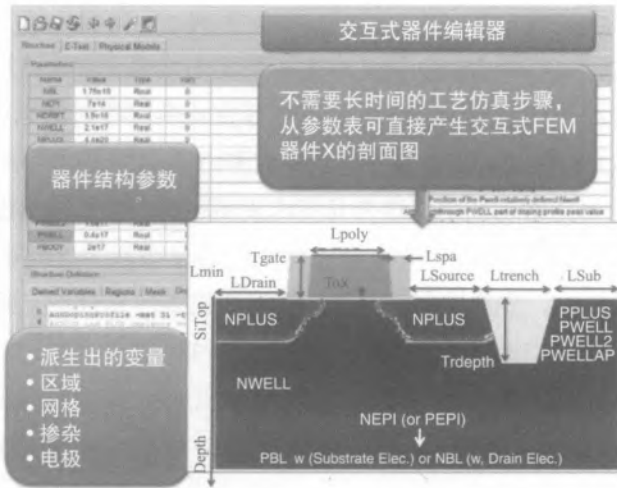


图 1.40 DECIMM 工具中的交互式器件参数化和实时 FEM 生成

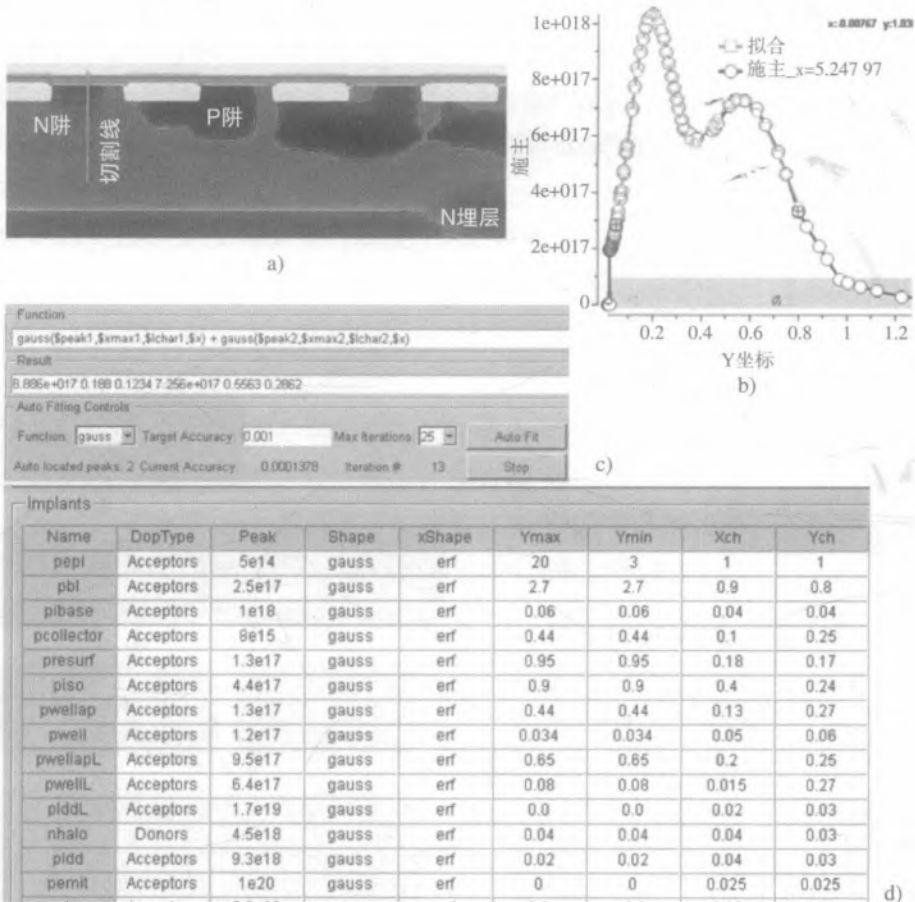


图 1.41 a) 单掩膜版扩散曲线工艺仿真截面图 b) 拟合分析曲线 c) 注入参数提取 d) 工艺定义表格

在本例中，单块掩膜版工艺仿真分布导入到 DECIMM 工具之后，从切割线处可以得到 n-阱施主注入的双高斯分布。在切割线分布上的两个点（图 1.41b）定义了拟合区域。在运行拟合迭代后，提取的结果与双峰的高斯分布提取的参数（图 1.41c）一起示于一个拟合图中。扩散分布表用一条一条的切割线和每一次注入的横向和纵向分布参数提取值编制完成（图 1.41d）。此表给出了工艺技术完整的解析表示，将注入和误差函数的垂直高斯分布与同样用水平切割线提取的横向分布参数结合在一起（图 1.41d）。与传统工艺仿真不同，一旦获得工艺参数化的注入表，工艺中的任何 FEM 器件都可以用参数化的器件模板实时生成。

一旦混合模式电路被设置，仿真将为物理器件或电路参数的任何变化而运行。图 1.42 给出了 NMOS 器件的 TLP 仿真示例。

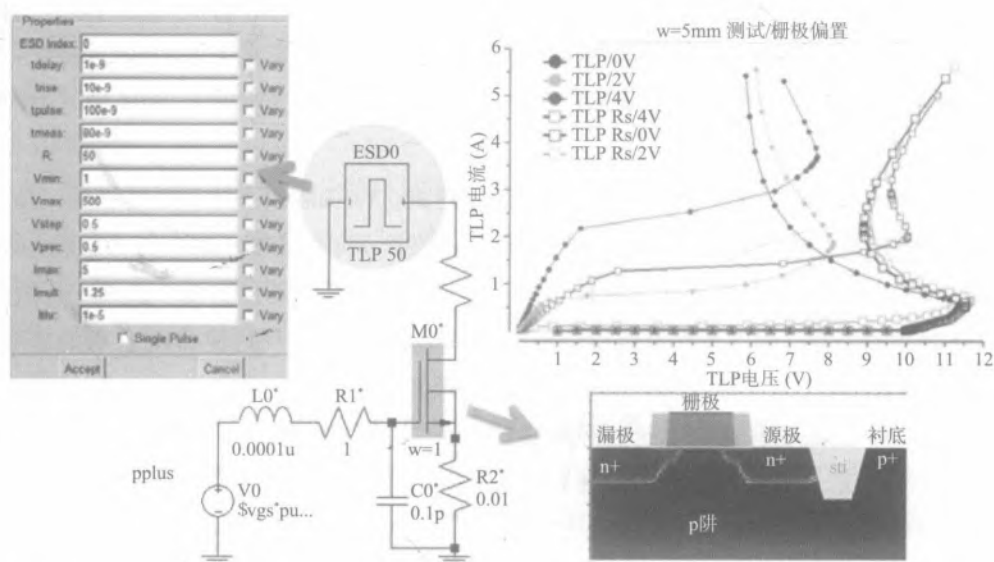


图 1.42 自动混合模式分析：具有自动 TLP 脉冲源的电路，用以说明测试仪的寄生效应

有一些实验验证了的定理支持这一新方法^[20]。带有解析分布的二维 FEM 器件，在约 5% 的期望精度内，等价于从校准工艺流程得到的 FEM 器件。对同样的导入工艺文件和同一套激活模型，当与传统 TCAD 工具进行对比时，获得的结果与仿真器无关。适当合成的注入分布可以由使用垂直高斯和横向误差函数的扩散注入成分的线性组合来定义。参数化的 FEM 结构可以定义为与真实的掩模坐标和器件区域边界相关——不需要考虑掩模套偏。使用单块掩膜版方法分别提取的解析扩散分布足以为整个工艺生成 FEM 器件。

到目前为止，与广泛使用的、带有许多昂贵重复设计周期的经验方法相比，尚未发现用户友好的 DECIMM 工具^[19]在带有仿真的工艺中确实有帮助的实例。以下章节的材料将包括许多基于 DECIMM 的涉及混合分析的例子，以提供对这一主题的深度理解。

1.6 小结

在实用和可靠的产品设计挑战中，有很多应该考虑的问题。便携式系统设计的趋势、更高的数据速率、更快的信号速度、更低的功耗和更低的工作电压，结合高水平 SoC 和 SiP 集成，引起了所需设计方案复杂性的提升，这些设计方案主要基于创新和新的方法。

新时代电子产品的需求使得设计范式发生了显著转变，片上系统级设计采用集成系统级 ESD 防护器件，片外 PCB 设计采用新的硅 TVS 方案，与过时的聚合物或压敏电阻型的 TVS 元器件相比较，这些转变使寄生电容更低、钳位电压波形更精确。现在设计的瞬态电压抑制元器件将更精确的瞬态电压波形、适当的动态特性与创纪录的低到约 0.1 pF 的寄生电容相结合，以支持电路板的设计。

与此同时，与系统级端口相接的 IC 产品引脚经历被 TVS 和 PCB 防护网络消散的二次 ESD 电流应力。通常，为了提供可预测的次级电流传导，要求这些引脚在上电和断电条件下通过某一级别的系统 ESD 测试。因此，这些引脚需要为比标准元器件规范 CDM、MM 和 HBM 高一个数量级的电流提供防护。

与元器件级的 ESD 目标水平从 2 kV HBM 降低到 500 V HBM 以下这一趋势相反，在真实的用户环境中，ESD 应力的严重程度更高。它直接影响消费产品的可靠性，除非实现了系统级防护。

系统的 ESD “解决方案”不再是放置于系统端口的抑制器元器件的简单选择。有效的方案需要采用新的设计方法，用以考虑电路板的布局、抑制器的脉冲电气特性和 IC 自身的 ESD 特性。

ESD 防护网络设计的系统级防护策略已经在本章进行了讨论，它们将在本书的其他章节作进一步的阐述。它们需要有对片上元器件测试方法和相关因素的理解（第 2 章）。片上 ESD 防护器件工程（第 3 章）和包括闩锁的总体片上设计工程（第 4 章）是 IC 制造和 IC 规格的重要组成部分。片外和片上系统级协同设计方法（第 5 章）已成为实现新时代消费类、医疗、汽车、工业和其他电子应用的理所当然的期望之举。

系统级测试方法

第1章着重说明了具有系统级引脚的 SoC (片上系统) 和 SoP (封装内系统) 集成的大趋势。这一趋势导致了设计范式向片上系统级 ESD 防护能力集成的转变。通过提供两级 ESD 电流能力, 片上 ESD 防护可用于 IC 与系统及 PCB 元器件协同设计 (第5章), 或提供一个完整的系统级兼容的引脚防护。

为支持这一趋势, 缩短在元器件和系统级测试方法及标准之间的显著差距, 系统级标准已经开发出来, 如 IEC 61000-4-2, 支持系统的 ESD 和 EMI 兼容性认证, 而不是验证 IC 元器件的合格水平。已完成的系统设计一般会明显地影响 ESD 测试结果和脉冲波形。然而, 不仅系统模块, 而且 PCB 设计通常都没有确定或传达给 IC 开发人员, 也没有包括在元器件产品的初始规格中。

无须指出的是, 在 IC 本身设计之前开发 ESD 钳位方案, 对可预测性验证提出了挑战。因此, 无论从技术实现角度, 还是从整体方法论观点, 片上系统级 ESD 设计至少需要对测试标准、流程和它们对元器件级和晶圆级验证的适应性有很好的理解。需要理解的问题包括准静态 $I-V$ 特性、瞬态 ESD 脉冲电流和电压波形、特定器件类型之间的相关因素的确定、ESD 防护能力和不同脉冲类型。

本章介绍关键测试方法学的物理基础, 以及在每个发展阶段它们在片上 ESD 系统级设计中的应用。首先重点阐述板级 ESD 电子枪测试的解释, 其次是封装和晶圆级测试的方法, 目的是为了获得更有效的片上设计方法, 而不是仅仅引述标准文献或提供一份参考指南。

2.1 节重点介绍普遍使用的 IEC 61000-4-2 和 ISO 10605 标准的系统级测试。这些内容之后介绍人体金属模型 (HMM) 测试的关键方法, 该模型是最早的系统级 ESD 应力的元器件级仿真。2.2 节介绍传输线脉冲方法, 它是片上设计很常用的工具。2.3 节介绍 ESD 波形捕获, 这是器件和电路瞬态特性分析和验证的基本方法。最后以不同脉冲、器件和测试条件的相关因素的讨论作为本章的结束。

2.1 板级测试方法

在实验室环境中 ESD 测试的目的是模拟现实生活中的 ESD 事件和验证元器件或系统的防护能力，以便符合相应的 IEC 和 ISO 标准。在片上系统级设计的情形下，可以区分在印制电路板级测试和独立的元器件级 IC 测试之间的不同。该方法的进一步扩展是 IC 甚至是独立的 ESD 结构的晶圆级验证。如第 1 章讨论的，仅使用元器件级标准脉冲（HBM、MM 和 CDM），即使脉冲幅度升高，对于验证系统级 ESD 的鲁棒性，也不是充分的实验方法。这主要归因于 ESD 脉冲波形的不同、上电条件的缺失和通过 IC 的 ESD 电流路径的不同。进行元器件级 HBM、MM 和 CDM 的测试，是为了在 ESD 防护环境下的 IC 和系统制造期间，确保集成电路或分立元器件的鲁棒性。这样做是期望未来设计的系统或系统模块的可靠性在装配和制造期间不会受到影响，而不是为了增加通过 ESD 测试的能力。因此，系统级 ESD 资格的认证至少要在一个等效的系统中执行一次，以确保其在运行、处理和维护期间的功能性。

2.1.1 一般电气设备的 IEC 61000-4-2 标准和测试方法

IEC 61000-4-2 [21] 是最常用的标准，由国际电工委员会（IEC）发布。它定义了静电放电电抗扰度试验中测试和测量技术的电磁兼容性（EMC）。该文件定义了相应的系统级 ESD 脉冲波形参数（这些参数由 ESD 测试仪提供），并概述了相应测试方法。由于标准最初是为系统测试而定义的，这导致了对于如何将它应用于具有系统级 ESD 要求的 IC 引脚防护能力的验证，没有直接的理解。如何将它应用于独立的片上 ESD 防护钳位的测试，更是不确定的。

元器件和系统 ESD 脉冲波形和脉冲能量的主要差异已经在第 1 章中做过比较。这一标准支持的 ESD 电流波形（图 2.1）物理上表示通过系统端口的导电物体的放电事件。双峰波形（图 2.1）表示由导电的分布式物体突然接到或接近放电点而引入的物理放电。第一个峰对应于在紧邻连接到端口的物体周边导电区域的放电。第二个峰表示物体其余部分的放电。假设物体电阻为常数，外围部分快速放电且上升时间短，低电阻形成第一个幅值较大的峰。物体剩余的放电脉冲传播延迟较大，电流路径阻抗较高，从而形成一个较长但幅值较小的第二峰。

峰值幅值与持续时间的比由标准本身定义。在 IEC 61000-4-2 的短时电路接触的放电电流波形中，第一峰的幅值 I_p 为 $3.75 \text{ A/kV} \pm 15\%$ ，上升时间 $0.7 \text{ ns} \pm 25\%$ ，同时从脉冲开始 30 ns 及 60 ns 后的电流水平分别为 $I_{30\text{ns}} 2 \text{ A/kV} \pm 30\%$ 和 $I_{60\text{ns}} 1 \text{ A/kV} \pm 30\%$ 。因此一般来说，按照标准，脉冲波形在不同的测试装置中会有变化，允差显著。

现实生活中，在不可控环境中的系统级应力比在 ESD 防护区域（EPA）的 ESD 事件有高得多的能量。然而，系统和元器件级标准间的整体差异并不仅仅在于更大的应力电流水平和相应的更高能量（图 1.5）。与元器件级标准比较，系统标准的另一个主要差别因素在于测试是在上电和断电条件下分别完成的。这样做是为了反映现实生活中的应用，系统在上电和断电条件

下都可能经历 ESD 事件。因此，当元器件受到 ESD 应力，该应力可能导致失效，在器件和互连中引起不可逆的变化。

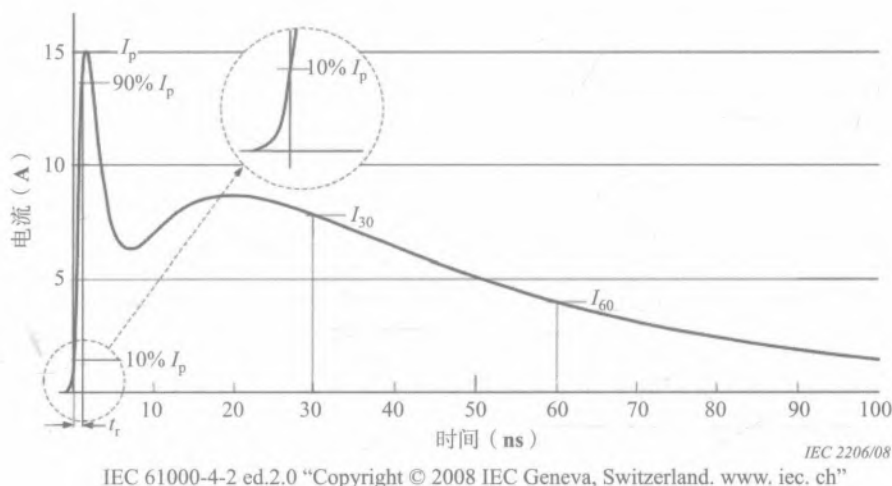


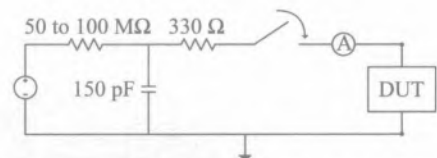
图 2.1 在 4 kV 处的 IEC 61000-4-2 理想接触放电电流波形，定义参数： I_p 3.75 A/kV \pm 15 %， $I_{30\text{ns}}$ 2 A/kV \pm 30 %， $I_{60\text{ns}}$ 1 A/kV \pm 30 %，上升时间 t_r 0.7 ns \pm 25 %

IEC 61000-4-2 标准将系统级 ESD 应力的结果分为四种可能的系统状态：

- A 在给定的范围内性能正常；
- B 暂时丧失功能或者性能衰退，但在扰动停止后，处于测试中的设备就能恢复正常，不需操作人员干预；
- C 暂时丧失功能或者性能衰退，修正需要操作人员进行干预；
- D 丧失功能或者性能衰退，没有恢复的可能。

大多数系统设计的目标是通过 A 级系统状态的资格测试。B 级和 C 级代表所谓的软失效，可以自行恢复或需要系统重启。B 级和 C 级带来了与元器件级测试的另一个重要区别，元器件级测试只与失效等级 A 和 D 有关联。

由于波形由标准定义，很多测试仪器由 ESD 设备厂商制造，以确保测试能在实验室甚至在现场环境中进行。在标准中，简化的放电电路采用一个 150 pF 的电容器和一个 330 Ω 的电阻产生系统级 ESD 应力脉冲（图 2.2）。尽管标准建议了测试装置的等效电路（图 2.2a），但显然这一简化的电路不能支持双峰标准波形。精确的测试仪器原理图通常更为复杂，以匹配脉冲波形。然而，图



根据 IEC 61000-4-2 的 HMM 设置（无寄生参数）
a)

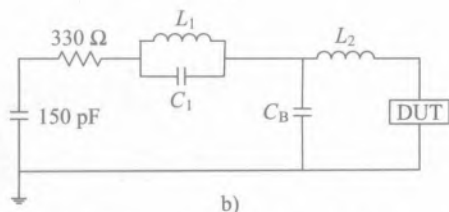


图 2.2 IEC 61000-4-2 兼容的放电电路，在实际放电电路测试仪器中 L-C 参数会改变
a) 简化的 b) 实际的

2.2b 的电路提供了满足标准要求的相对良好的波形，元器件参数举例如下： $L_1 = 4.5 \mu\text{H}$ ； $C_1 = \text{pF}$ （原文如此，无数值。——译者注）； $C_B = 20 \text{ pF}$ 以及 $L_2 = 200 \text{ nH}$ 。

单独 IC 的测试或封装好的 ESD 元器件的验证结果不大可能用来推断预测任意系统的合格水平。或许，更现实的目标可以设定为了解“最坏情况”的特征和测试条件和测试方法的影响。这是 IC 与系统协同设计方法的一个重要部分，并会在第 5 章讲述。实现这一目标的关键一步是，在特定 IEC 61000-4-2 标准和测试方法的工作台试验装置下，建立对接触放电和空气放电方法的理解。

在标准中定义的 ESD 脉冲电流波形(图 2.1)，仅在用专用工具校准测试仪器期间能再现出来。在大多数其他测试条件下，波形形状取决于测试对象、系统或 PCB 设计中所使用的 ESD 防护元器件。空气隙测试中会观察到离理想标准波形的明显偏离。起初，在为 IEC 61000-4-2 规格做测试时偏好接触放电，那时接触放电和空气隙放电被定义为同一个要求。然而，在接触和空气放电期间，IC 引脚需要通过什么级别的要求是由制造商指定的。IEC 61000-4-2 规格 4 级的一个常见要求是能够通过 8 kV 的接触放电和 15 kV 的空气隙放电。因此，为避免“惊讶于”系统级性能的不够格，必须验证具有系统级引脚的 IC，所用方法能充分预测这一性能或至少覆盖最坏情况。

接触放电施加于导电的表面（例如连接器），而空气放电施加于系统模块的绝缘表面（例如房屋）。在空气放电的情形下，电流水平和上升时间很少能被再现，而更多地与环境条件（湿度、尖端移近的速度等）有关。空气放电测试采用圆滑形的 ESD 枪尖（图 2.3a）。当测试电压设定好后，ESD 枪尖移向放电点，直至出现闪光，然后进一步直到 ESD 枪尖碰到系统表面上的放电点。这一操作通常用正极和负极重复多次，比如 10 次，这取决于采用的测试程序。触碰到系统表面对于从系统表面去除残余感应电荷非常重要，因为只有部分放电枪里面集成了电荷去除器。为去除残余电荷，系统必须接地或用刷子擦，等等。放电枪必须碰到物体是因为它的目的是模拟这样的事件，即在第一次空气放电后，使用者将要或最终能触碰到设备。

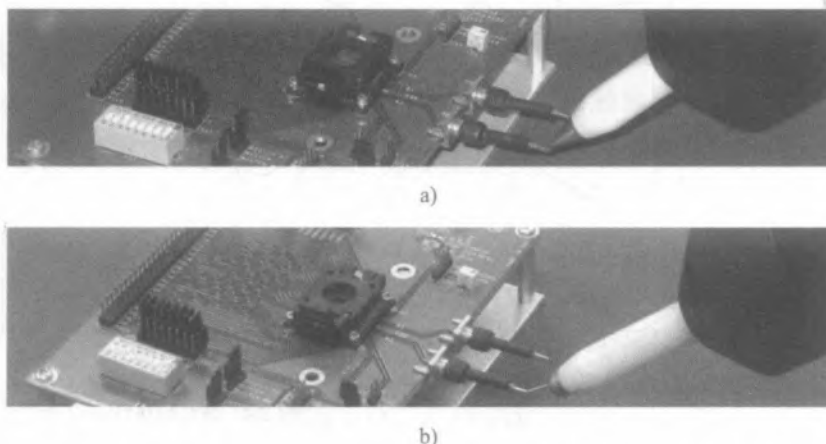


图 2.3 PCB 上放电枪的测试例子 a) 空气隙放电 b) 接触放电

在接触放电测试时,尖锐的ESD枪尖(图2.3b)用于获得与导电的系统表面良好的电接触。与空气隙测试类似,通常采用正极和负极放电各10次左右。

标准中推荐了系统级ESD验证的测试装置(图2.4a)。这些主要元器件严重影响了电流脉冲波形。如果使用不当,它们可能会极大地改变测试结果。在标准中,区分了二种不同类型的测试:实验室中进行的测试和在最终安装状态的设备上进行的安装后测试。

在系统没有接地时,例如在电池供电的系统中,没有像接地设备那样的自放电。如果在下一次ESD脉冲施加前电荷没有去除,EUT(待测设备)或EUT的局部受到的应力显著低于预期的测试电压水平,或者高于它(如果应力脉冲极性反转的话)。为了避免EUT充的电荷高得不切实际,要对测试装置进行改进(图2.4b)。通过增加连续放电之间的时间间隔,或者通过接地碳纤维刷,或者用接地电缆的泄放电阻(例如, $2 \times 470 \text{ k}\Omega$),将电荷从EUT中扫除出去。在每次施加ESD测试脉冲前,都要去除可能的额外电荷。

一般地,这些元器件在地参考金属板和安装在指定高度桌子上的上金属板之间形成了一个非常大的电容 $C_T \sim 56 \text{ pF}$ 。同时在上金属板和电路板之间也有一个电容 C_B 。对应的上板和电路板之间的距离由按标准定义的绝缘垫确定。

电容 C_T 的值实际是通过装置的设计确定的。电路板电容 C_B 受垫子参数的限制,但其他变量取决于电路板的大小和与上金属板的耦合。

脉冲波形对金属板的接地连接、待测试电路板和放电枪非常敏感。在IEC 61000-4-2中,凭借2个 $470 \text{ k}\Omega$ 的电荷泄放电阻和附加的电感线阻抗,接地连接有非常高的阻抗。这些泄放电阻仅能在应力事件之间的那段较长时间内将残余电荷从系统中去除。所以,主要的ESD电流路径由测试装置形成的低阻抗电容提供。对于第一个电流峰,这个阻抗只有几欧姆。上电测试中接地连接的主要差别取决于电源的形式,即可以是电池或者是基于电网。

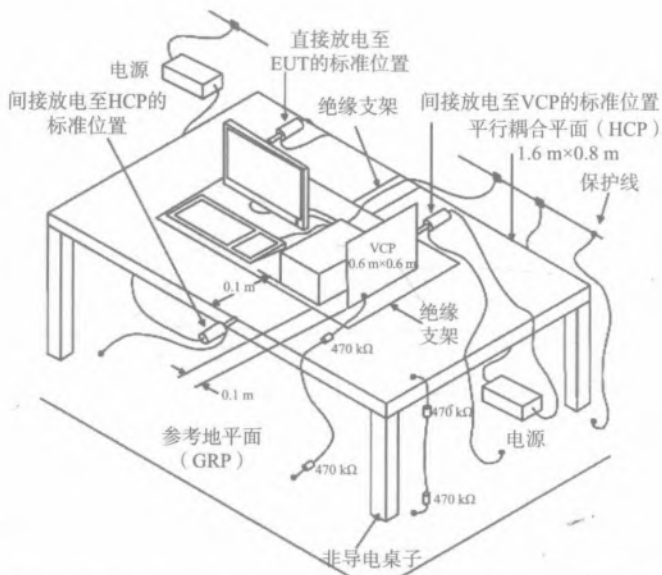
应力波形取决于放电期间的电流路径。在上金属板和电路板不直接接地的情况下,泄放电阻不能传导任何系统级大电流。因此,放电路径是通过二个串联电容 C_T 和 C_B 来实现的。在这种情形下,金属板的位置和大小直接影响到放电电容,后者改变ESD电流脉冲的波形。桌子和地参考板等效电容的一个简单电磁仿真显示了测试装置电容的显著变化,此电容取决于上金属板——水平耦合板(HCP)的大小和位置(图2.5)。

系统级测试的一个重要组成部分是测试板的设计。对于需要IEC 61000-4-2或ISO 10605的客户系统设备,期望在最终应用中或多或少准确模拟系统的条件下进行测试。因此,至少电路板级应力测试是一种达到鲁棒性的ESD设计的更理想的期望方法,而无须重新设计最终系统。

最初,测试板可以是演示板或实际客户板(图2.6)。在目前标准连接器的情况下,为了使放电枪测试能够进行,引入了端口引脚扩展器。然而,理想的是理解客户板环境并弄清楚容器/房屋接地是如何实施的。在测试前必须回答以下问题:

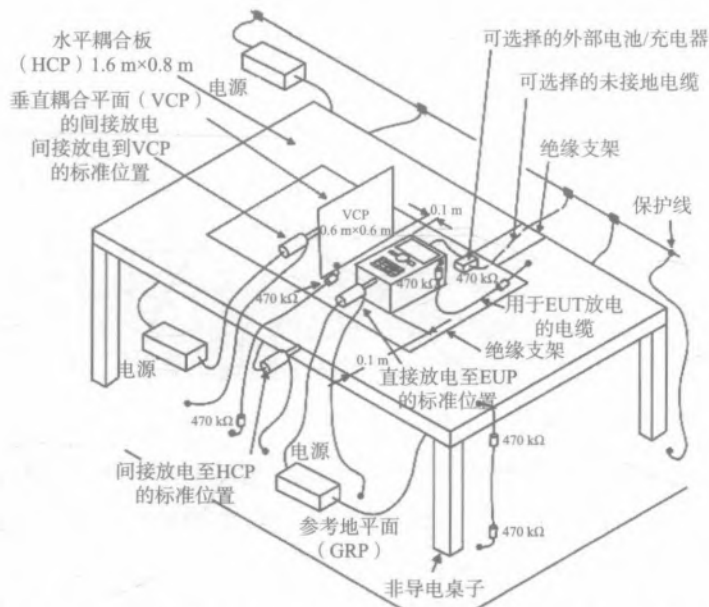
(1) 演示板需要接地吗?

- (2) 容器是浮置的吗?
- (3) 电缆连接了吗?
- (4) 有没有其他特殊要求?



IEC 61000-4-2 ed.2.0 "Copyright © 2008 IEC Geneva, Switzerland. www.iec.ch"

a)



IEC 61000-4-2 ed.2.0 "Copyright © 2008 IEC Geneva, Switzerland. www.iec.ch"

b)

图 2.4 IEC 61000-4-2 标准测试装置实例 a) 落地式设备实验室测试 b) 不接地的桌面设备

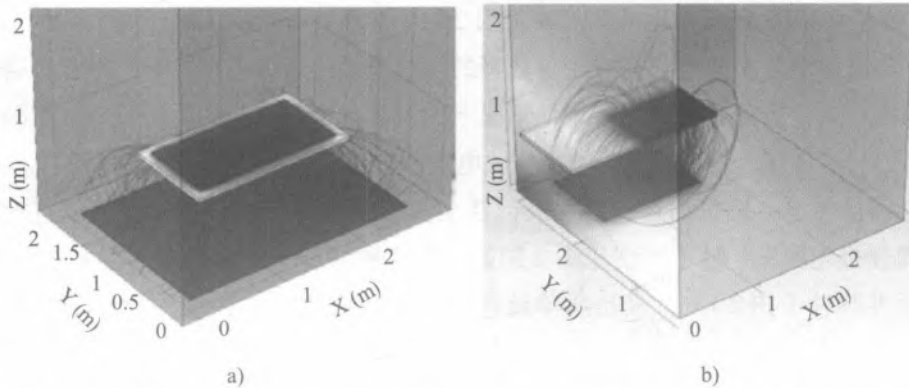


图 2.5 IEC 标准设置中电势的 3D FEM 静电仿真 a) 上板定位在桌子中间, 计算得到的电容为 56 pF
b) 不正确的设置, 上板移位至桌子角落, 计算得到的电容为 25 pF (由 Augusto Tazzoli 提供)

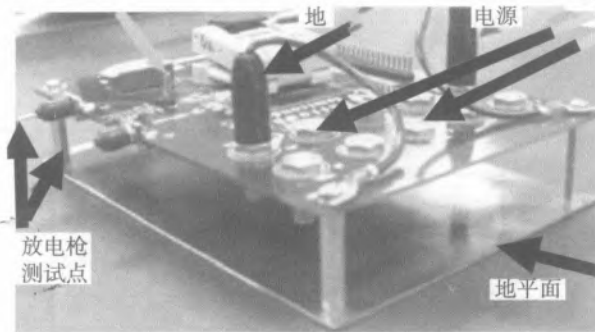


图 2.6 具有接地平面和扩展连接器的工业评估板设计示例

通过对电流波形的评估, 业界对由电路板与上金属板构成的电容 C_B 已经有了充分的认识。这一认识已经转化为实际应用, 在附加的地金属板上安装所有定制的电路板。另外, 从电路板表面扩展的金属引脚间距可到 10 mm。此外, 引入约 5 mm 间距引脚以确保电流脉冲通过测试引脚而不是通过非专用的 PCB 元器件放电。

放电枪的制造商描述了放电枪的验证技术、实际问题和建议^[22], 并涵盖了必须要测量的参数。这些参数是电压峰值、确定电流峰的接触放电的电流波形、上升时间和 30 ns 及 60 ns 处的电流, 以及在空气放电情况下的波形上升时间和时间常数。

为验证应力波形, 采用一个低电阻 ($< 2.1 \Omega$) 分流。它代表放电进入较大的金属体, 而不只是一根导线 (图 2.7)。IEC 61000-4-2: 2008 引入了频响平坦度可达 4 的新的标定目标的设计以及一个 2 GHz 示波器。环境因素也影响标定结果。由于移近速度、湿度以及电弧和电离长度的可变性太高, 所以没有包括空气放电验证。

一些简单的实验可用来证明测试装置接地对空气隙测试电流波形的影响。在 PCB 上无外接地封装元器件的测试装置中 (图 2.8), 电流常常是接触放电和空气放电之间错误关联的来源。

它在很大程度上取决于 PCB 接地板的尺寸 (图 2.9a) 和泄放电阻值 (图 2.9b)。

当然, 高阻值泄放电阻的存在对于可选择的电流路径是可忽略的。脉冲波形显著的改变促成负电流峰的形成, 可能导致器件在意外情况下的损坏。例如, 双向防护设计的阻挡结会在负的空气放电期间被破坏, 而不是在正的空气放电期间被破坏, 就如最初预期的那样。

不同负载条件下, 理想的空气放电波形甚至没有在标准中定义。它仅当放电枪的地直接连到水平耦合板 (HCP) 时才实现 (图 2.10)。在这种情形下, 具有良好精度的波形可以假定类似于标准脉冲 (图 2.1), 只是简单地将第一峰消除即可。在这种条件下, 根据实验波形, 唯一的峰上升较慢, 直到达到最大电流约 20~40 ns, 分别与 I_{30ns} 为 $2 \text{ A/kV} \pm 30\%$ 和 I_{60ns} 为 $1 \text{ A/kV} \pm 30\%$ 的电流水平相当。也就是说, 为了在仿真中再现这一波形, 可采用图 2.2a 的电路, 而不是图 2.2b 的电路。可以调整另外的寄生元件和电路参数, 以形成单一峰脉冲。

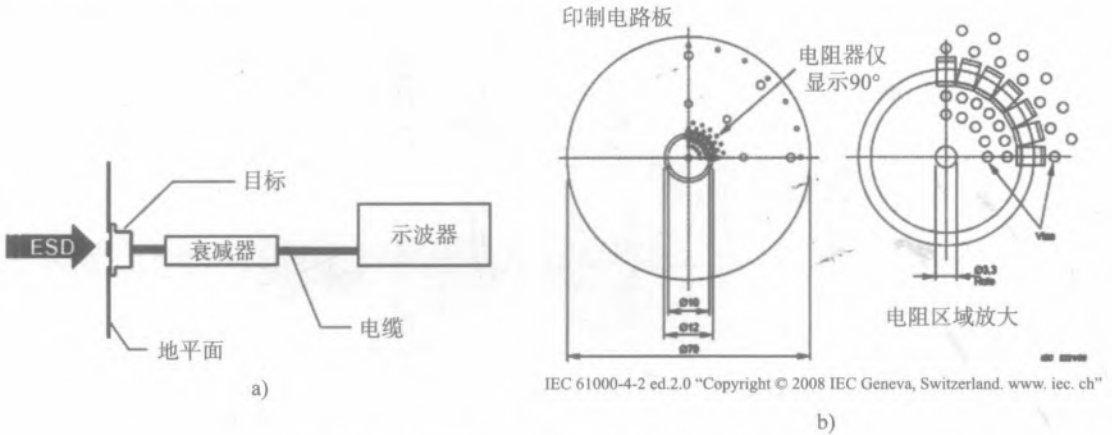


图 2.7 a) ESD 仿真器验证装置 b) 验证目标

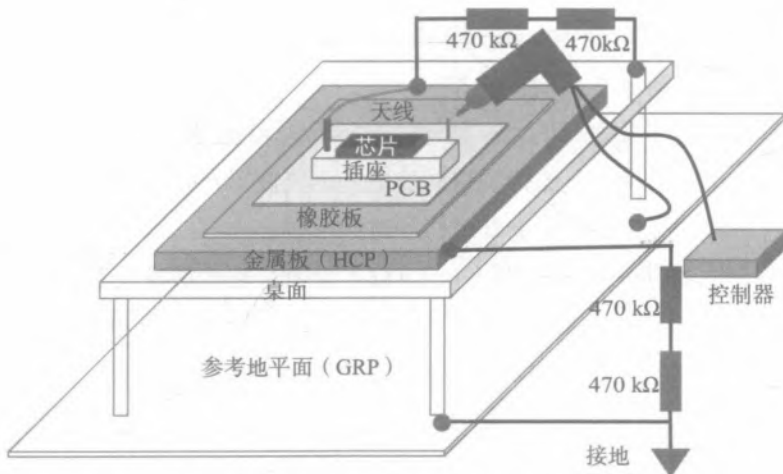


图 2.8 具有连接到上金属板的泄放电阻的系统级测试装置

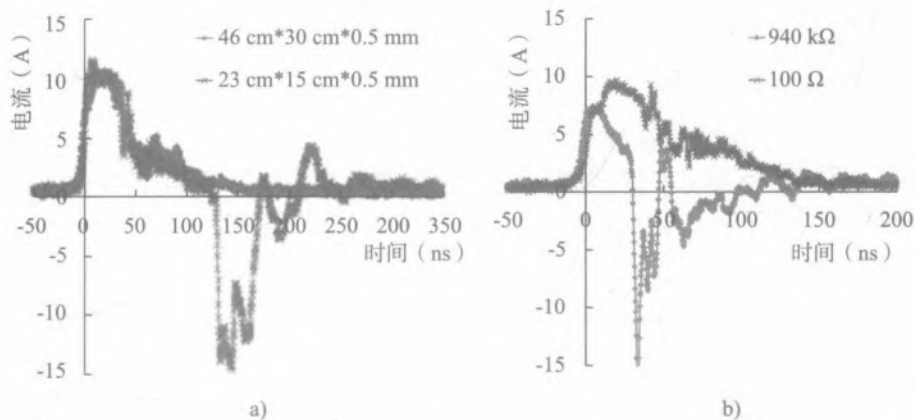


图 2.9 根据图 2.8 中装置实现的 8 kV 空气隙放电的电流波形 a) 不同 PCB 板尺寸 b) 不同电阻值

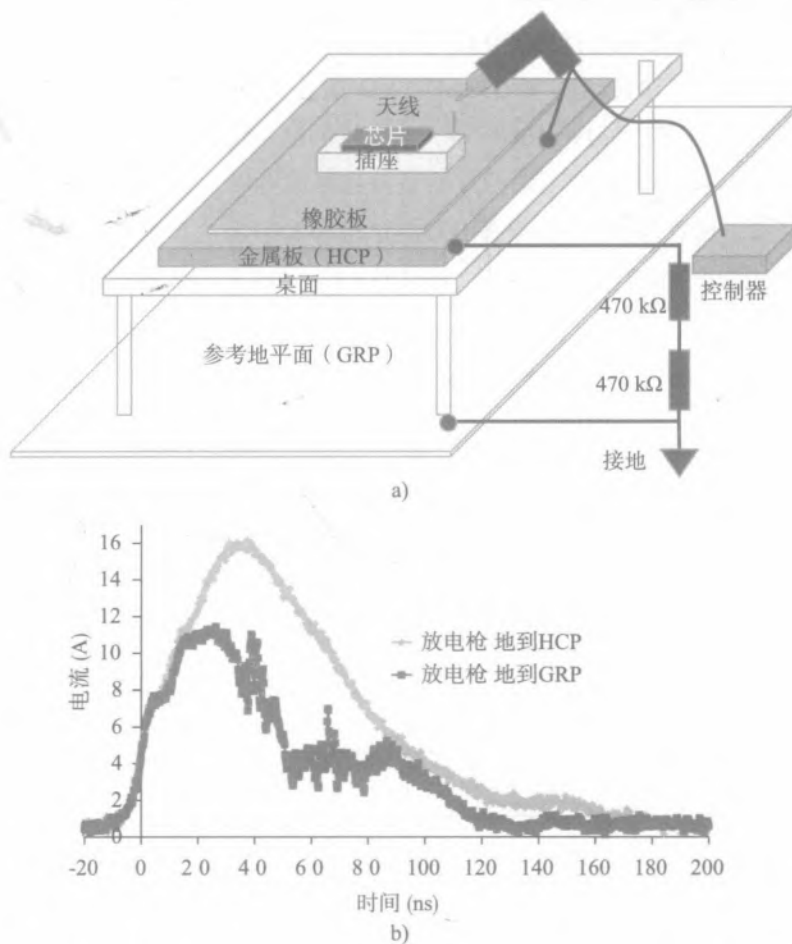


图 2.10 8 kV 空气隙放电电流波形 a) IEC 放电枪的地直接连接到水平耦合板 HCP 的非标准设置 b) 放电枪地连接到参考地平面 GRP (由 Yunfeng Xi 提供)

2.1.2 汽车标准 ISO 10605

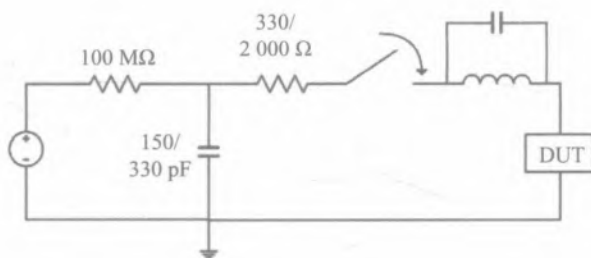
系统级 ESD 测试的另一种广泛使用的通用标准是由 ISO（国际标准化组织）发布，作为汽车工业主要指南的 ISO 10605 标准 [23]，它规定了静电放电产生的电干扰的道路车辆测试方法。

创建 IEC 61000-4-2 是为了建立通用的和可重现的基础，用以评估遭受 ESD 的电气设备的性能。创建 ISO 10605 标准是为了指定所需的 ESD 测试方案，评估车辆使用的基于 IEC 61000-4-2 的电子模块性能。

这一标准与 IEC 61000-4-2 有许多相似之处，特别在对封装级元器件的 HBM、MM、CDM 测试进行比较时。当然也有许多不同的方面，比如汽车工业通常要求通过的 ESD 应力水平要高得多，常常要求 30 kV 的合格水平。

这一测试装置的等效电路（图 2.11a）包括由一个 150 pF 或 330 pF 的充电电容和一个 330 Ω 或 2 000 Ω 的放电电阻组成的四个放电网络。这些是标准所要求的仅有的两个组合，尽管某些放电枪制造商提供 330 pF 充电电容与 330 Ω 电阻的组合。物理上，150 pF-330 Ω 的组合代表人体通过金属部件到系统端口的放电，而 330 pF-2 k Ω 组合代表人体通过皮肤的直接放电。

与 IEC 61000-4-2 不同，在 ISO 10605 中，放电枪的地是直接连接到上桌面平面（HCP）的。该标准与 IEC 61000-4-2 的另一个不同的方面是首选测试等级。虽然除了 4 个主要的等级外，IEC 61000-4-2 定义了任意等级 x，但很多 IEC 测试枪和 ESD 应力产生器有 16 kV 预充电限制。ISO 10605 清楚地表明了测试严酷程度等级（图 2.11b）。直接和间接放电的测试严酷程度等级是不同的。



a)

	类别1	类别2	类别3
直接接触放电	± 2 to ± 8 kV	± 2 to ± 8 kV	± 4 to ± 15 kV
直接空气放电	± 2 to ± 15 kV	± 4 to ± 15 kV	± 6 to ± 25 kV
间接接触放电	± 2 to ± 8 kV	± 2 to ± 15 kV	± 4 to ± 20 kV

b)

图 2.11 a) ISO 10605 放电电路原理图，在实际放电电路中 L-C 寄生可能会改变 b) 定义的应力等级^[23]

在 ISO 10605 与 IEC 61000-4-2 定义之间更详细的对比中,任何测试的枪尖移近速度应该在 0.1~0.5 m/s 之间。因为移近速度的测量不是轻而易举的事情,在实践中,ESD 发生器应该尽可能地快地移近 DUT,直至放电发生,或放电尖端碰到放电点,并且没有引起 DUT 或发生器的损坏。

类似地,电荷去除措施简要地定义为,将泄放导线与高阻(1 MΩ)按以下次序连接,可消除电荷积累:(1)在放电位置和地之间;(2)在 DUT 的接地点和地之间。如果有证据表明导线对试验结果没有任何影响,它可以保持与 DUT 的连接。

除了根据标准报告的 C 节,在“功能性能状态分类(FPSC)”方面的细节之外,评估测试结果类似于 IEC 61000-4-2。

与 IEC 61000-4-2 应力相比,当使用更大的预充电电容时,接入短路负载的二个波形(图 2.12)放电时间更长。ISO 10605 标准并不是直接用于元器件级测试,但它是许多汽车制造商对其供应商的要求。

一些 ISO 10605 放电电流的较长应力持续时间直接影响片上 ESD 防护结构的设计。图 2.13 显示了一只 ESD 二极管在 IEC 61000-4-2 和 ISO 10605 放电期间的电流和最大温度。后者是用 330 pF/330 Ω 网络创建的。由于应力持续时间较长,ISO 10605 放电应力条件下器件自热明显较高,需要在设计 ESD 防护器件时予以考虑,防止在 ESD 验证期间意外失效。文献 [24] 使用了一种片上 ESD 防护设计的方法,其中,用长时间的 TLP 测试仿真 ISO 10605 应力的较长持续时间。

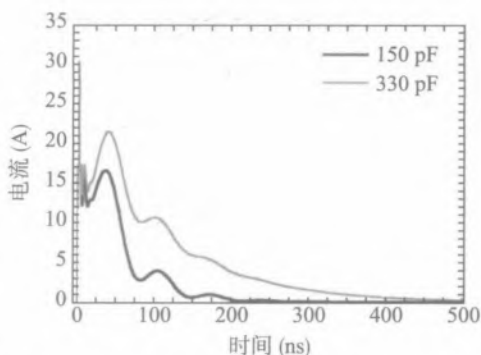


图 2.12 接入短路负载的 ISO 10605 电流波形,放电网络:150/330 pF 和 150 Ω,应力等级 8 kV

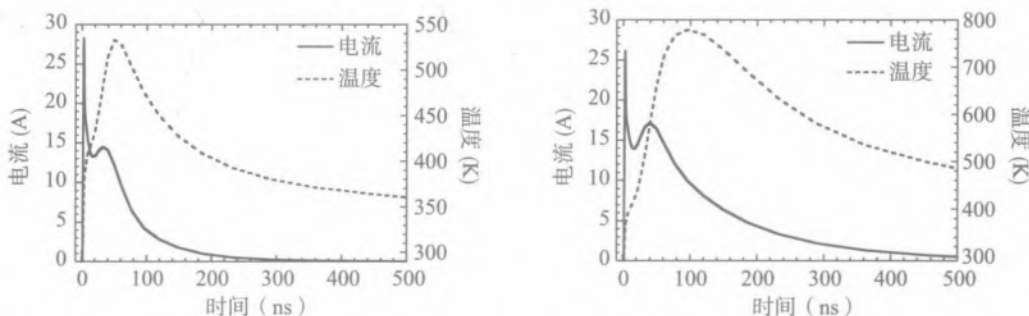


图 2.13 系统级 ESD 应力下 ESD 钳位器件内的电流和温度:基于 330 pF/330 Ω 的放电网络,应力等级 8kV
a) IEC 61000-4-2 b) ISO 10605

为对以上两节进行总结,表 2.1 编制了 IEC 61000-4-2 和 ISO 10605 标准主要指标的对比。IEC 61000-4-2 的特别之处是未接地的 DUT 不能像接地设备那样自我放电。所以,在每次施加

ESD 测试脉冲前，应该去除电荷，要么等待足够长的时间，通过 $2 \times 470 \text{ k}\Omega$ 的泄放电阻进行，要么借助碳纤维刷。在空气放电测试方法中，放电枪在放电发生后，应尽可能快地移近并触碰 DUT。

表 2.1 IEC 61000-4-2 和 ISO 10605 标准的基本特征对比

标准	IEC 61000-4-2	ISO 10605
目标	通用电气设备	汽车电子模块
推荐测试	接触放电法	空气放电法直接放电，驱动 DUT
RC 网络	150 pF 330 Ω	150/330 pF 330 Ω 150/330 pF 2 k Ω
ESD 放电枪地连接	通过 $2 \times 470 \Omega$ 电荷泄放电阻到参考地平面 (GRP)	直接上电的 DUT: 水平耦合板和 DUT 的地 间接上电的 DUT: 水平耦合板或 GRP
推荐的应力水平 (kV)	接触: 2, 4, 6, 8 空气: 2, 4, 8, 15	接触: 2~8; 4~15 空气: 2~15; 4~15; 6~25 间接: 2~8; 2~15; 4~20
放电次数	在最敏感的两极至少有 10 次放电	对所有的直接放电试验点，对每个指定的测试电压和极性，至少应用 3 次直接、不上电或车辆测试法 对所有的间接放电试验点，对每个指定的测试电压和极性，应用 50 次间接放电
短路接触放电波形		

在 ISO10605 中，任何测试的枪尖移近速度应该在 $0.1\sim 0.5 \text{ m/s}$ 之间。简单地将泄放导线与高阻 ($1 \text{ M}\Omega$) 按以下次序连接，可消除电荷积累：(1) 在放电位置和地之间；(2) 在 DUT 的接地点和地之间。如果有证据表明导线对试验结果没有任何影响，可以保持它与 DUT 的连接。

2.1.3 IEC 61000-4-5 浪涌标准

类似于 ESD 脉冲，片上方案系统级需求的普及趋势涉及浪涌需求的规范。浪涌脉冲规范可以在标准 Electromagnetic compatibility (EMC) 标准 IEC 61000-4-5 Part 4-5[25] 中获取。这个标准正式确定了抗浪涌测试的测试和测量技术。

现实生活中，浪涌事件以系统切换瞬间或雷击事件为代表。电源系统开关瞬间伴随着较大的电源系统干扰，比如：电容器组切换；较小的局部切换动作或在电源干扰系统中负载的变化；与开关器件关联的谐振电路，如晶闸管；各种各样的系统故障，如短路和设施接地系统的电弧故障^[25]。雷电浪涌主要机理包括对外部（室外）电路的直接雷击，流经接地电阻或外部电路阻抗注入大电流产生电压；间接的远程雷击产生电磁脉冲，在室外和/或建筑物内部的导体上感生电压/电流；附近直接对大地的放电产生的闪电地面电流耦合到设施接地系统的共同接地路径；也可因雷击防护装置的运行而发生电压和电流的快速变化，引起对邻近设备的电磁干扰^[25]。

类似于其他标准，本标准对实验室环境下测试波形发生器的瞬态模型进行了定义，使对上述现象的仿真尽可能接近真实的物理场景。与ESD脉冲发生器相对应，这里需要一个浪涌发生器。

对应于直接和间接的物理事件，上述浪涌测试仪仿真浪涌事件的目标是直接和间接耦合。在直接耦合期间，干扰源是在同一电路中，如在电源网络中。感应尖峰或负载转储可以是另一个来源。在这种情形中，发生器在被测设备端口仿真一个低阻抗源。在间接耦合情形下，干扰源与受害设备不在同一个电路中。在这种情况下，发生器仿真一个高阻抗源。

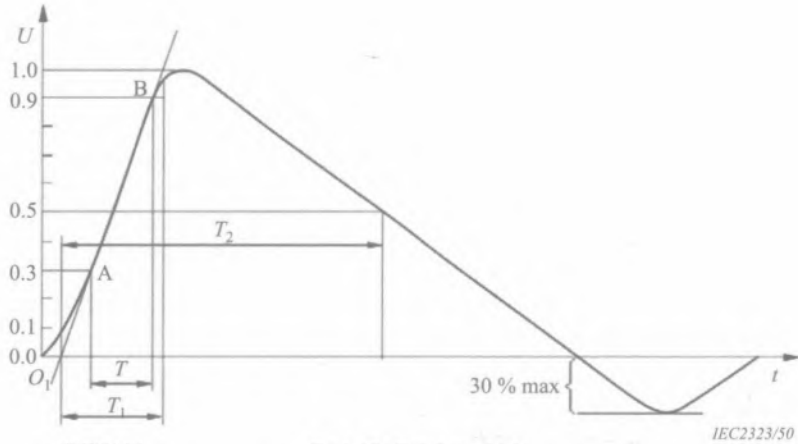
与系统级和元器件级的ESD脉冲不同，浪涌测试标准波形被定义为开路电压和短路电流。类似于系统级ESD枪，浪涌测试仪波形的校验无须被测设备（EUT）的连接。对于AC或DC供电的产品，也可以指定输出。

浪涌发生器的目的是产生一个浪涌，开路电压的峰前时间 T_1 为 $1.2\mu\text{s}$ ，开路电压降低到峰值一半的时间 T_2 为 $50\mu\text{s}$ （图2.14a），短路电流的峰前时间 T_1 为 $8\mu\text{s}$ ，短路电流降低到峰值一半的时间 T_2 为 $20\mu\text{s}$ （图2.14b）。

图2.15给出了标准提供的发生器简化电路图，由高压源 U 、充电电阻 R_C 、储能电容 C_C 、脉冲持续时间整形电阻 R_{Sst} 、阻抗匹配电阻 R_m 和上升时间整形电感 L_r 组成。发生器元器件值的选择是为了使发生器提供相应的标准脉冲：在开路时 $1.2/50\mu\text{s}$ 的电压浪涌和短路时 $8/20\mu\text{s}$ 的电流浪涌。大多数浪涌脉冲发生器产生峰值电流从 250A 到 2kA 的脉冲。

为方便起见，可将发生器的峰值开路电压与峰值短路电流之比视为有效输出阻抗。对于这个发生器，该比值定义了 2Ω 的有效输出阻抗。由此产生的电压和电流波形是EUT输入阻抗的函数。在对设备施加浪涌期间，此阻抗可以变化，归因于已安装防护器件的正常动作，或者，如果防护器件缺失或失效，归因于闪弧或元器件击穿。所以， $1.2/50\mu\text{s}$ 的电压和 $8/20\mu\text{s}$ 的电流波形必须按负载要求从同一发生器的输出得到。

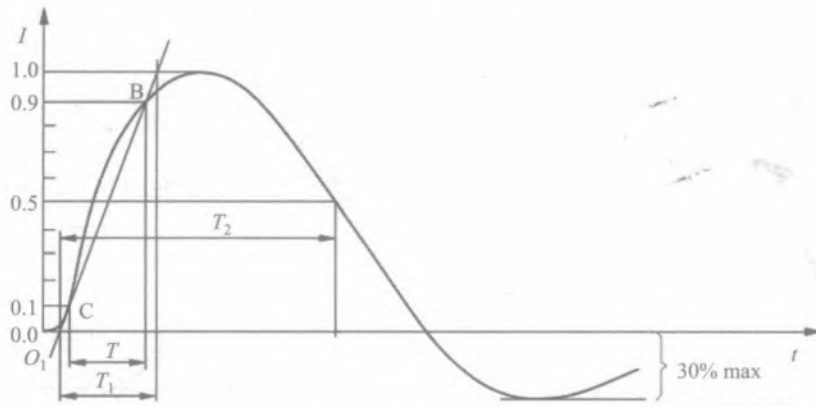
文献[25]在Spectre仿真器环境下，对浪涌测试仪进行了电路仿真，电路（图2.16a）元器件值为： $C_C=6.038\mu\text{F}$ ， $L_r=10.37\mu\text{H}$ ， $R_{S1}=25.105\Omega$ ， $R_{S2}=19.8\Omega$ ， $R_m=0.941\Omega$ 和 $U=1082\text{V}$ ，图2.16b和图2.16c显示了相应的短路和开路波形。



峰前时间: $T_1 = 1.67 \times T = 1.2 \mu\text{s} \pm 30\%$
 降到峰值一半的时间: $T_2 = 50 \mu\text{s} \pm 20\%$

IEC 61000-5-4 ed.2.0 "Copyright © 2005 IEC Geneva, Switzerland. www.iec.ch"

a)

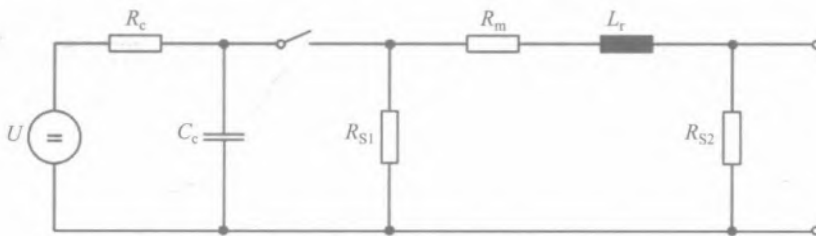


峰前时间: $T_1 = 1.25 \times T = 8 \mu\text{s} \pm 20\%$
 降到峰值一半的时间: $T_2 = 20 \mu\text{s} \pm 20\%$

IEC 61000-5-4 ed.2.0 "Copyright © 2005 IEC Geneva, Switzerland. www.iec.ch"

b)

图 2.14 在未耦合-解耦网络 (CDN) 的输出波形 (波形均根据 IEC 60060-1 的标准定义)
 a) 发生器的开路电压输出波形 (1.2/50 μs) b) 发生器的短路电流输出波形 (8/20 μs)



IEC 61000-5-4 ed.2.0 "Copyright © 2005 IEC Geneva, Switzerland. www.iec.ch"

图 2.15 组合浪涌发生器的简化电路图

与 IEC 61000-4-2 应力相比, 进入短路负载的波形 (图 2.16) 放电持续时间更长。ESD 脉冲浪涌试验在不同的时间域产生应力, 其中, 不仅绝热现象是合格水平的原因, 而且电热现象起主导作用。一般来说, 最初设计 ESD 防护器件是用来承受电的, 而非热-电的电流, 仅能提供 ESD 防护。在实验结果中, SCR 类型的 ESD 防护器件的典型相关性导致了低于合格电流的 1/10。

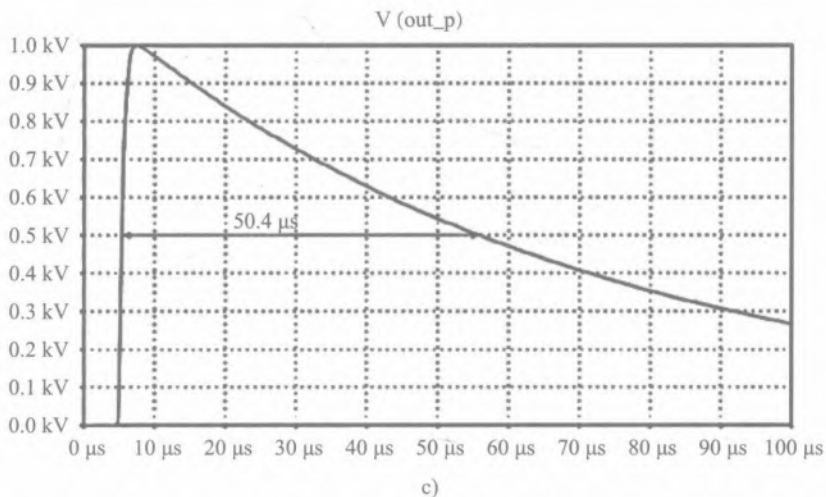
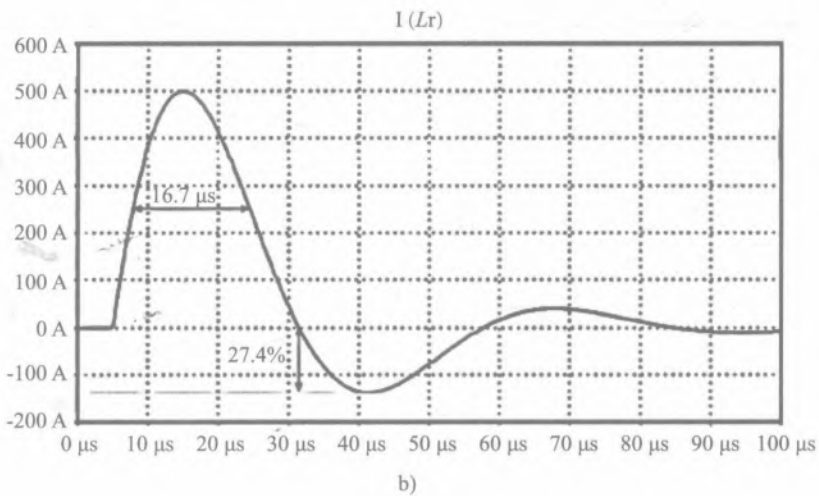
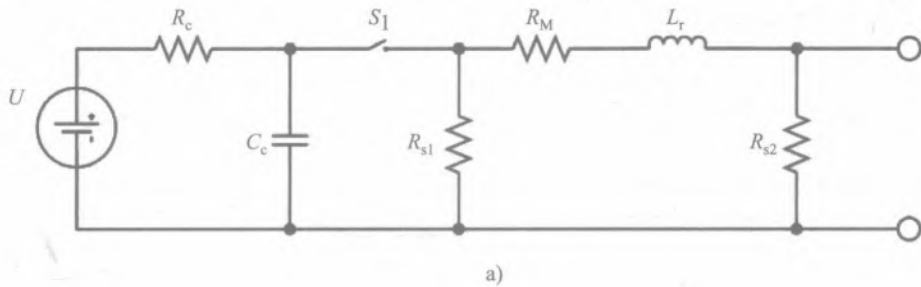


图 2.16 a) 组合波形发生器的 Spectre 仿真电路 b) 短路电流仿真波形 c) 开路电压仿真波形^[26]

根据文献 [25], 组合波发生器源阻抗的选择取决于电缆、导体或连线。对交流或直流电源网络、互连、电缆线长度、室内 / 室外条件、线对线或线对地测试电压的应用做了区分。

至于耦合 - 解耦网络 (CDN), 2Ω 阻抗代表低压电源网络的源阻抗。因此, 在同等的情形下, 直接使用初始内部有效输出阻抗为 2Ω 的发生器。附加有 10Ω 串联电阻的 12Ω 阻抗代表整个低压电源和接地网络。 42Ω 有效阻抗由另外一个 40Ω 电阻提供, 代表在所有其他连线和地之间的源阻抗 (图 2.17)。

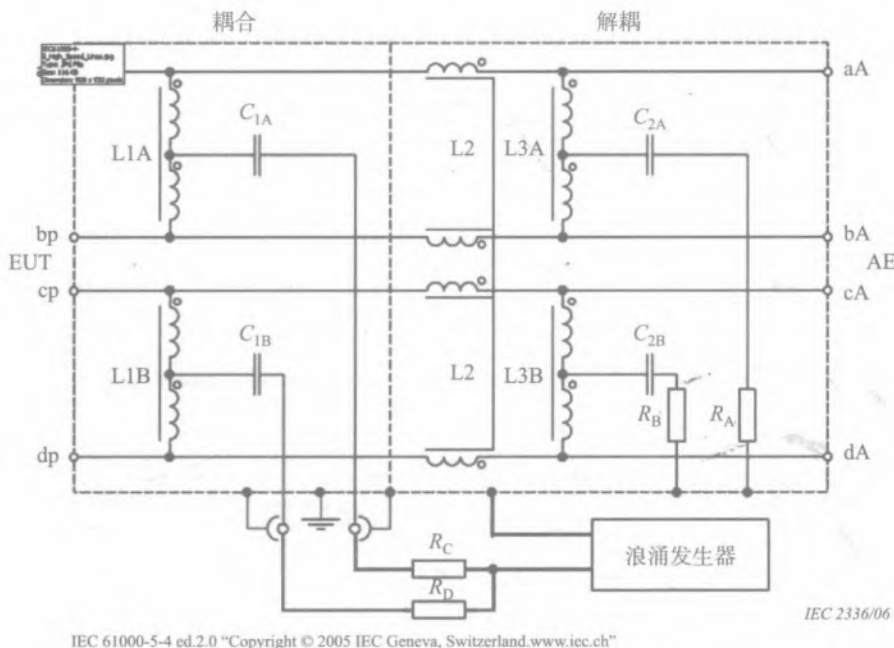


图 2.17 对称高速通信线路的耦合 / 解耦网络示例, 使用 $1.2/50\ \mu\text{s}$ 浪涌^[25], $R_C = R_D = 80\ \Omega$ 以及解耦电容 C_{1A} 和 C_{1B}

尽管浪涌电流可能较低, 但总能量却高得多。高度专业化的 ESD 防护方案对这种缓慢变化的低电压、高电流应力是无效的。使用较低浪涌应力水平 (不超过 $10\sim 20\ \text{A}$) 的应力器件可以基于 IEC 61000-4-5 规范, 也需要添加专门的浪涌防护。多年来, 已使用 IEC 浪涌应力表征瞬态电压抑制器 (TVS)。在 IEC 浪涌应力期间的性能常见于 TVS 数据表中。

对于片上独立器件的“浪涌 - IEC”相关性研究, 使用 $1\ \text{k}\Omega$ 电阻与测试器件串联的 TESEQ 浪涌测试仪 (NSG3040), 以将电流限制在间接浪涌场景的合理水平。大多数 SCR 器件至少通过了 $3\ \text{kV}$ 应力, 相应的电流约为 $3\ \text{A}$, 表明与 ESD 电流水平相比, 脉冲电流降到约原来的 $1/10$ 。浪涌失效是开路型的, 而 ESD 应力的典型故障特征是短路或漏电上升 (表 2.2)。在回滞模式, 浪涌电流和标准元器件级测试电流的相关因子约为 0.1 。在正向模式, 后端限制在浪涌测试期间占主导地位。

表 2.2 不同 HV SCR 器件类型的 ESD 通过等级比较

器件类型	击穿电压 @1 μ A	正 TLP IT2	正浪涌 kV/1 k Ω	负浪涌 kV/1 k Ω
双向 SCR (DIAC)	60 V	> 15 A	通过: 3 kV (约 3 A) 失效: 3.5 kV	通过: 3.5 kV (约 3.5 A) 失效: 4 kV
HV NLD MOS-SCR	40 V	> 15 A	通过: > 4 kV (> 4 A)	通过: > 4 kV (> 4 A)

对于回滞 NMOS (SNMOS), 测量到了 ESD 和浪涌脉冲峰值电流之间约 10 倍的相关因子。漏镇流区硅化物块 (SB) 长度的增加, 尽管对标准元器件甚至 HMM 测试结果有重要影响 (表 2.3), 但实际上没有提供浪涌脉冲合格水平的改善。第 3 章将对 SNMOS 和 SCR ESD 器件进行描述。

表 2.3 具有两种漏硅化物块区域的 800 μ m 宽度的回滞 NMOS 的 ESD 脉冲和浪涌脉冲性能的比较

	TLP 电流 IT2	HBM 脉冲	MM 脉冲	HMM 脉冲	超过 1 kV 的浪涌电压
正应力 (回滞模式)	4.6 A	7 kV~4.6 A	450 V~6.7 A	2 kV~6.1 A	450 V
SB=2.9 μ m	2.8 A	5 kV~3.3 A	400 V~6.7 A	0.8 kV~2.4 A	400 V
SB=1.6 μ m					
负应力 (体二极管)	11 A	> 8 kV	600 V~9 A	5.6 kV~> 17 A	2.5 kV
SB=2.9 μ m	11 A	> 8 kV	550 V~8.2 A	4.4 kV~13.3 A	2.5 kV
SB=1.6 μ m					

2.2 HMM 测试

片上系统级 IC 防护设计的一个重要进展是元器件和晶圆级测试方法的实现。这些方法仿真系统级 ESD 放电脉冲波形, 有一些允差, 这在初始设计阶段是可以接受的。特别是对 IEC 61000-4-2 标准要求的理解导致了使用同一应力波形的元器件级测试方法的发展。

系统级 ESD 测试标准没有直接指导如何将系统级 ESD 应力应用于 IC 元器件级。然而, 有迫切的需要用系统级等效应力表征元器件和片上 ESD 的钳位。因此, 提出了一种新的测量方法——人体金属模型 (HMM) 法。系统级 IEC 和 ISO 标准的接触放电定义了系统端口的测试, 而 HMM 方法主要针对的是 IC 引脚鲁棒性的评估。它也成功地应用于评估芯片上独立的 ESD 解决方案。

该方法是在这样的假设下, 即, 如果 HMM 脉冲波形重复系统级的波形, 则可以预期确定级别的通过水平。一些研究证明, 在很多情况下标准的系统级放电枪测试与 HMM 应力之间存在关联^[51]。尽管也有一些不存在关联性的报告, 但如今 HMM 代表了片上系统级设计最有用的方法。这引发了由各家供应商提供的许多工业 HMM 实验室工具的发布^[28-29]。设置和相关问题的详细内容会在下面的章节中描述。

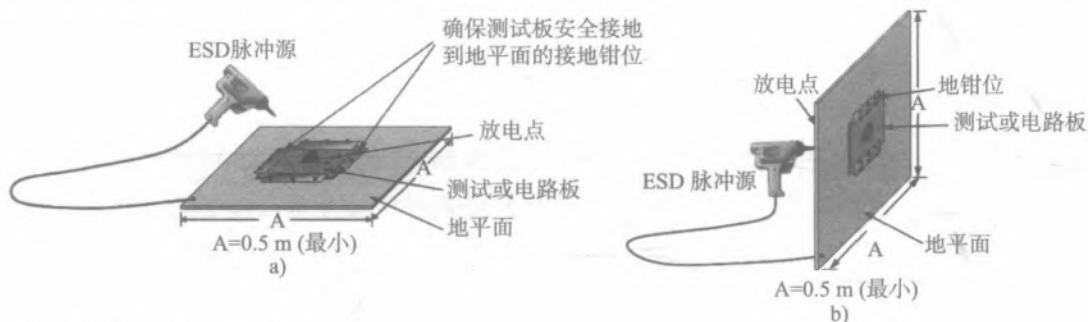
在 HMM 实践中, 互补的视角与系统级应力在整个 PCB 上的传播有关。这在 IC 引脚上可

能引起电流过应力，这些引脚直接与应力下的系统端口相接。有理由推断，仅通过标准的元器件级应力（HBM、MM、CDM），并不能自动保证可承受住系统级应力测试的能力。相反，这样的能力应该通过专门的片上设计来增加，第 3 和 4 章将对此进行讨论。

HMM 测试仪采用与 IEC 61000-4-2 标准波形类似的应力波形。在 HMM 测试和标准元器件级测试之间的物理解释中，唯一的平行关系可以粗略地由 HMM 电流脉冲波形的物理表示来勾勒，后者作为元器件级 CDM 脉冲的叠加，代表第一个峰值、HBM 脉冲和第二个峰值，都按比例缩放。虽然可做某些尝试，找到 HMM 脉冲和双组分脉冲之间的关联因子，但这一方法不太可能成为 HMM 的替代。这主要是由于单个引脚 CDM 应力的电流路径与 HMM 应力的电流路径一般并不相同。此外，HBM 事件的持续时间比，比如 HMM 事件第二峰电流的持续时间大得多。

2.2.1 具有 ESD 枪的 HMM 装置

HMM 标准实践文献 [30] 描写了三种不同的测量装置，可将应力波形施加到元器件上。这些装置使用了放电枪和 50 Ω 脉冲发生器。基于放电枪的装置将与 IEC 61000-4-2 兼容的 ESD 枪作为应力源。封装的 DUT 放置在 PCB 上，PCB 安装在一个较大的地平面上，使得 PCB 的地平面和测试装置的地平面形成了一个连续的地平面（图 2.18a）。当对 DUT 施加应力时，ESD 枪的地线与测量装置的地平面连接。装置的一种变化是使用垂直地平面（图 2.18b），使测量设备能够屏蔽 ESD 枪放电期间发出的电磁场。



a) b) 来源于© EOS/ESD Association Inc. 2009

图 2.18 a) 基于 ESD 枪和水平耦合板的 HMM 测试装置 b) 基于 ESD 枪和垂直耦合板的测试装置^[30]

这两种装置都允许在 DUT 通电时施加 HMM 应力。在这种情况下，DUT 的电源引脚应该配备一个接地旁路电容，以解耦电源线。

几个不同 ESD 枪模型之间没有关联的案例已见报道^[31-33]。大多数没有关联的常见原因与标准中定义的波形参数的相当灵活的容差范围有关。例如，IEC 61000-4-2 定义的应力电流幅值和上升时间，在 30 ns 和 60 ns 后的允许误差可大到 30%。再加上初始电流峰值上升时间有 25% 的可接受范围，有理由认为在相同条件下，不同模型的 ESD 枪脉冲可能会影响合格水平^[33-34]。另外，放电点周围的电磁场强烈依赖于 ESD 枪放电尖端的形状。因此，基于放电枪的

HMM 测量装置部分包含了一些与 ESD 枪的灵活性相关的限制，但与 IEC 61000-4-2 兼容。

2.2.2 50 Ω 的 HMM 装置

可选的第三种 HMM 装置使用 50 Ω ESD 脉冲源（图 2.19）。应力用同轴线加到安装了 DUT 的测试板上。起初提出这一装置，是为了提高所加应力脉冲的重复性^[35]以去除 ESD 枪的问题且能够可靠地测量 HMM 应力期间的电压和电流。类似于其他 HMM 装置，DUT 可在通电条件下测试。在这种情形下，DUT 的电源引脚配置了接地旁路电容以解耦电源线。

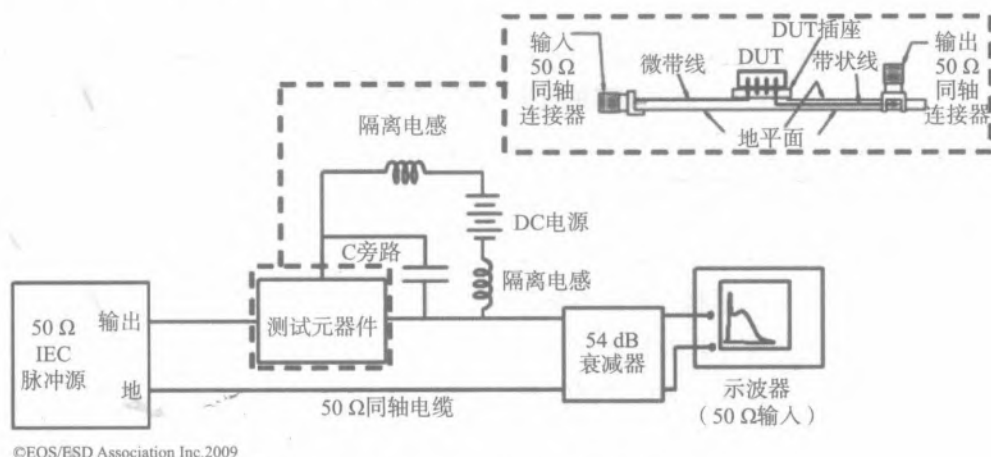


图 2.19 50 Ω HMM 装置^[30]

50 Ω HMM 装置中的反射影响是一个重要问题。50 Ω HMM 测试仪的源阻抗比 ESD 枪低得多。源阻抗的差异影响 50 Ω HMM 装置的测试结果。ESD 防护器件的导通态通常只有几欧姆的低阻抗。这导致在导通器件与测试仪源阻抗之间的阻抗失配。

HMM 应力电流会有部分反射回脉冲发生器，对脉冲发生器电流造成干扰（图 2.20）。这导致在 HMM 应力电流衰减后负电流的出现。与 DUT 电阻是否匹配，会形成不相同的电流波形（图 2.21）。这些反射会影响器件的失效水平。因此，与以 IEC 61000-4-2 放电电路作为 HMM 应力源的测试没有相关性。如果 50 Ω 的匹配阻抗与 DUT 相连，那么这些干扰就不会发生。这一现象的详细分析在本章稍后给出。

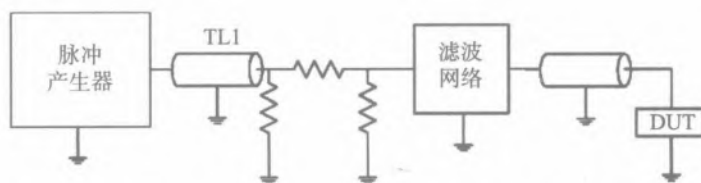


图 2.20 50 Ω HMM 装置电路原理图（TL1 是给脉冲整形的传输线）

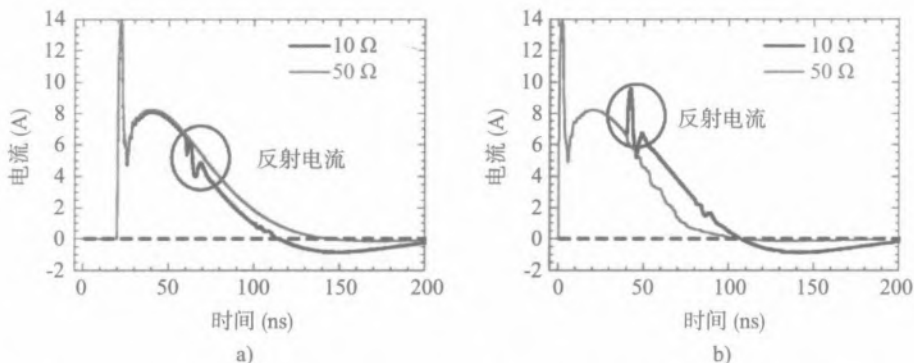


图 2.21 DUT 阻抗对 50 Ω HMM 测试仪器的反射影响仿真, DUT 用 1 Ω 和 50 Ω 电阻表示
a) 通过 DUT 的电流 b) 通过 TL1 的电流

采用 IEC 61000-4-2 放电电路的 HMM 装置(图 2.22)阻抗为 330 Ω, 这与 ESD 枪相似。所以, 在 50 Ω HMM 装置中观察到的那种反射类型不会发生。相对于任何 ESD 枪, 这种 HMM 测试仪的主要优势在于其放电模块紧凑的尺寸和形状。它能方便地安装在晶圆级测量装置中。这使得在 ESD 防护设计的早期阶段就可进行 HMM 表征。此外, 此模块的设计限制了 HMM 测试期间电磁场的辐射。另外, 放电也可以通过连接器加到应用板上。应力电流符合 IEC 61000-4-2 标准和 HMM 标准的做法。

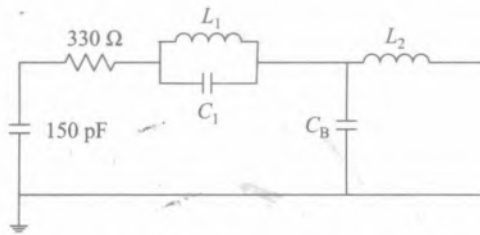


图 2.22 330 Ω HMM 泄放电路的等效电路图

2.3 传输线脉冲表征

器件和系统通过 ESD 合格水平的测试是任何 ESD 设计的主要目标。然而, 仅依靠 ESD 方案开发期间的合格水平和 ESD 案例的研究, 要实现这一目标非常困难。电流和电压波形的捕获并不总是简单的, 对 ESD 方案和内部电路响应进行可比较的和令人信服的评估, 也不是件容易的事。所以, 传输线脉冲 (TLP) $I-V$ 表征成为片上开发过程的关键步骤之一。经过 20 多年的发展, TLP 方法有了极大的改善。测试设备厂商已经发布了许多工具, 现已广泛应用于元器件级和系统级评估。本节讨论 TLP $I-V$ 特性的测量方法, 包括与晶圆测量技术相关的挑战和不足。

2.3.1 TLP 测试方法

文献 [36] 首次引入了 TLP 测试。如今, 商用 TLP 测试仪可从几个供应商获得, 并提供多种用户友好的功能和 GUI。引入 TLP 的最初动机是能有一种测量装置, 可在 HBM 时间域中进行器件的表征以及电压和电流的捕获。从那时起, 它成为最重要的元器件级 ESD 表征工具, 用来

获取片上和片外 ESD 防护电路设计所需要的器件参数。

一个典型的 TLP 装置是时域反射 (TDR) TLP 测量装置 (图 2.23a)。当然, 电压测量包括具有大幅衰减的探针。某一长度的传输线被高压电源充电。传输线长度定义了 TLP 脉宽。当开关闭合时, 传输线对 DUT 放电。入射和反射电压电流用示波器实时测量。通常, 入射和反射波形间的延迟不是很长, 所以, 可以看到入射和反射波形“交叠”在相连的示波器屏幕上。DUT 的电流和电压通过增加入射和反射数据而获得。这可在 TLP 测试仪控制软件中和 / 或在获得的波形数据处理期间进行。

第二种典型的装置是时域传输 TLP 测量装置 (图 2.23b)。像前面一样, 传输线被电压源充电。入射和反射电流用示波器实时测量。然而, 电压是直接 DUT 上测量。由于电压不是通过应力电流流经的同一导线进行测量, 时域传输装置也可以比作 Kelvin 型的测量装置。

仅有 2 个引脚的 DUT 连接的电压和电流测量原理在图 2.23c 中进行说明。来自发生器 G 的主脉冲传播到线 Z_c 中。在“0”点, 主脉冲分裂出两小部分, 它自身继续在线 Z_T 上朝着 DUT 传播。这两个小的部分传送到同轴线 Z_1 和 Z_U 。衰减脉冲是用由相应电阻 R_1 和 R_U 所形成的 1/200 分压器得到的。三根同轴线 Z_1 、 Z_U 和 Z_T 都匹配到相同长度, 因而引入相同的传播延迟时间。线 Z_1 的另一端短路到地, 而同轴延迟线 Z_U 的是开路的 (图 2.23c)。

在相应的传输线延迟时间后, 从线 Z_1 和 Z_U 另一端反射的每个分裂出来的脉冲分别到达点 I 和 U, 与从 DUT 反射的主脉冲的新的两个部分相遇。DUT 脉冲分别与具有短路和开路末端的传输线上的反射脉冲求和, 形成与 DUT 电流和电压成比例的信号。这种信号送进示波器 SO 的两个通道。

在大电流下, 低压 DUT 的电压信号是强大的反射信号值相减的结果, 这极大影响了电压测量的精度。为提高精度, 可选用一种具有相应传输线延迟的直接电压探头 (图 2.23b)。

典型的 TLP 放电脉冲的电流和电压波形是矩形, 由用户定义上升时间和脉冲宽度。通常脉宽是 100 ns, 上升时间是 200 ps~10 ns, 部分地相当于 HBM 电流的上升时间 (图 2.24)。

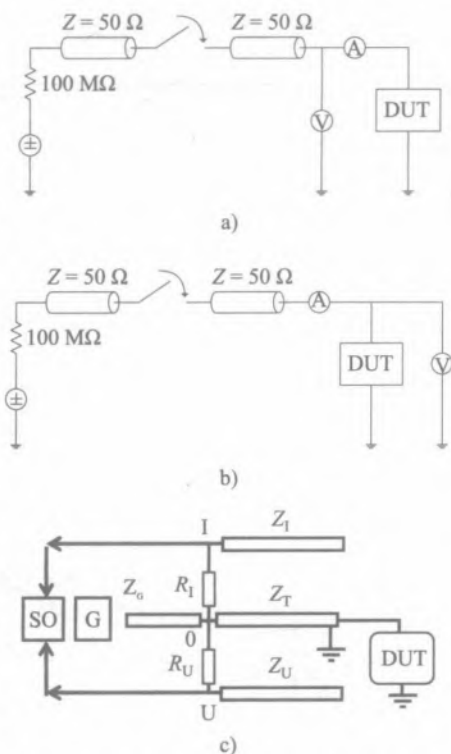


图 2.23 两种典型 TLP 实验装置的简化示意图 a) 时域反射 TLP b) 时域传输 TLP c) 用反射脉冲求和测量电压和电流的简化示意图

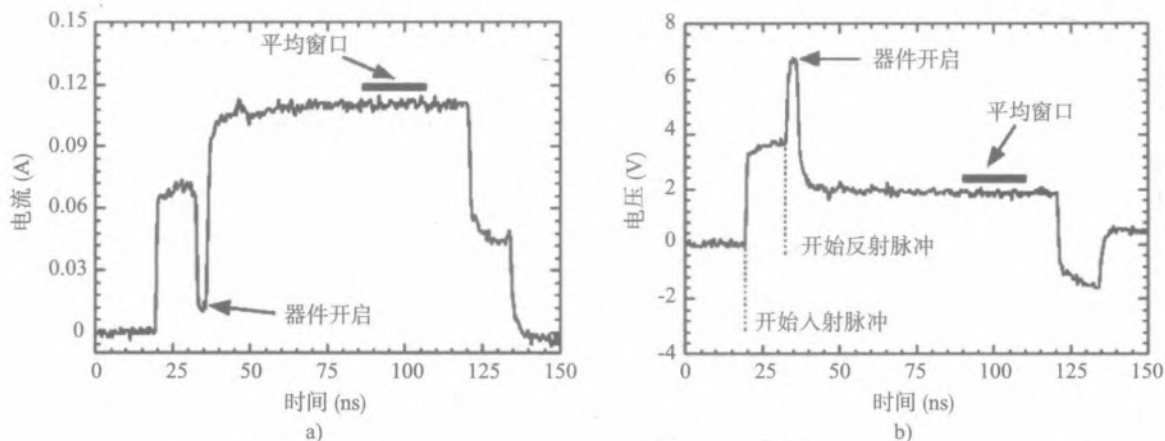


图 2.24 低压触发 SCR 在 TLP 应力期间的 100 ns 时域反射 TLP 波形 a) 电流 b) 电压

为了获得准静态的 DUT 响应，只在选定的时间窗口对每个应力水平进行 TLP 脉冲分析，通常是选择在 TLP 脉冲宽度的 70%~90%。在这一时间窗口，对电压和电流求平均（图 2.25 左图）。在不同应力的多次冲击之后，对每一对电压和电流的平均值作图，就得到 DUT 的 TLP $I-V$ 曲线（图 2.25 右图）。

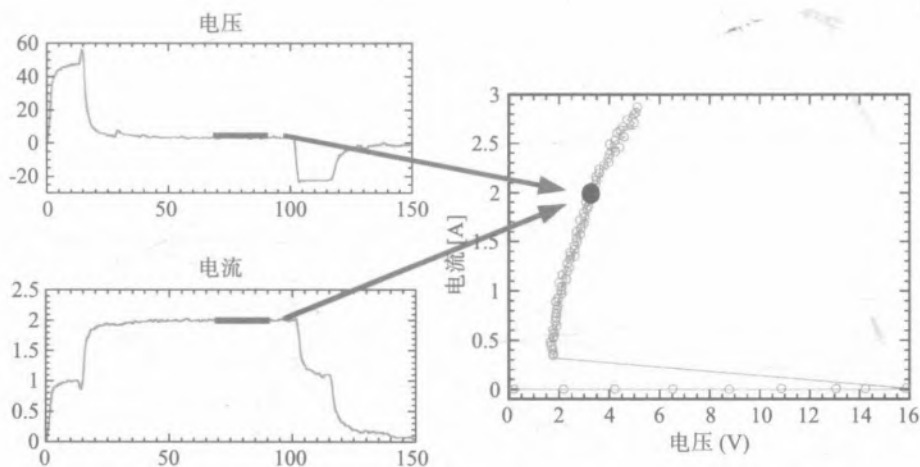


图 2.25 TLP $I-V$ 曲线测量 左) TLP 波形 右) 提取的 TLP $I-V$ 曲线

TLP 评估不仅用于对 ESD 器件钳位下最大电流电平的确认，而且也提供对 ESD 器件准静态特性的见解。这可以通过从 TLP $I-V$ 特性上提取几个品质因子来体现。在工业测试仪中，TLP 测试与功能性泄漏测试以及自动偏置条件（例如，用于标准器件的脉冲 SOA 测量）这二者相结合^[37]。测量之前将受控引脚断电，在每两次的脉冲期间测量泄漏电流（图 2.26）。

从物理的角度来看，带回滞模式的 ESD 器件与具有电阻性负载的电压控制开关的工作类似。第一对参数，触发电压 V_{T1} 和触发电流 I_{T1} ，用作器件导通进入回滞的品质因子。当在所谓

的ESD防护窗口内定义器件导通时,以及为了保证在电路正常工作期间器件不会因意外开启而带来瞬时诱导闩锁的风险时,这些参数显得非常重要。

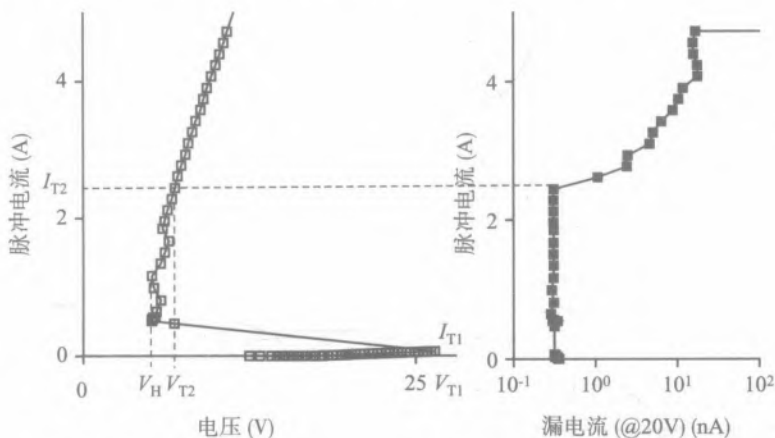


图 2.26 具有主要品质因子的带回滞特性曲线的典型 TLP 双图

下一个重要的品质因子参数是维持电压 V_H 。这个参数取决于 TLP 测试仪的负载阻抗和器件的回滞电压。于是,例如,当使用 $50\ \Omega$ TLP 系统时,测量的维持电压一般高于实际器件维持电压,后者可通过波形 HBM 系统表征或 DC 测量表征获得。

在导通进入大电流状态后,由于内部的正反馈和饱和区,器件提供一定的导通电阻,这决定了在 ESD 脉冲域大电流下的电压波形。通常,这个参数是一个重要的实用标准。对于标准的封装级规范,可以对其进行定义,例如,定义为 $1.33\ \text{A}$ ($2\ \text{kV}$ HBM)。最后,在某一应力水平下,器件的物理极限导致了器件结构不可逆的改变。这一等价的 TLP $I-V$ 曲线点通常被称为是 I_{T2} 和 V_{T2} (图 2.26)。

一般地,参数 I_{T2} 和 V_{T2} 不能单独从脉冲 $I-V$ 特性上看到。即使在不可逆变化发生后, TLP $I-V$ 曲线仍然显示出相同的趋势。为建立器件失效的诊断方法,通常需要单独的功能测试。大多数 TLP 系统中,这一功能测试通常是在给定的电压水平处,通过简单的泄漏电流测量来实现,依据一个参数失效准则定义,例如,泄漏电流偏离初始水平一个数量级。比如,对于图 2.26 所示的 $20\ \text{V}$ 回滞器件的数据,左侧的脉冲 $I-V$ 图没有显示出与不可逆失效有关的特殊之处,但已经在用功能测试获得的泄漏电流中观察到, I_{T2} 电流水平约为 $2.5\ \text{A}$ 。

TLP 特性给比较分析带来了极大的方便。它们在本书中广泛使用,表示器件参数、脉冲 SOA,以及调试模拟电路产品引脚特性。在 ESD 时域的脉冲 SOA (进一步为 ESD SOA) 是一个特定脉冲条件下测量的 SOA。原理上,这一 SOA 依赖于特定脉冲波形。已知的不相关性预期了 HBM、MM、CDM 以及 IEC 和 CDE 系统级测试脉冲的 SOA 的不同。ESD SOA 评估最常用的表征技术将 TLP 测量与常数栅偏置相结合。该技术将 TLP 脉冲应用于 DUT,例如恒定栅压下的 NMOS 器件 (图 2.27)。装置包括一个恒压源 V_{GS} ,用来提供栅-源偏置、基极-发射极偏置

或电流。在不同的偏置条件下施加 TLP 应力，以获得 DUT 的 SOA。

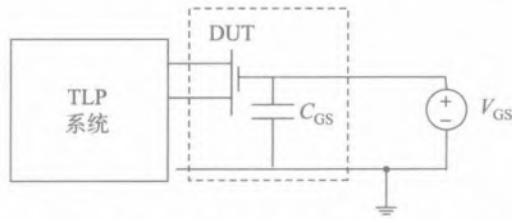


图 2.27 基于 TLP 测量的脉冲式 SOA 评估装置电路图

不能总是忽略 TLP 测试仪阻抗对失效电平的影响。一个例子是所谓的甚高压（VHV）开关器件，它能工作在几百伏到上千伏。例如，在 $50\ \Omega$ TLP 装置中触发一个 $600\ \text{V}$ SCR 器件进入回滞模式，可引起 $10\ \text{A}$ 以上的电流电平。这可能远远超出了器件的电流能力。图 2.28 给出了一个例子，通过了 $2\ \text{kV}$ HBM 应力（ $1.33\ \text{A}$ ）的器件却在 $50\ \Omega$ TLP 应力下失效。高压器件的另外一个重要问题是维持电压的精确测量，这常常被 $50\ \Omega$ TLP 测试仪的负载线隐藏。

解决这一问题的实验方法是增加 TLP 测试仪的源阻抗^[38]，或者使用多层次 TLP 测试仪^[39]。用 $50\ \Omega$ 和 $500\ \Omega$ TLP 测试仪获得了 HV nLDMOS-SCR 的 $100\ \text{ns}$ TLP $I-V$ 曲线（图 2.29）。当使用 $50\ \Omega$ 测试仪时，器件回滞到一个较高的电流值。由于负载线不同，回滞后的电流比使用 $500\ \Omega$ 测试仪时的低。当使用 $500\ \Omega$ 系统时，甚至可以捕获那些在器件导通点 $150\ \text{V}$ 和完全回滞点 $3\ \text{V}$ 之间的点。

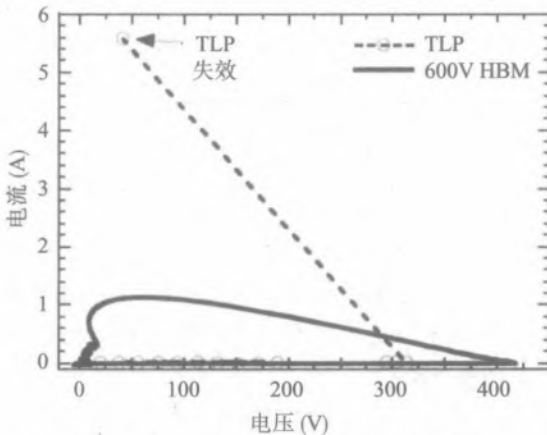


图 2.28 在应力等级 $600\ \text{V}$ 下同一器件的 TLP $I-V$ 和 HBM $I-V$ 曲线交叠图

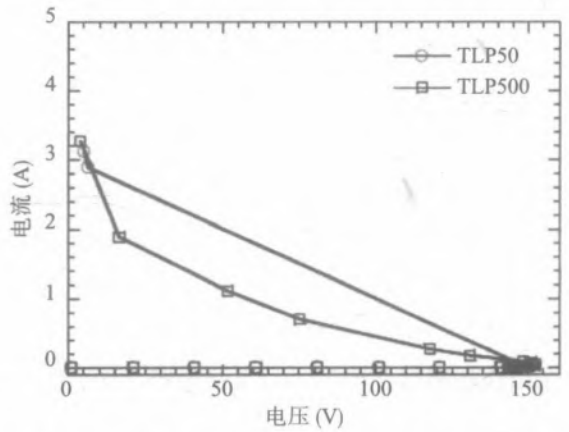


图 2.29 高压 nLDMOS-SCR 在不同 TLP 测试仪阻抗条件下的 $100\ \text{ns}$ TLP $I-V$ 曲线

2.3.2 极快 TLP 测试方法

极快 TLP (vTLP) 测试方法在文献 [40] 中第一次被提出。vTLP 测试的动机是能在 CDM

时域中进行器件脉冲表征和电压/电流测量。在标准实践文件中^[41]，vfTLP定义为小于10 ns脉冲宽度和100~500 ps上升时间的TLP应力。快上升时间和短脉冲持续时间使得在纳秒时间域内可进行瞬态器件行为的测量。

由于脉冲长度的原因，同一器件的TLP和vfTLP $I-V$ 特性并不相同。传统的100 ns TLP测量代表器件的准静态阶段。vfTLP $I-V$ 曲线表示更动态的器件行为，这与比如DUT的触发延迟有关(图2.30)。

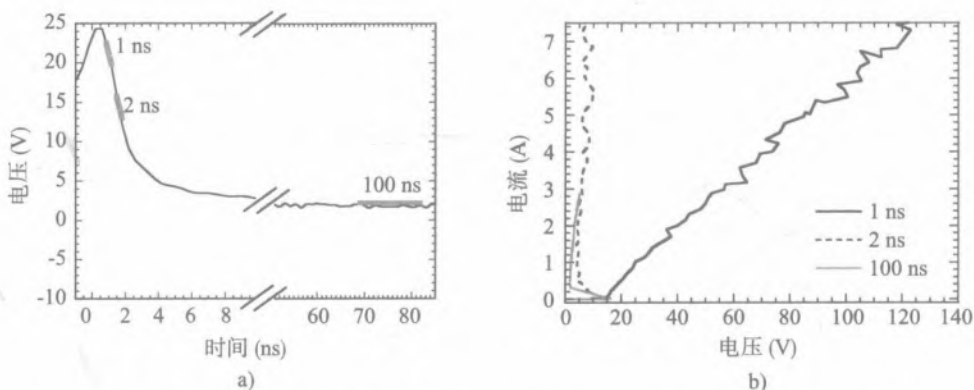


图 2.30 vfTLP 和 TLP $I-V$ 曲线提取的不同平均窗口说明 a) 平均窗口的位置
b) 基于不同平均窗口的 $I-V$ 曲线

器件准静态特性可以通过 TLP $I-V$ 特性分析得到。TLP 波形分析可对 ESD 应力期间的器件瞬态行为进行研究。由于 TLP 脉冲的瞬态特性，TLP 和 vfTLP 测量校准是获取精确测试结果的第一步。例如，在晶圆的时域反射 TLP 装置中，由于测量结果的失真，连接的寄生元件不能被忽略。探针针头包含着起主要作用的寄生因素。它们用小于 1Ω 的电阻 R_s 和 10~20 nH 的电感 L_s 来表示(图 2.31)^[42-43]。

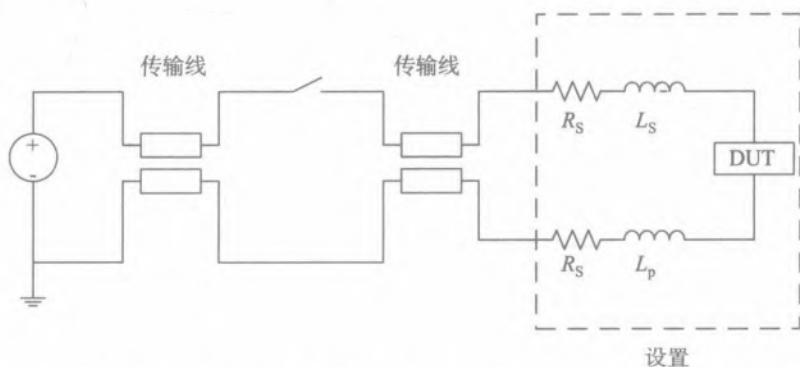


图 2.31 测试器件与探针寄生电阻 R_s 和寄生电感 L_s 连接的在片 TLP 测试装置的电路图

在 TLP $I-V$ 特性的大电流区，由于探针寄生电阻 R_s 导致显著的寄生压降。这个额外的压

降给 TLP 波形分析带来了误差。寄生元素的影响必须从测量数据中标定出来。为将针头电阻引入的额外压降考虑进去, TLP 测试仪可与一个短路元件连接。测量 $I-V$ 特性作为校准程序的初始步骤。所得 $I-V$ 曲线的斜率等于探针头的串联电阻。通过对测量数据进行相应校正, 可获得 DUT 上真实的 $I-V$ 特性。

vTLP 测试装置的一个更复杂的校准程序与快速上升时间和较短的脉冲持续时间有关。相应的测量装置带有高带宽的电流和电压探针, 故而需要价格昂贵的 RF 探针。在晶圆 vTLP 测量的情况下, 它们的主要缺点是可变的探头间距。在片测试结构的版图必须根据可以使用的 RF 探针间距而设计。

用标准钨探针针头作为替代, 使用一个专用的校准 / 去内嵌方法^[44], 将寄生从每个测得的电压和电流波形中去除 (图 2.32)。这个方法与测试仪产生的脉冲形状无关。vTLP 脉冲可以描写不同的持续时间和上升下降时间的特征。

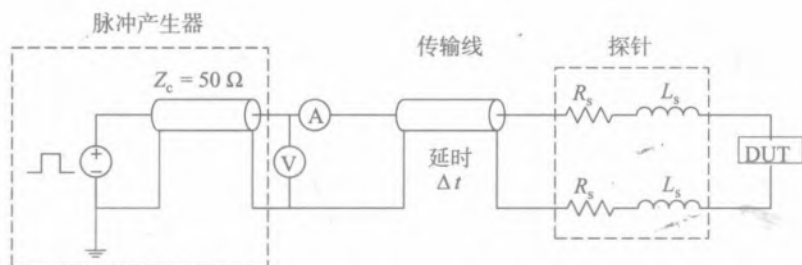


图 2.32 在片时域反射 vTLP 测试装置电路图, 包括传输线损耗和探针寄生参数

去内嵌 / 校准方法是用三个负载表征完整的 vTLP 装置: 一个开路的、一个短路的和一个 50Ω 的电阻。电压和电流从这些负载中获取。利用这些数据, 可导出探针寄生和传输线损耗的模型。

对用示波器测量的短路负载的电压和电流进行校准。探针电感引起 23 V 的电压过冲 (图 2.33a)。校准后, 这一电压过冲会被完全去除。结果, 短路负载的电压消除了由于探针寄生引起的电压过冲 (图 2.33b)。

将这一校准方法应用于从二极管触发的 SCR (DTSCR) 获得的 vTLP 测量数据。通过比较校准前后的 vTLP $I-V$ 特性, 可以显示测试装置寄生对于二极管触发的 SCR (DTSCR) 的影响 (图 2.33c)。没有校准时, DTSCR 的导通电阻和维持电压较高。寄生所致的额外压降包括在提取的 $I-V$ 曲线中。校准后, 导通电阻低得多且从 $I-V$ 曲线中提取的维持电压更准确。通过与射频 (RF) 探针针尖的结果进行比较, 验证了该校准方法的准确性 (图 2.33d)。

对于 TLP 和 vTLP 这两种测试装置, 可以使用带有额外 DUT 连接的 Kelvin 型装置 (时域传输), 使得不再需要与探针寄生有关的校准程序^[38]。然而, 由于电压和电流测量的电缆长度可能不同, 即使使用 Kelvin 装置, 也可能需要校正所得到的电压和电流波形。

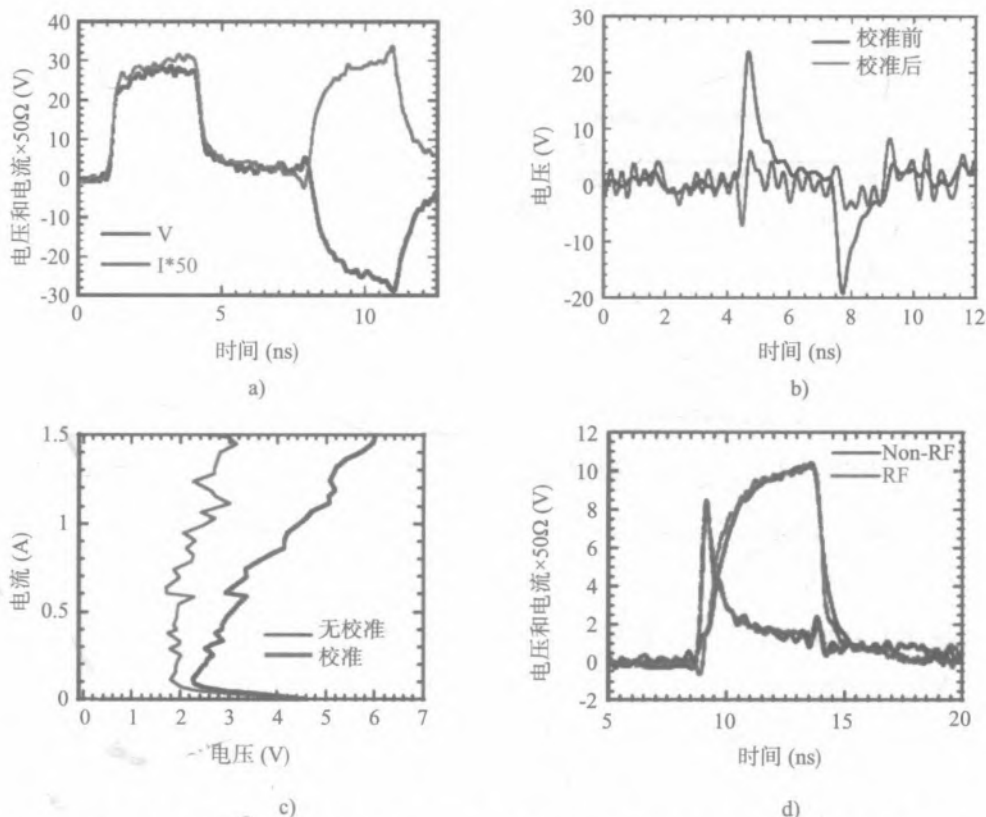


图 2.33 vTLP 校准程序对测试数据的应用 a) 短路负载的电压和电流 b) 校准前后电压的比较 c) 二极管触发的 SCR 的 3 ns vTLP $I-V$ 曲线 d) 在 5 ns vTLP 应力下测得的电压和电流波形校准后与用 RF 探针针尖测试的结果的对比

2.4 ESD 应力的瞬态波形表征

虽然 TLP 表征和 ESD 脉冲的合格水平测试是实际设计中最常用的手法, 但不同瞬态脉冲的波形分析常常能揭示另外有用的信息, 这有助于调试和优化不同的 ESD 解决方案。例如, 使用 HBM 脉冲的电流和电压波形捕获技术, 通过在整个 HBM 时间域上绘制瞬时 $I(t)-V(t)$ 图, 可以重建类似于 HBM $I-V$ 特性的相图 (图 2.34)。

对这样的 $I-V$ 特性相图进行分析, 揭示了表示器件导通的区域、峰值电流附近的振荡和在剩余 1 500 ns HBM 脉冲放电期间内的一个稳定的单调部分。前两个区域表示 ESD 应力下的器件瞬时行为, 而后一个表示器件的准静态脉冲操作。

可进行类似的分析, 以表示系统级脉冲的瞬态特性。为达到这一目标, 必须考虑几个重要问题。它们与所要求的波形捕获校准程序、特定的钳位动作和装置自身有关。本节将讨论这些问题。

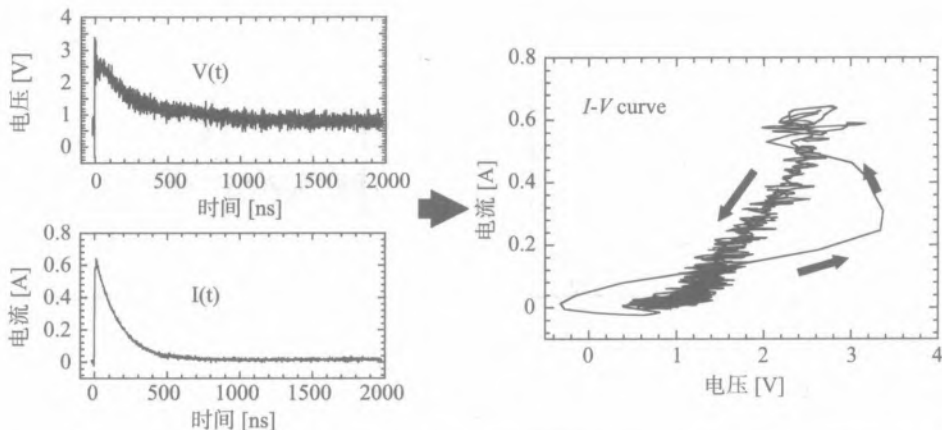


图 2.34 在 HBM 应力等级为 1 kV 时从 ESD 二极管捕获的电压 $V(t)$ 和电流 $I(t)$ 波形以及绘制的 HBM $I(t)-V(t)$ 相图

2.4.1 ESD 波形校准

本节描述了 HBM 测试仪校准程序的一个实例。该方法也可用于其他的两引脚元器件级测试，比如 MM 和 HMM。

标准 HBM 脉冲上升时间约为 2~10 ns 时，电压和电流波形测量对装置的寄生元素非常敏感（图 2.35）。探针针尖和测试装置带来的寄生元素导致电流峰值附近至线性区域的额外压降。它们必须采用适当的校准程序予以消除。通常用作电流探针的电流转换器的带宽有限（多在 25 kHz~2 GHz），这导致测得的电流波形的下降部分会有失真。

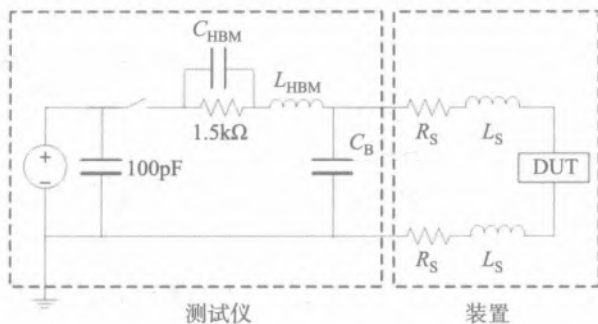


图 2.35 HBM 在片测试装置，标明了寄生测试电容 C_{HBM} 、寄生测试电感 L_{HBM} 、板电容 C_{B} 、探针电阻 R_{S} 和探针电感 L_{S}

为了去除电流变换器的这一低频失真，需要确定电流变换器的传输函数 TF ，以便从测量到的电流 I_{CT} 中计算真实的电流 I_{corr} 。

$$I_{\text{corr}} = TF \cdot I_{\text{CT}} \quad (2.1)$$

这对应一个反卷积问题。如果系统的传输函数已知的话，未知输入信号是从测量的输出信

号中计算得到的。该方法允许提取传输函数 TF 、探针寄生电阻 R_p 和电感 L_p 。在给定的电阻负载 R_L 和短路条件下，得到 HBM 电压 V_{CL} 和电流 I_{CT} 波形，可从计算中得到提取值（图 2.36）。

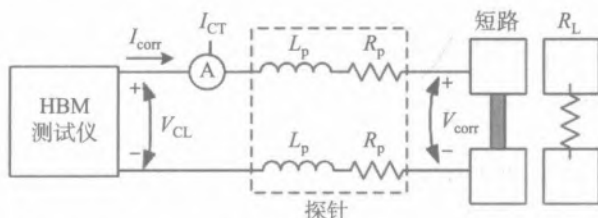


图 2.36 HBM 校准装置，标明了修正的“真实”电流 I_{corr} 、电流转换器测量的畸变电流 I_{CT} 、测得的电压 V_{CL} 、修正的“真实”电压 V_{corr} 、探针寄生电感 L_p 、探针寄生电阻 R_p 和校准负载 R_L 。

测量的电压 V_{CL} 和电流 I_{CT} 实时校准并变换到频率域，得到电流转换器传输函数的两个表达式：一个是负载 R_L 情况下测量的（见式 2.2），一个是短路情况下测量的（见式 2.3）。

$$TF_{cl}^{load} = \frac{I_{corr}^{load}(\omega)}{I_{CT}^{load}(\omega)} = \frac{V_{cl}^{load}(\omega)}{(R_L + Z_p) \cdot I_{CT}^{load}(\omega)} \quad (2.2)$$

$$TF_{cl}^{short} = \frac{I_{corr}^{short}(\omega)}{I_{CT}^{short}(\omega)} = \frac{V_{cl}^{short}(\omega)}{Z_p \cdot I_{CT}^{short}(\omega)} \quad (2.3)$$

$$Z_p = 2 \cdot (R_p + j\omega L_p), \quad (2.4)$$

其中， Z_p 是探针阻抗。这两个传输函数是相同的，因为它们是用同一电流转换器以及在同一装置上得到的：

$$\frac{V_{cl}^{short}(\omega)}{Z_p \cdot I_{CT}^{short}(\omega)} = \frac{V_{cl}^{load}(\omega)}{(R_L + Z_p) \cdot I_{CT}^{load}(\omega)} = TF. \quad (2.5)$$

从式 (2.5)，得到 Z_p 为

$$Z_p = \frac{V_{cl}^{short}(\omega) \cdot R_L \cdot I_{CT}^{load}(\omega)}{V_{cl}^{load}(\omega) \cdot I_{CT}^{short}(\omega) - V_{cl}^{short}(\omega) \cdot I_{CT}^{load}(\omega)}. \quad (2.6)$$

对于典型的晶圆级测量装置，每根探针提取的串联电阻 R_p 是 0.5~0.8 Ω ，电感 L_p 是 10~15nH。最后，将式 (2.6) 代入式 (2.2) 或式 (2.3) 中，可解出 TF 。为得到通过 DUT 的真实电流，将测得的电流波形 $I_{DUTmeas}$ 转换进频率域，并乘以传递函数 TF （见式 2.7）。校正后的 DUT 上的电压波形用式 (2.8) 计算。

$$I_{corr}^{DUT}(\omega) = TF \cdot I_{meas}^{DUT}(\omega), \quad (2.7)$$

$$V_{corr}^{DUT}(\omega) = V_{meas}^{DUT}(\omega) - Z_p \cdot I_{corr}^{DUT}(\omega). \quad (2.8)$$

由于高频率的信号谱功率有限，式 (2.2) 和式 (2.3) 的分子和分母非常小。其结果是在高频率处的值不切实际，必须在 IFFT 运算前去除掉。为减小噪声水平，需要对得到的数据进行额外过滤。修正的电流 $I_{corr}^{DUT}(\omega)$ 和电压 $V_{corr}^{DUT}(\omega)$ 波形转换进时间域。校准数据与预充电电压无关。校准仅需要在全套 HBM 波形测量前执行一次。

HBM 测试仪对寄生的去嵌入，要求对每一个捕获的电压和电流波形都应用校准数据。此外，需要对数据进行过滤，去除由于对数据的 FFT/IFFT 运算而增加的噪声。作为校准程序的另一种选择，电压可以在 Kelvin 装置中捕获^[38]。该装置（图 2.37）的优点在于，使用第二对探针直接在 DUT 上测量电压。由于应力电流有单独的路径，寄生压降不会干扰电压测量，这样就不需要校准了。

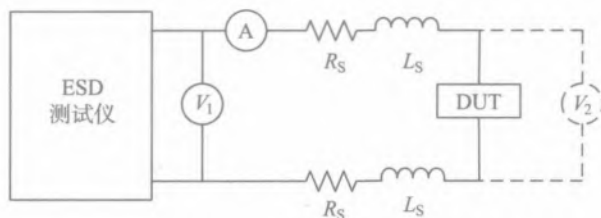


图 2.37 使用直接电压 V_2 测量的 ESD 在片测试装置的电路图，包括带有可选 Kelvin 装置的寄生，其中 R_S 和 L_S 是探针电阻和探针电感， V_1 代表标准电压测量

有或没有采用 Kelvin 技术，最大电压对峰值电压的应力等级依赖性的对比是很明显的（图 2.38a，图 2.38b），噪声也少些。它也可进一步用于验证校准程序的有效性（图 2.38c）。

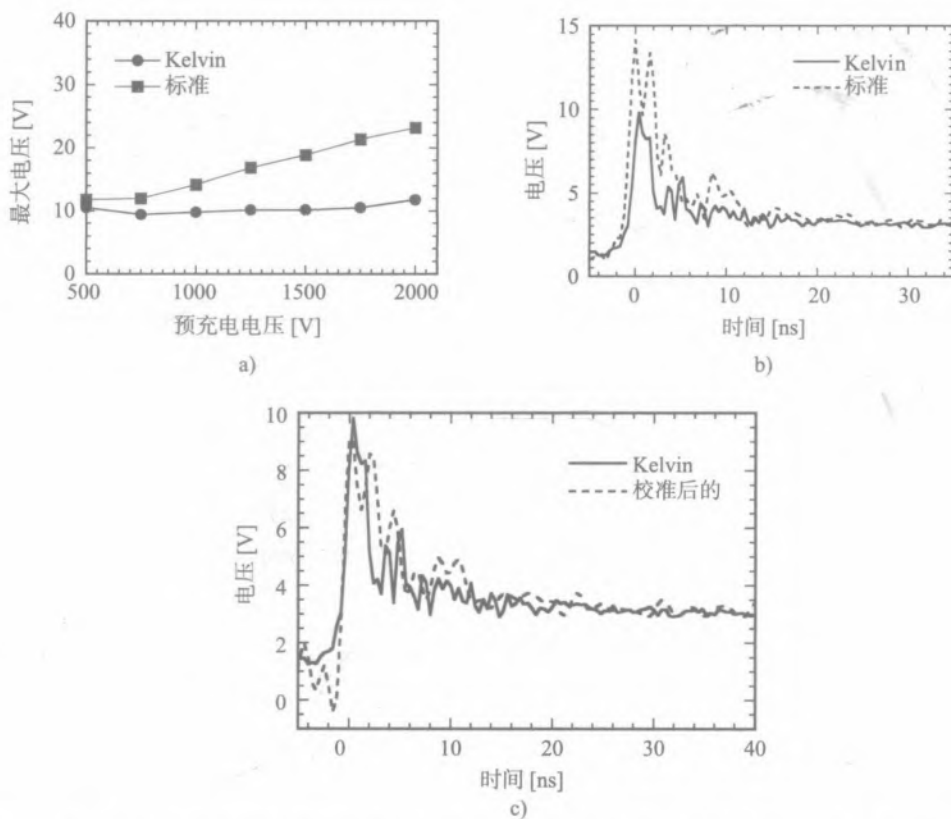


图 2.38 将 Kelvin 方法应用于低压触发 SCR 器件的测量 a) 最大电压与 HBM 应力等级的关系 b) 1 kV HBM 应力下电压波形 c) 与校准/去嵌入结果的比较

此外，可以对电流转换器的频率响应进行改进，以提高其带宽。改变电流探针的传输函数可以显著简化校准程序。感应电流探针的频率下限可改变至测量可接受的水平。ESD测量装置通常使用的感应电流转换器的等效电路，包括自感和终端电阻（通常 $50\ \Omega$ ）（图 2.39）。形成的 L-R 滤波器有较低的低频限制，可通过在电流转换器和示波器的输入间增加一个低值并联电阻来进一步降低^[45]。

例如，对 Tektronix 电流转换器 CT-6，增加一个 $5\ \Omega$ 电阻与其并联，带宽的下限从 $250\ \text{kHz}$ （数据表）降低到了约 $40\ \text{kHz}$ （图 2.40），这明显影响了测量的电流波形。结果，电流波形的负电流部分大大减少（图 2.41）。

修正电流探针的主要好处是 HBM 测试校准工作量的减少。如果修正的电流探针与 Kelvin 装置一起使用，则在 HBM 应力期间测量电压和电流波形时，不需要 HBM 校准。从而不需要对测量数据进行 FFT，并防止了测量数据噪声的增加。

一旦波形捕获装置准备好了，瞬态特性的测量就可用于 ESD 解决方案的比较分析。作为驱动电路设计的一个功能，低压 SCR 局部钳位操作的例子可以体现出这样的应用。该钳位设计包括一个二极管触发 SCR 器件。为评估钳位性能，增加一个 nMOS 晶体管，作为与钳位并联的栅监控器件（图 2.42）。

为比较分析，可使用三种不同变化的钳位设计 A、B 和 C^[44]。A 类代表基线钳位，由 SCR 器件和宽度较小的参考二极管组成。二极管仅控制 SCR N 型基区较小的本地阳极 -G2 结（图 2.42）。因此，二极管下拉电路局部地触发 SCR，预计导通延迟会提供较大的钳位电

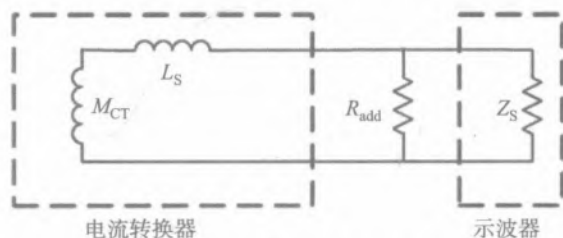


图 2.39 带有增加了电阻的 CT 探针等效电路图，图中显示了互感 M_{CT} 、自感 L_S 和带有增加了电阻 R_{add} 的输入阻抗示波器 Z_S

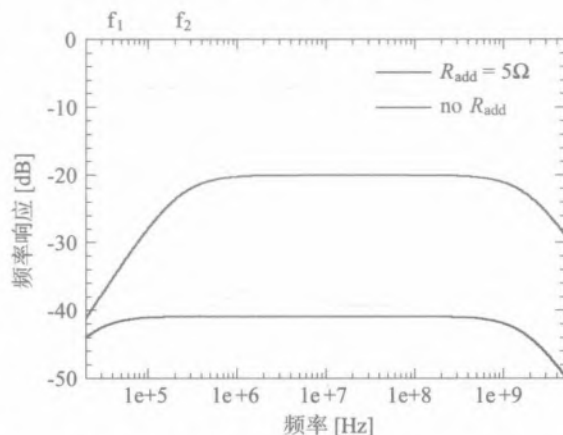


图 2.40 有和没有附加并联电阻的 Tektronix CT-6 电流转换器的频率响应仿真， f_1 为具有附加电阻 $5\ \Omega$ 的低频限制， f_2 为没有附加电阻 $5\ \Omega$ 的低频限制

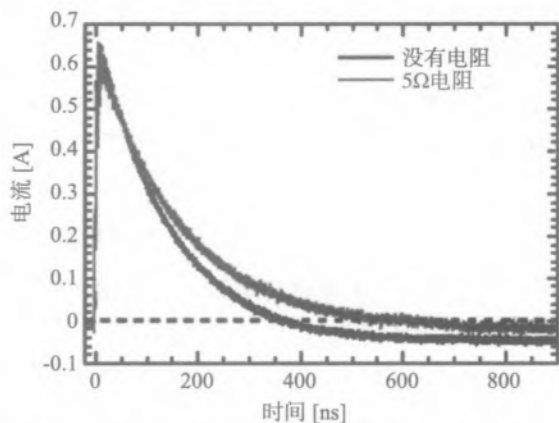


图 2.41 有和没有 $5\ \Omega$ 附加电阻 Tektronix CT-6 电流转换器的测量短路负载电流波形，HBM 应力等级：1 kV

压过冲。B 类代表导通速度的提高。这可以通过较宽的触发二极管来实现，以控制与阳极 -G2 端相接的 SCR N 型基区结的整个宽度^[47]。

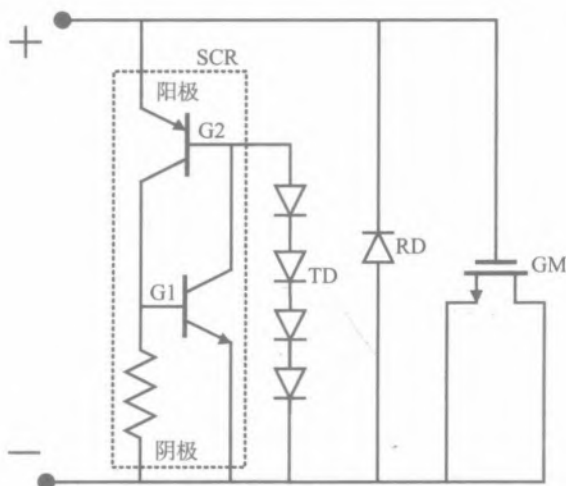


图 2.42 具有并联栅监控的二极管触发可控硅整流器原理图

最后，导通速度的进一步提高是在 C 类版本中实现的，低边参考电路中，传统浅沟槽隔离（STI）的二极管被多晶硅二极管所替代。由于多晶硅二极管的导通性能比 STI 二极管好，SCR 触发速度预计是三种类型中最好的。

为突出波形捕获分析值的信息价值，也对所有三种钳位类型在没有栅监控器下的行为进行了 TLP 测量。正如预期的，TLP $I-V$ 特性中没有观察到三种钳位类型的差别。在 TLP $I-V$ 曲线和 HBM $I-V$ 曲线的线性部分之间存在着明显的匹配。每种钳位的 TLP 特性都与 A 类的 TLP $I-V$ 曲线（图 2.43）类似。当连接了栅监控器后，记录到最大 TLP 电流的不同，证明了 C 类的钳位性能最佳。

这一事实指向了电压过冲的关键角色是破坏了 nMOS 器件的栅氧化层。通过交叠校准的 HBM 相 $I-V$ 特性（图 2.43）可以显现出这一效应。与 TLP $I-V$ 曲线不同，在 HBM $I-V$ 图中可以看到电压过冲。

三种钳位设计类型的 HBM $I-V$ 特性的比较表明电压过冲的预期水平随钳位设计的不同而不同（图 2.44）。A 类器件最慢，提供最大的过冲电压。A 类 DTSCR 钳位和栅极监视器的组合在约 1.9 kV HBM 处失效。

B 类设计较快的导通速度使得连接栅极监控器时的 HBM 通过水平增加到 2.6 kV。最后，具有多晶硅参考二极管的 C 类钳位实现了最大程度的性能提高。由于导通最快，它产生的过冲最低。这将导致在栅极监控实验中，增加约 4.6 kV HBM 的鲁棒性。

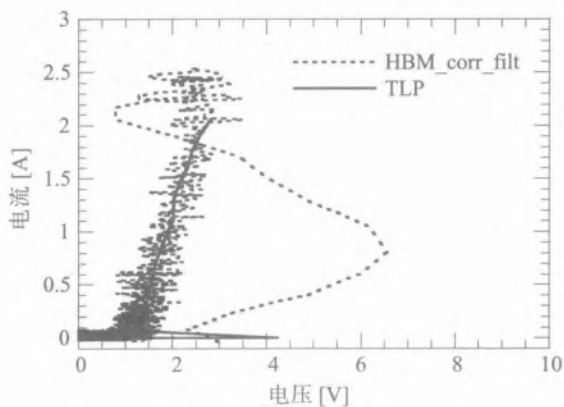


图 2.43 根据 A 类器件获得的 4 kV HBM $I-V$ 和 100 ns TLP $I-V$ 曲线的交叠图

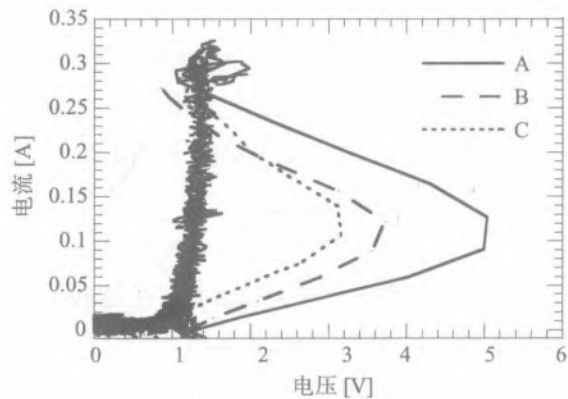


图 2.44 在相同 HBM 应力等级 500 V 下, 三种 SCR 的 HBM $I-V$ 曲线

2.4.2 HV 电路的瞬态特性

与 LV CMOS 器件相比较, 高压 (HV) ESD 器件包括较长的漂移和阻挡结区。所以, 在启动电导率调制过程中, 载流子从阳极到阴极的过渡时间较长。这一结果导致器件在 ESD 应力期间的过慢反应、非均匀触发和丝状形成^[48-49]。下面将讨论 100 V BCD 工艺实现的 HV 器件实例, 以说明这一特殊之处。电压和电流波形用前述 TLP 和 HBM ESD 脉冲的校准方法捕获。DUT 是垂直双扩散 MOS SCR (VDMOS-SCR) 器件, 受到约 2 A 等效电流的应力 (图 2.45)。

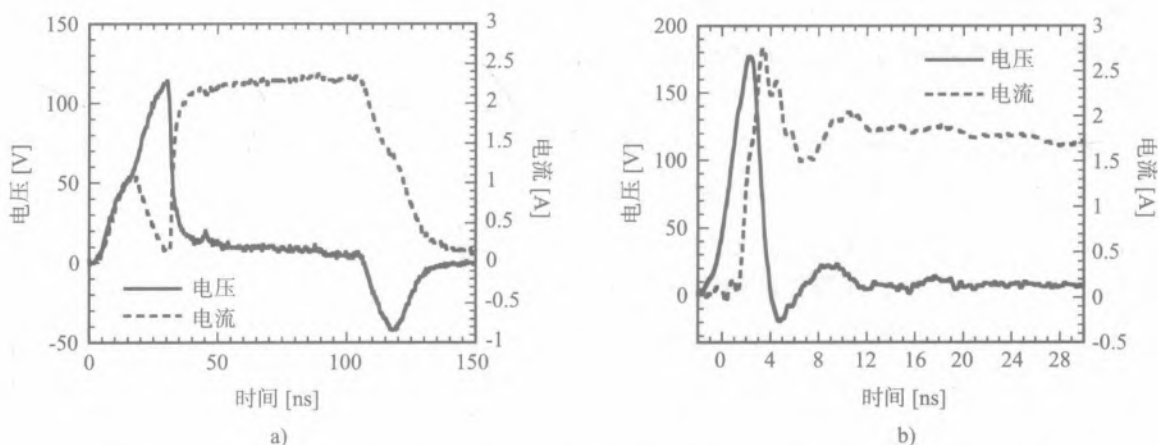


图 2.45 100 V VDMOS-SCR 器件在 2 kV 应力水平下的校准 TLP 和 HBM 电压和电流波形
a) 校准 TLP b) HBM

TLP 与 HBM 波形的对比表明, 电流和电压过冲在 HBM 测试期间发生, 但在 TLP 测试期间不发生。TLP 触发电压约为 120 V (图 2.45a), 而在 HBM, 测得的过冲电压约为 180 V (图 2.45b)。另外, 在 HBM, 观察到电压与电流峰值之间的延迟。在该测量器件中流过约 2.7 A 峰值的 HBM 电流。这比预充电电压 3 kV 下的标称期望电流 2 A 大得多。产生这些结果的根本原因是 TLP 和 HBM 不同的测试环境强烈地影响了 ESD 钳位的瞬时行为。在 HBM 测试装置中, 100 pF 放电电容与电路板电容 C_B 并联。这造成在 HBM 测试装置中, 与 DUT 并联的等效电容非常大。HBM 测试装置中, 这个很大的等效电容与 DUT 相互作用, 引起上述行为。TLP 和 HBM 测量装置的等效原理图给出了电容 C_B 充电和放电的不同方式 (图 2.46)。在 HBM 装置中, 电容被充电到触发电压的水平。在高电导率状态下的 HV SCR 器件快速瞬时触发期间, 电容 C_B 将大部分电流释放进 SCR 器件。这产生了类似 CDM 的高电流峰。这一初始峰的快速上升时间有可能是较高电压过冲的原因。在 TLP 应力情形, 电容 C_B 由 50 Ω 负载驱动, 限制了通过电容的电流。

重要的是要注意到电压探针的容性负载将影响测得的 HBM 波形。典型的市售电压探针的输入电容在 8~10 pF 范围。这些值一般不能被忽视。例如, 在上述器件的情形下, 电压探针电容影响器件触发, 导致电流幅值从没有电压探针时的约 0.8 A 增长到连接电压探针时的 1.4 A (图 2.47)。

为评估电压探针的容性负载对 HBM 测量波形的影响, 将另外几个不同值的电容与 DUT 并联放置 (图 2.48a)。在上述 HBM

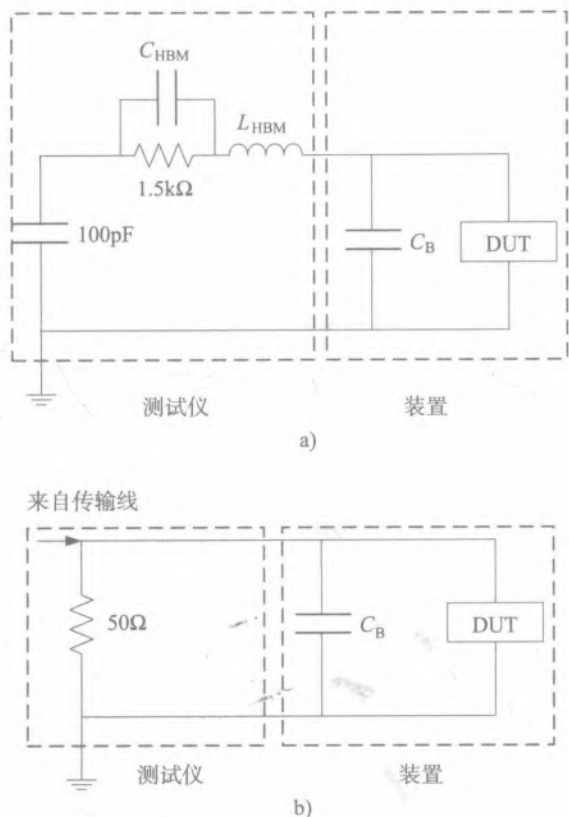


图 2.46 在器件应力期间 HBM 和 TLP 装置的等效电路图, C_{HBM} : 测试仪寄生电容, L_{HBM} : 测试仪寄生电感, C_B : 测试板电容 a) HBM b) TLP

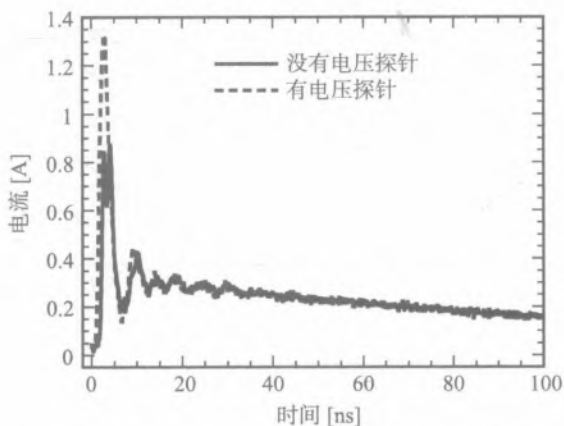


图 2.47 连接和没有连接电压探针的同一器件的 HBM 电流波形, 应力等级: 500 V (等效于 0.33 A)

波形捕获装置中，VDMOS-SCR 器件峰值电压和电流取决于器件上的总电容（图 2.48b）。在 4 kV 的 HBM 预充电水平下得到的最大电压实际上没有随电容的增加而改变，然而，增加的容性负载大大增加了电流的过冲。

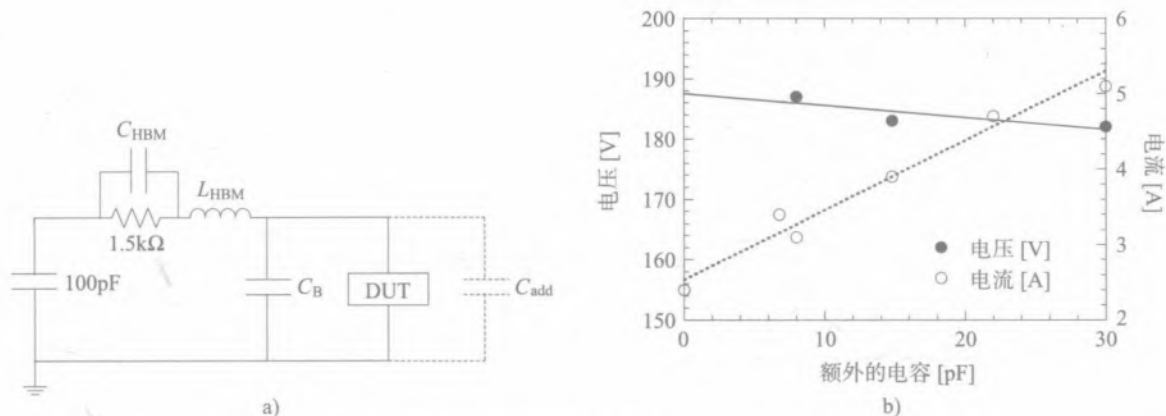


图 2.48 a) 具有额外电容 C_{add} 的 HBM 测量装置简化电路图 b) 在 HBM 应力期间 VDMOS SCR 器件的峰值电压和电流与电容 C_{add} 的关系（预充电电压：4 kV）

2.4.3 晶圆级 HMM 装置的瞬态特性

晶圆级 HMM 测试装置不仅可用于测量元器件对这一脉冲的 ESD 通过水平，与上述 HBM 方法类似，这一装置也可修改为能进行电压波形捕获。使得在 ESD 应力期间可进行 IC 引脚的初步验证，也可对系统级 ESD 防护器件进行研究与设计。

由于 HMM 脉冲第一峰快速的上升时间，在与 HBM 波形捕获对比时，需要设计更复杂的装置。如果电压测量是通过探针针尖进行的，则需要提取所测器件的实际电压波形来对测试装置的寄生因素进行校准和去除。HMM 应力期间的更大电压幅值与快速的上升时间相结合，引起高得多的电压过冲。在电压捕获期间，示波器的标度通常设定为能捕获电压过冲的全振幅，这降低了部分电压波形的测量分辨率，此时，在脉冲时间域的第一个 5~10 ns 后，器件处于导通态或维持态。因此，HMM 晶圆级测量的优选装置是 Kelvin 装置（图 2.49）。通过第二对探针（电压探针）连接到 DUT 的探针盘，使之从 HMM 电流路径中解耦。这制约甚至消除了相应的波形失真。

例如，Kelvin 装置测得的 nLDMOS-SCR 器件在晶圆级 HMM 应力下的电压和电流波形，提供了 nLDMOS-SCR 器件的触发电压、维持电压和器件关断的实际值（图 2.50）。

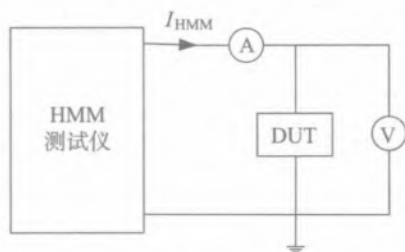


图 2.49 基于 Kelvin 配置的片上 HMM 电压测试装置的简化电路图

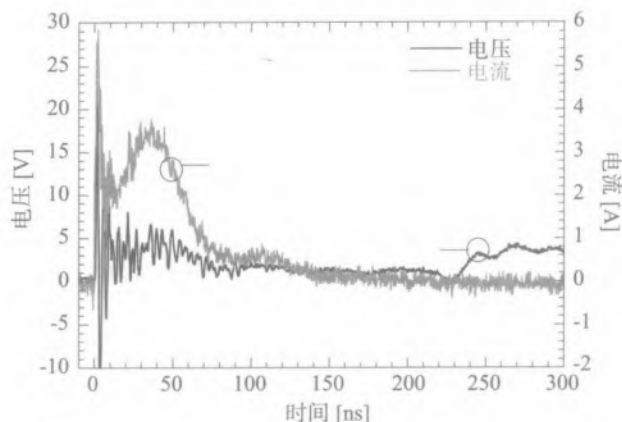


图 2.50 片上 HMM 应力期间的电压和电流波形，器件：nLD MOS-SCR，
1.5 kV HMM 应力水平下 Kelvin 装置的电压测量

2.5 HMM 测试仪相关

HMM 实践标准文件^[30]概述了系统级应力如何施加到元器件上的方法。“元器件”定义为单一器件或集成电路。该文件提出了两个主要的测试仪概念：采用 IEC 61000-4-2 标准放电电路的 HMM 测试装置，以及 50Ω HMM 脉冲发生器。通过传输线和滤波器对矩形脉冲进行整形， 50Ω HMM 脉冲发生器产生应力波形。对于标准和先进的低压 CMOS 技术，尽管已报道 50Ω HMM (HMM-50) 与基于 ESD 枪的测试仪之间有良好的相关性^[50]，本节展示了一个非关联案例的研究。与采用 IEC 61000-4-2 型放电电路的测试仪相比，HMM-50 测试仪的阻抗可引起错误的结果。

2.5.1 测试装置和器件表征

用于比较的 HMM 测试仪连接到晶圆级测试装置。基于放电枪的 HMM 测试仪是 HANWA HED-5000M (HMM-IEC, 图 2.51a) 测试仪，使用 IEC 61000-4-2 RC 型的放电电路以产生应力电流^[51]。按照设计，这个 HMM-IEC 测试仪的放电模块在放电期间不会产生 ESD 枪产生的那种典型电磁场。测试仪的尺寸和形状与晶圆级 ESD 装置的整合兼容，可以使晶圆上的 DUT 放电模块之间的连线较短。第二个测试仪是 50Ω HMM 测试仪 HPPI 3010C/3011C (HMM-50, 图 2.51b)，它是基于修正的传输线脉冲测试仪^[52]。以某种方式修改传输线和上升时间滤波器，使得应力电流源的形状符合 IEC 61000-4-2 标准的规格。

尽管输出阻抗不同，两种测试仪都提供进入短路负载的电流波形，其与 IEC 61000-4-2 标准兼容。一般地，由于产生 ESD 应力电流的方法不同，真实的预充电电压不能用于失效水平的比较。HMM 电流波形第一峰的使用也不是一个进行比较的适当品质因子。第一峰的振幅强烈

依赖于测量装置的寄生负载、DUT阻抗和脉冲源的精度。此外，当在相同应力水平和同一测试装置中重复冲击时，脉冲到脉冲也可能会有不同。对于测试仪的比较，30 ns 后的电流是一个更可靠的品质因子。为与标准一致，要求 30 ns 后的电流水平达到约 2 A/kV，尽管可能会有 30% 的浮动。

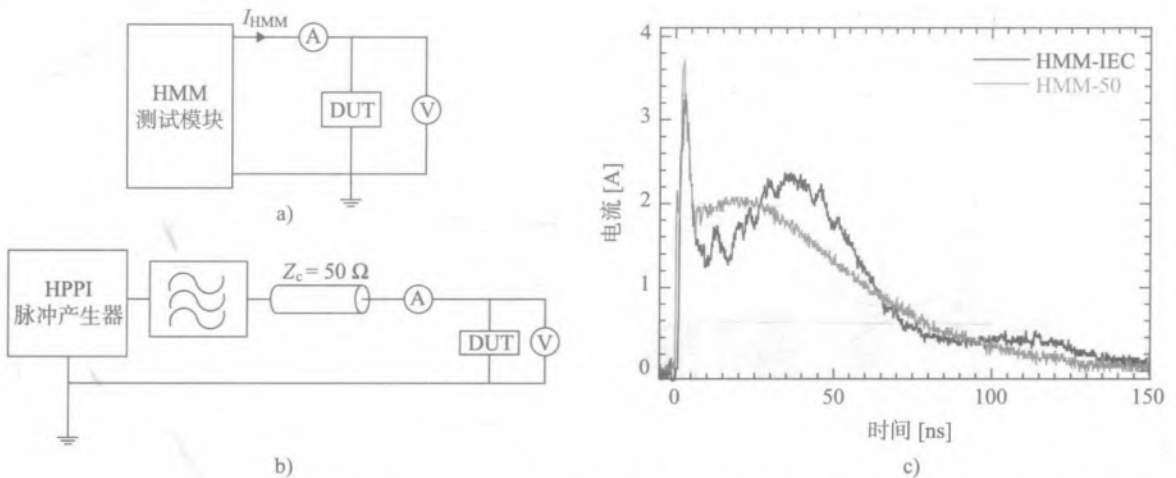


图 2.51 连接电压和电流探针的 HMM-IEC 和 HMM-50 片上测试装置模块图，以及在 1 kV HMM 等效应力下的短路电流波形比较 a) HMM-IEC b) HMM-50 c) 短路电流波形比较

为使波形失真最小，电压波形用 Kelvin 装置捕获。挑选的 DUT 是典型 ESD 防护器件，应用于模拟、高压和智能电源（表 2.4）。

表 2.4 测试的器件和使用的工艺技术

器件名	器件类型	技术
低压 N-SCR	nLDMOS-SCR	90 nm CMOS
二极管	ESD 二极管，正向	100 V BCD 工艺
高压 N-SCR	nLDMOS-SCR	100 V BCD 工艺
PNP	横向 PNP	100 V BCD 工艺
NMOS	栅接地 NMOS	5 V 模拟 CMOS

从所有器件得到的实验结果，基于它们在 HMM-IEC 和 HMM-50 测试之间的相关性，可以细分为 3 组（图 2.52）。横向 PNP 和 ggNMOS 对两种测试表现出相似的失效水平（组 3）。当使用 HMM-50 测试仪时，二极管（diode）和高压 SCR（HV N-SCR）器件在 1/2 左右的合格水平处失效（组 2，图 2.52）。相反，低压 N-SCR（LV N-SCR）器件，当使用 HMM-IEC 测试仪时，是在较低的水平下失效。

LV N-SCR 失效水平的差异（0.5 kV 对 1.8 kV）可以用栅氧化层击穿效应来解释，这一击

穿归因于 HMM-IEC 测试仪的快速上升时间。为支持这些结论,进行了 DECIMM^[19] 混合模式仿真。在实现器件 TCAD 模型的同时实现了两个 HMM 测试仪的模型。相同等效应力水平的仿真电压波形(图 2.53)显示了 HMM-50 测试仪较低的电压幅值和较慢的上升时间,表明栅氧化层应力较小。

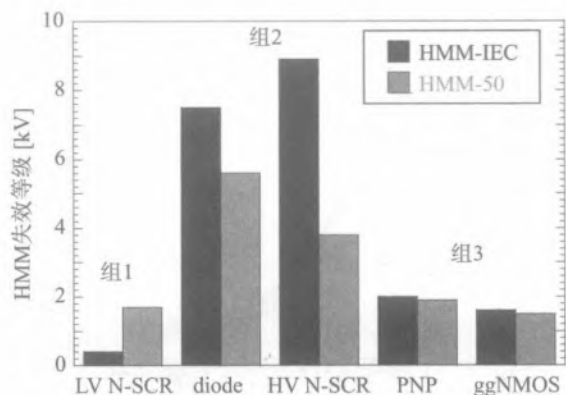


图 2.52 测量结果总结,三组器件:组 1 在 HMM-IEC 测试期间失效等级较低,组 2 在 HMM-IEC 测试期间失效等级较高,组 3 在 HMM-IEC 和 HMM-50 测试期间失效等级相似

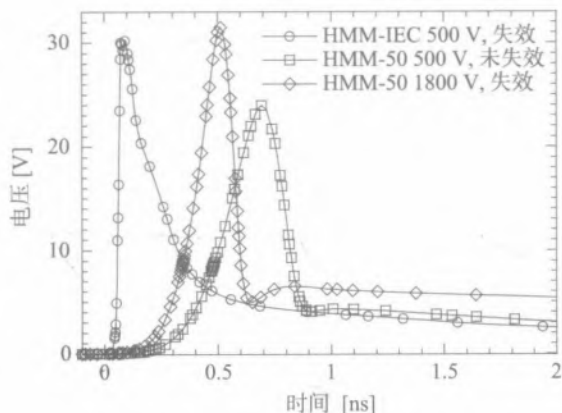


图 2.53 在不同的 HMM 测试应力下,通过低压 LV N-SCR 的电压波形仿真曲线,应力水平:等效应力水平

为比较 HMM 测试仪对栅氧化层(GOX)应力的影响,也从器件-电路混合模式仿真中提取了 GOX 上的垂直电场。LV N-SCR 仿真横截面(图 2.54a)用于提取不同应力水平下的 GOX 最大垂直电场。对于 HMM-IEC 测试仪脉冲,电场明显超过相同应力水平的 HMM-50 测试仪的值。500 V HMM-IEC 的峰值相关性与 1.8 kV HMM 应力的相应值相匹配,这支持了失效原因的结论。GOX 击穿的发生是因为 HMM-IEC 测试仪的快速上升时间。

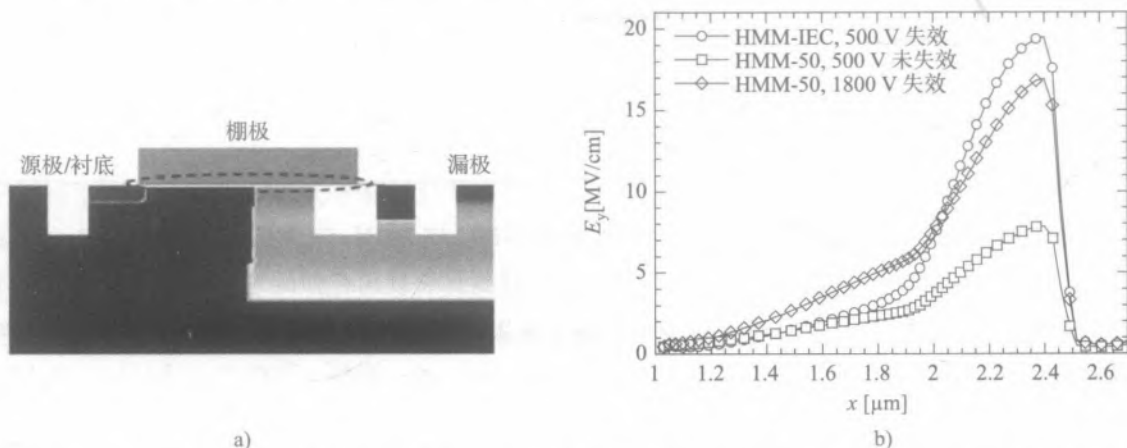


图 2.54 a) LV N-SCR 仿真横截面 b) 不同 HMM 测试仪和等效应力等级下通过 GOX 的垂直电场仿真

对于 100 V 应用的 HV ESD 防护二极管，推导出了一个不同的非关联原因。器件通过了 8 kV HMM-IEC 测试仪应力，但在 HMM-50 测试仪应力期间，约 3.7 kV 以下就失效了。这个意外的结果可通过检查电流波形进行解释。由于 50Ω HMM 传输线的反射，在脉冲末端可观察到通过二极管的负电流。较低的二极管导通电阻，导致与测试仪 50Ω 源阻抗的阻抗失配。通过 DUT 的部分电流反射回 HMM-50 测试仪^[52]。

观察到的负电流迫使二极管从正偏状态快速切换进反偏状态。从正偏向反偏转换时，正偏导电期间扩散电容收集并储存的过剩少数载流子需要被放掉。这需要花费一定的反向恢复时间。在测得的负电流波形部分可以看到不变的负电流（图 2.55）。在这一反向恢复时间内，尽管器件上的电压比 150 V 的反向击穿电压低得多，但二极管是导通的。反向恢复电流的幅值可能会大到足以引起二极管失效，因为反偏二极管仅能承受很小的电流密度。

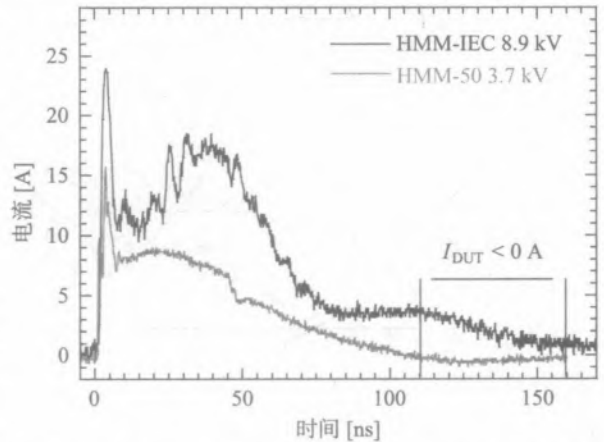


图 2.55 高压 ESD 二极管使用两种 HMM 测试仪在（等效）失效等级下测得的 HMM 电流波形

对相同几何参数和掺杂分布进行了混合模式的 TCAD 仿真，以理解和可视化反向恢复及对器件造成的应力。在反向恢复期间，二极管处于向反偏状态过渡阶段。外部负电压强制在结上建立了高电场（图 2.56a），电场激发碰撞离化（图 2.56b），在某一 HMM 应力水平下，碰撞离化引发雪崩击穿。所引起的电流导致超过反偏二极管极限的电流密度，使器件失效。

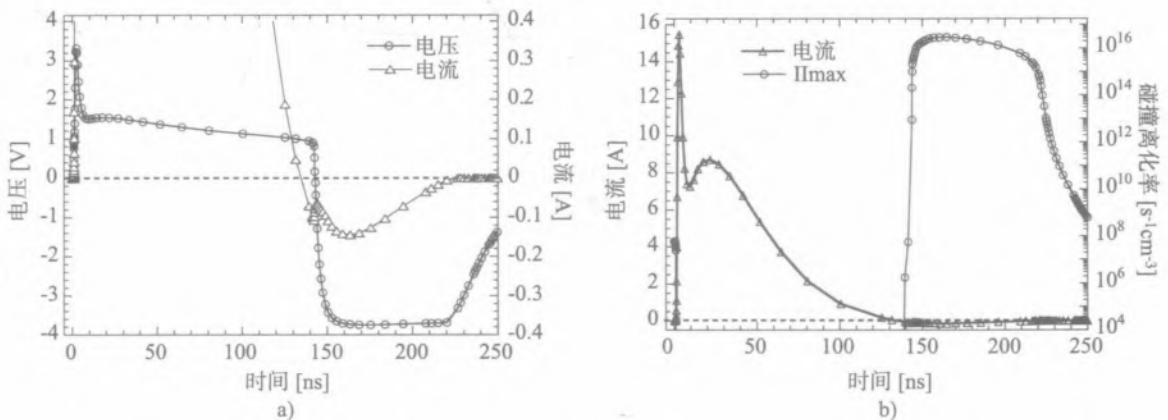


图 2.56 ESD 二极管混合模式仿真 a) 用 HMM-50 测试仪施加 HMM 应力期间的电流和电压 b) 在 HMM 应力等级 3.7 kV（等效）下的电流和碰撞离化率

100 V 耐压的 HV nLDMOS-SCR 在 5.6 kV HMM-50 及在 7.5 kV HMM-IEC 应力处失效。类似于上述 ESD 二极管的情形，非关联的原因可能是 HMM-50 测试仪产生的负电流（图 2.57）和相应的反向恢复效应。

用 DECIMM^[19] 中的混合模式仿真，对 nLDMOS-SCR 器件横截面（图 2.58a）在 HMM-50 应力期间失效水平较低的事件进行分析。仿真的 HMM 电流和 nLDMOS-SCR 在失效力水平下的碰撞离化率（图 2.58b）表明，在 t 约等于 150 ns 处碰撞离化率极快增加，尽管 HMM 电流已经完全衰减殆尽。衰减后的碰撞离化率反映了 nLDMOS-SCR 器件的反向恢复特性。

HMM 应力期间正向导通模式下，最大的碰撞离化位于器件漏极侧（图 2.59a）。反向恢复期间，碰撞离化主要集中于源极侧（图 2.59b）。负的外部电压迫使 nLDMOS-SCR 的源极侧 n+ 对 p 型体区结进入了反向偏置，从而构建了一个强电场。这一强电场激发沿着结的碰撞电离。碰撞电离在结区并不均匀分布，而是有两个热点，此处的碰撞离化率是局部较高的（图 2.60）。这引起局部的较高载流子及电流密度。

碰撞离化也集中在 nLDMOS-SCR 栅氧化层附近。在反向恢复期间，一些自由热载流子朝着栅移动。当进入栅氧化层时被陷住。随着 HMM 应力水平的增加，有更多的载流子被氧化层陷住，导致栅氧化层的退化和器件泄漏电流的增加，这类似于正常工作条件下长时间的应力引起的热载流子退化效应。

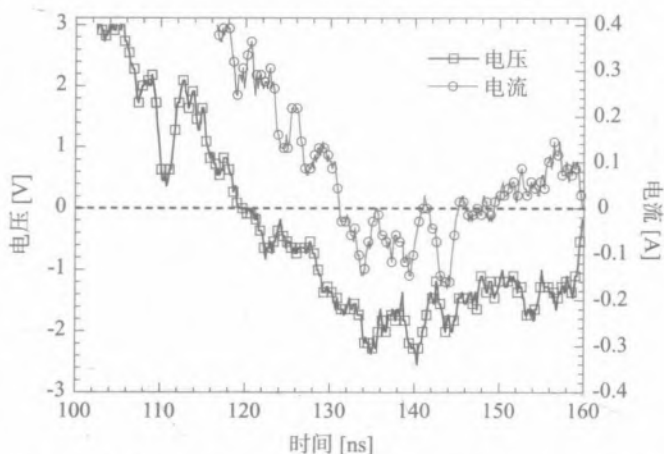


图 2.57 nLDMOS-SCR 的电压和电流在 HMM-50 测试应力下反向恢复时期的放大图，应力级别：5.6 kV（等效）

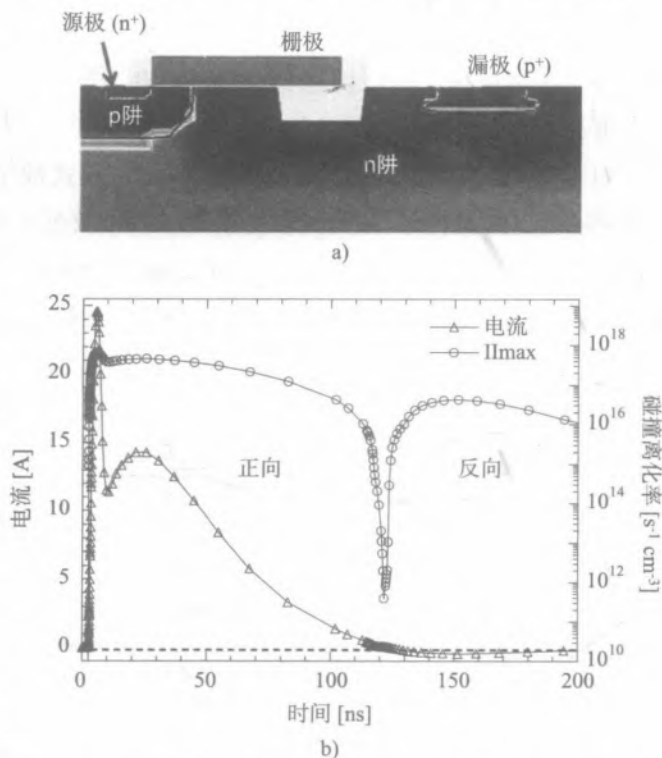


图 2.58 a) nLDMOS-SCR 仿真横截面 b) 在 5.6 kV（等效）HMM-50 应力下器件的 HMM 电流和最大碰撞离化率

nLDMOS-SCR 在 HMM 应力期间，对于 HMM-50 和 HMM-IEC 这两种测试仪，器件泄漏电流的演变是不同的（图 2.61）。相反，在 HMM-IEC 测试器施加应力的过程中观察到了突然失效。这支持了这一结论，即：当用这两种不同的 HMM 测试仪对 HV nLDMOS 施加应力时，会出现不同的失效模式。当用 HMM-IEC 测试仪时，器件热失效；在 HMM-50 测试仪应力期间，反向恢复所致热载流子应力导致栅氧化层失效。

2.5.2 阻抗匹配和对失效水平的影响

观察到的器件失效与特定 HMM-50 测试仪脉冲源阻抗直接有关。所测器件的导通电阻远低于 50Ω ，这导致与 HMM 测试仪源阻抗的失配。如果给 HMM 装置串联一个 50Ω 电阻（图 2.62），可使反射最小化并抑制因反向恢复引起的失效。

具有 50Ω 串联电阻的 HMM 重复测试给出了不同的结果（表 2.5）。当对组 2 的两个器件施加 HMM-50 测试仪应力时，等效失效水平相差不多。

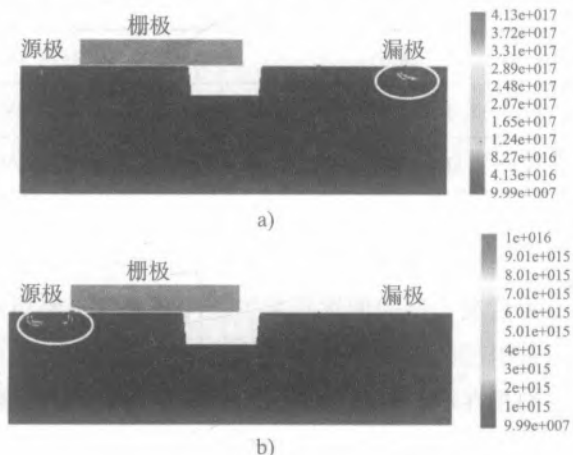


图 2.59 HMM-50 应力下碰撞离化率峰值定位（圆圈处），应力等级 5.6kV （等效） a) 20 ns 后（正向导通） b) 150 ns 后（反向恢复）

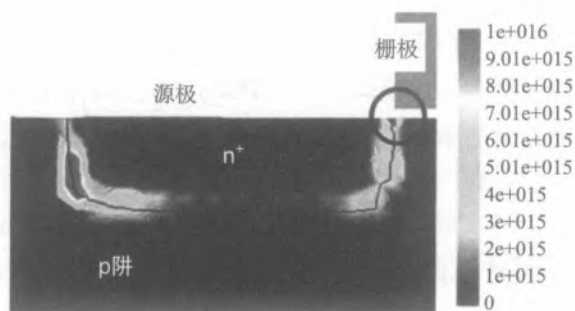


图 2.60 器件碰撞离化的局部放大（ 150 ns 后），圆圈：碰撞离化热点接近栅氧化层；应力水平 5.6 kV （等效）

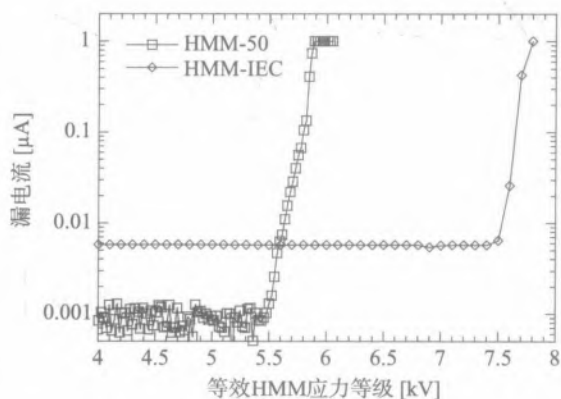


图 2.61 用 HMM-50 和 HMM-IEC 测试仪进行测试期间，nLDMOS SCR 器件的漏电流变化（在 100 V 处）

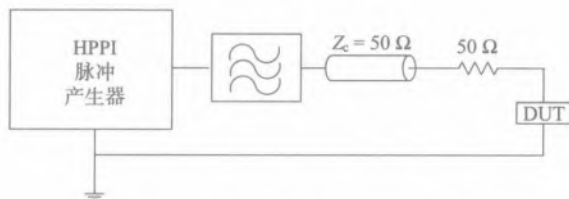


图 2.62 添加了 50Ω 电阻的修改后的 HMM-50 装置

表 2.5 HMM-50 测试仪应力下 ESD 二极管和 nLDMOS-SCR 在有及没有附加 50 Ω 串联电阻时的等效失效水平

器件	没有 50 Ω 电阻	具有 50 Ω 电阻
ESD 二极管	3.7 kV	3.8 kV
nLDMOS-SCR	5.6 kV	5.4 kV

当用具有 50 Ω 电阻的测试仪对 ESD 二极管施加应力时，测到一个较小的负电流。这迫使二极管进入反向偏置并发生反向恢复。虽然负电流幅值与没有增加电阻的情况相比要小得多，由它引起的失效水平与没有增加电阻的情形相似。这归因于不同的应力电流波形（图 2.63），它们是在增加和没有增加串联电阻的情况下，测得的通过 ESD 二极管的 HMM 电流。

这一较大的正向电流给二极管的扩散电容充电更多。当二极管进入反向恢复时，更多载流子需要流出以得到稳定的反偏态。较多数量的自由载流子，连同反向恢复所致的碰撞离化，在二极管中产生与没有串联电阻情形时类似的电流密度。

当对 nLDMOS-SCR 加应力时，这个外加的串联电阻阻止了负电压和电流。因而，它应该阻止了 nLDMOS-SCR 源侧的 n+ 对 p 型体区结的反向恢复。然而，较小的负电压和电流仍然能被测量到。这表明，当用 HMM-50 测试仪施加应力时，反向恢复仍然在器件中发生。在增加和没有增加串联电阻时，测得的通过 nLDMOS-SCR 的 HMM 电流如图 2.64 所示。

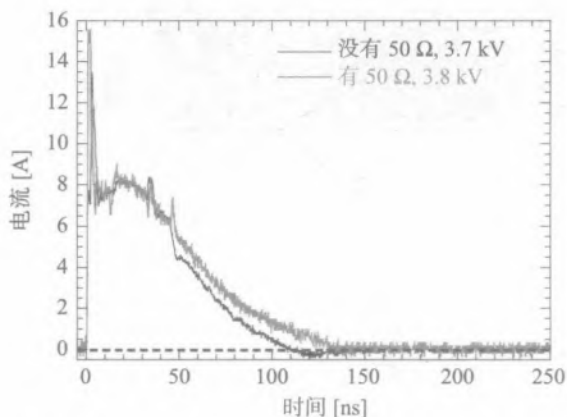


图 2.63 当使用 HMM-50 测试仪时，在失效水平上测量通过 ESD 二极管的电流：有和没有 50 Ω 电阻的情况

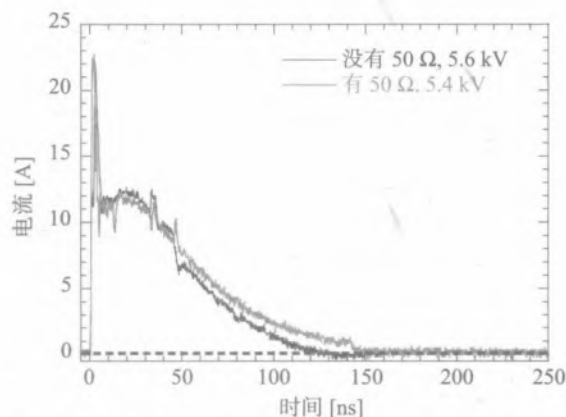


图 2.64 当使用 HMM-50 测试仪时，在失效水平上测量通过 nLDMOS-SCR 的电流：有和没有 50 Ω 电阻的情况，给出的是等效 HMM 应力水平

当给装置增加电阻后，有较大的电流流过器件。更多的过剩载流子储存在器件结的扩散电容中。由于正向导电时的少数载流子数量较大，类似数量的载流子被栅氧化层陷住。与测试装置上没有增加电阻时的情形类似，这导致栅氧化层退化（图 2.65）。

当用 HMM-50 和 HMM-IEC 测试仪对横向 PNP 和栅极接地的 ggMOS 施加应力时, 得到类似的失效水平。PNP 器件用较高导通电阻传导应力。当应力是用 HMM-50 施加时, 这引起的反射较少。因而, 在 HMM 脉冲衰减后, 仅有较小的负电流流动。而且, 反向 PNP 的器件行为与正向工作时相似, 只是 $I-V$ 曲线不同。预计, PNP 能传导至少与正向传导相同的 ESD 应力。

因此, IEC 61000-4-2 型的 HMM 测试仪和 50Ω 的 HMM 测试仪是存在相关性问题的。需要解决这些问题以获得对元器件级测试结果的适当自信。一般地, 考虑到反向恢复和负电流产生效应, 应该使用 50Ω 的 HMM 测试系统。

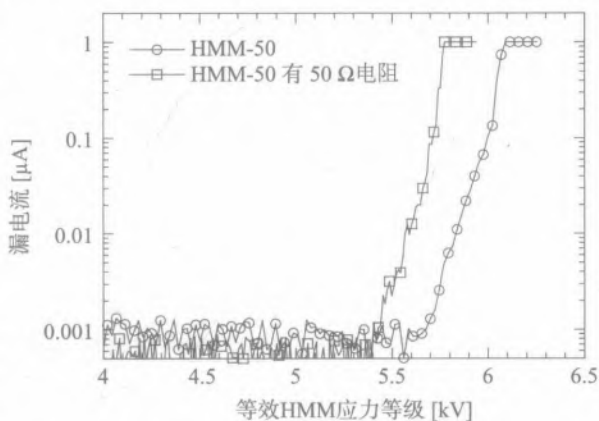


图 2.65 在 HMM-50 测试应力下 nLDMOS-SCR 的漏电流变化 (在 100 V 处): 有和没有增加 50Ω 电阻的情况

2.6 小结

高集成 SoC 和 SiP IC 的需求产生了设计范式向着片上系统级 ESD 防护的转变。通过引入 HMM 方法、元器件级 ESD 枪测试以及晶圆级测试方法, 已在元器件级与系统级测试方法及标准之间的巨大鸿沟上架起了桥梁。这些方法提供近似系统级标准脉冲波形的元器件级应力脉冲, 例如 IEC 61000-4-2 等。因此, 如今不仅是最终的系统模块, 而且模组、PCB 和 IC 的设计都可以进行系统级 ESD 应力的评估。

从技术实现的角度和从整体方法论的观点来看, 片上系统级 ESD 设计需要对测试标准和程序、特别是它们对 IC 元器件级和晶圆级片上验证的适用性, 有很好的理解。这样的理解包括脉冲波形的测量、瞬时特性和不同类型测试仪的相关因素。

关键测试方法的物理方面以及它们对片上 ESD 系统级设计的具体应用支持, 与 ESD 枪自身、测试电路板设计、测试仪及 ESD 脉冲等相关因素有关。按照通用的 IEC 61000-4-2 和 ISO 10605 标准的放电枪的系统级测试以及放电枪在 ESD 实验室环境的实现见上文。

作为系统级 ESD 应力的主要实用的元器件级仿真, 人体金属模型 (HMM) 测试方法是基于对主要标准和测试程序, 以及电路板极和晶圆级测试方法的理解。

通过元器件和晶圆级测试方法的实现, 片上系统级 IC 开发已取得了重要进展。这些方法模拟系统级 ESD 放电脉冲波形, 至少在初始设计中具有一定的可接受精度。特别地, 对 IEC 61000-4-2 标准要求的理解引导开发了使用同样应力波形的元器件级测试方法。相反, 虽然接

触放电的系统级 IEC 和 ISO ESD 标准明确了系统端口的测试，HMM 方法主要是针对 IC 引脚鲁棒性的评估。

类似的方法已成功地应用于芯片上独立 ESD 解决方案的评估和比较分析。这是基于如下假设进行的，即：如果 HMM 脉冲波形重复了系统级的波形，那么，合格水平的某种相关性是可以预期的。后续的研究表明，很多情形下，在实验室装置上的标准系统级放电枪测试与 HMM 应力期间的合格水平有着直接的相关性。尽管有大量非相关的报告，但如今 HMM 很可能代表片上 ESD 设计的较实用和使用较广泛的方法。这将在后续章节的例子中得到广泛证明。

任何 ESD 设计的主要目标是在元器件和系统级 ESD 认证期间，满足所需要的合格水平。然而，在 ESD 解决方案开发和 ESD 案例研究中，仅仅依赖合格水平是很困难的。为此，需要捕获应力期间的电压和电流。合适的测量装置的精确实现绝非易事。所以，为去除测试仪寄生所导致的失真，已经提出了校准和去嵌入的方法并应用于实例之中。作为替代方法，可采用 Kelvin 装置作为 ESD 晶圆级测量装置。在捕获 ESD 应力期间器件和电路的实际瞬态响应时，校准和 Kelvin 装置这二者都是需要的。

片上系统级 ESD 器件和钳位

混合信号模拟集成电路的设计通常包括内部功能模拟电路模块、片上 ESD 解决方案甚至在功率优化技术情形下工艺整合的协同设计。系统级规格的引脚防护需要深入理解相当多的交叉学科知识。它们包括 ESD 器件击穿态的工作原理、注入和电导率调制模式、钳位版图设计、集成电路技术选项、闩锁、安全工作区和标准功率器件的自防护能力、ESD 网络和模拟电路内部模块。本章目的是以合乎逻辑和简明的方式介绍这些交叉学科知识。其实现方式是，汇总一份高水平的入门知识，这对进一步理解很重要。其后是 ESD 器件和钳位设计原理，重点是系统级片上防护。

3.1 片上 ESD 设计的重要入门知识

3.1.1 局部钳位和基于轨的防护网络

ESD 防护要求强制实施，以确保集成元器件或系统能承受特定的 ESD 脉冲。对于混合信号模拟 IC 芯片，这个承受某一水平 ESD 电流的能力是通过片上 ESD 防护网络的实现而得到的。这一网络是 ESD 钳位、具有全部或部分自防护内部电路模块的大电流金属布线的组合。历史上，传统 IC 防护规范仅包括所谓元器件级脉冲（HBM、MM 和 CDM）。便携式系统的出现对所谓系统级防护产生了额外的需求。

在系统中，ESD 防护网络可以用瞬态电压抑制器（TVS）和印制电路板（PCB）上外加的无源元器件进行设计。在此情形下，TVS 可以视为等同于分立 ESD 防护钳位，用于形成多级防护网络。大多数情形下，模拟 IC 或系统代表内部功能电路模块与额外嵌入的 ESD 脉冲电源电路的组合。一般来说，这一虚拟脉冲电源电路并不总能从模拟电路模块中解耦出来^[5]。

片上 ESD 元器件的主要功能是，在受脉冲作用时，将 IC 引脚电压限制在内部电路模块的最大额定值以下。因此，如第 1 章所述，在 IC 引脚处应用的片上 ESD 防护，可以是轨基的，也可用局部钳位方法实现。局部钳位防护网络的例子是异步 buck 型 DC-DC 电压调整器（如图

3.1 所示)。高压 DC 电源输入引脚 VIN 用 65 V 高压 NLD MOS-SCR 局部钳位进行防护, 每个低压模拟控制引脚用 5 V 耐压的回滞型 NMOS 钳位进行局部防护。12 V 耐压隔离的场氧回滞型器件钳位对 BOOST 引脚和 VSS 调整器引脚进行防护(图 3.1), 而 SWITCH 引脚依靠大阵列的功率管进行自防护。

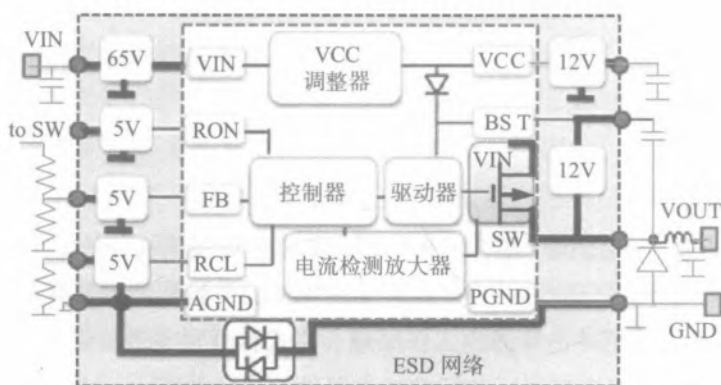


图 3.1 DC-DC buck 调整器的局部 ESD 网络实例

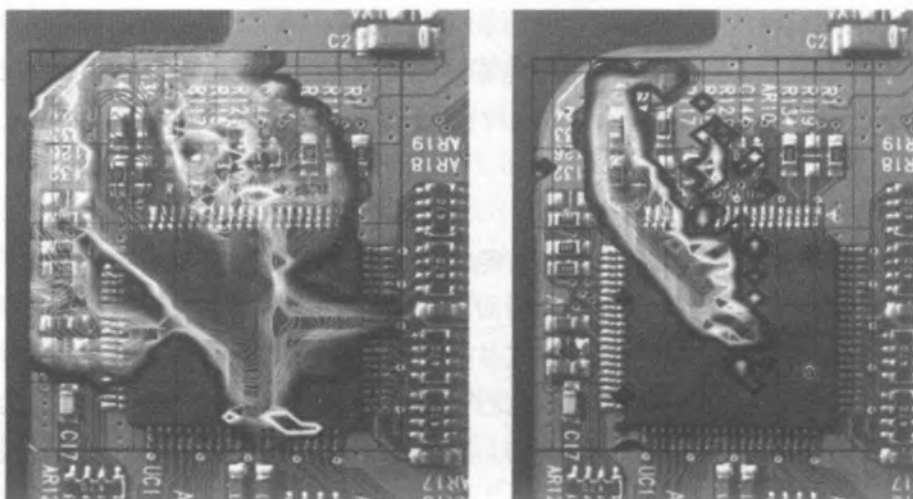
另一个方法是通过将 5 V 有源核心钳位器和基于轨的 ESD 二极管组合在一起, 将轨基网络应用于控制引脚的防护。

尽管有许多相似之处, 分立 TVS 元器件的 ESD 功能还是不同于片上 ESD 防护钳位。TVS 通常用在系统外围到端口的位置。当 ESD 应力加到系统端口上时, TVS 限制了电过应力电压, 阻止过量电流传进电路板。在一般 PCB 设计中, 很难预见到所有可能的耦合场景(图 3.2)。所以, 有时额外的 TVS 元器件甚至被用作最后时刻的补丁方案, 帮助系统通过 ESD 应力合格水平。另一个主要的不同是, TVS 并不总是能很精准地限制电压, 所以系统设计一般依靠多级网络。

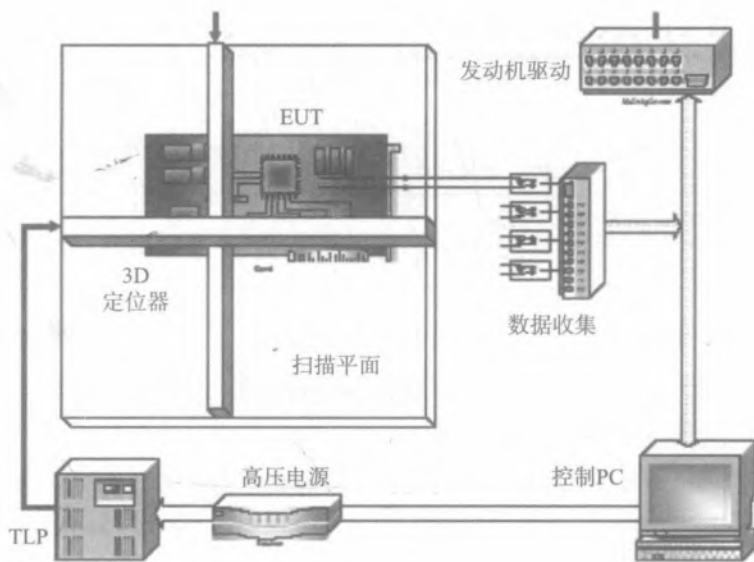
因此, 片上系统级防护不是采用 TVS 的系统级板上设计的一个替代。然而, 便携式系统小型化和成本降低的持续趋势, 以及高可靠汽车和航天电子的需求, 促使片上系统级解决方案大步向前发展。

片和和在系统级 PCB 板上的 ESD 防护网络都为每对引脚到引脚的组合提供一个专用的高脉冲电流通路, 将电压限制在器件的临界值以下, 这些器件所处的内部电路模块与被防护引脚相接。

系统级应力规格在几个标准中都有定义。常用标准是 IEC 61000-4-2 (第 2 章)。这一标准结合了接触和空气隙放电这两种情况。当施加系统级应力时, 与元器件级 ESD 应力条件相比, 呈现了更复杂的 ESD 电流传播场景。系统应该能够忍受对用户可及的任意位置(包括端口)所施加的放电。外部端口通常要受到接触和空气隙 IEC 规格的应力考验。其他绝缘的系统位置可能需要承受空气隙放电, 例如 LCD 屏的情况。



a)



b)

图 3.2 琥珀精密仪器公司 2010 年提供的两种不同设计的 PCB 区域在系统级应力下的响应结果，该结果由 EMC/ESD 扫描系统获得 a) 两种不同设计的 PCB 区域在系统级应力下的响应结果 b) EMC/ESD 扫描系统

在最简单的情况下，具有系统级防护能力的 IC 引脚直接连接到系统端口——USB、CAN 和 LIN 接收器。在这种情况下，系统既可以避免依赖简单的片上防护功能，也完全避开了包括 TVS 在内的一些 PCB 组件的使用。

仅在一些罕见的情况下，模拟电路的片上防护能容忍轨基 ESD 防护网络方法。具有系统级脉冲电流钳位能力的局部 ESD 防护钳位代表了主流解决方案。局部 ESD 防护的复杂性与 ESD

脉冲期间那些与焊盘相连的内部控制电路的未知条件有关。通常，ESD 钳位器可理解为一个触发电路，其在 ESD 脉冲时间域内传导大电流并提供某一钳位电压。大电流传导通常在高于某个临界电压或被防护节点探测到有瞬态高压时被激活。

3.1.2 半导体结构的电导率调制

尽管在某些情形，局部钳位可以用与有源钳位相同的原理构成，最常规的方法是使用 ESD 器件。ESD 器件基本上是脉冲功率器件，增加了可扩展的高电流通导能力。占用面积小的 ESD 器件工作在某一电导率调制模式，这一模式是在等温或更精确地说，是在绝热条件下实现的。在这样的条件下，起因于电的（而非热-电的）电导率调制的物理机制决定了器件的大电流工作和防护能力。所以，器件的自热可以忽略，直到大电流模式，此时热产生在器件横截面的几个微米之处。尽管有各种各样的 ESD 防护器件和钳位，当今有四种已知的基本电导率调制机制，对硅基微电子是有实用价值的：雪崩击穿、雪崩注入、双雪崩注入和双注入^[4]（表 3.1）。

表 3.1 大电流密度下横向 ESD 器件中实现的电导率调制机制

电导率调制机制	基于该机制的典型 ESD 器件	典型横向电流密度 (mA/ μm)
雪崩击穿	雪崩二极管；阻挡结，PMOS，PNP	0.01-0.1
雪崩注入	回滞 NMOS；NPN，场氧器件	0.1~3
双雪崩注入	P-i-n，M-i-n 二极管	0.1
双注入	LVTSCR，SCR，双极 SCR，LDMOS-SCR	10~100

在 ESD 器件较低的钳位电压处，这些电导率调制机制用于产生大电流密度。在雪崩击穿条件下，内部和外部的电流对电压的依赖关系在正微分电阻（PDR）情况下出现。其余三种电导率调制机制，至少在硅材料情形，产生了内部负微分电阻（NDR）。

与 NDR 有关的一个重要非线性物理现象是沿结构宽度的电流分布的空间不稳定性。当器件中激活的特征尺寸（正反馈现象）比抑制的特征尺寸（负反馈现象）小得多时，会发生这一现象。非均匀电流分布可导致电流拥堵和单个或多个电流细丝的形成^[4]。除非是在电导率调制模式下，电流的增加被限制分布在 ESD 结构的宽度上，否则这种大电流能力不适用于片上 ESD 防护。

为限制由电导率调制引起的正反馈，必须实现结构级的负反馈，并作为 ESD 器件设计的一部分。这一措施通常涉及嵌入电流饱和区，在高电流密度下提供补偿电压降。电流密度可以成为饱和区域电导率调制的充分条件，在熔点温度显著低于硅接触点的情况下形成电场最大值。在这些条件下，引起热载流子产生和电流不稳定的电导率调制机制仍然是器件烧坏的根源。

电导率调制现象可以理解为所加电压或电流增加时结构电导率的非线性变化，这个定义是

基于外部结构参数的。采用内部结构参数，该效应可以界定为特定结构区域传导特性的变化，是雪崩和注入过程所致的载流子空间电荷平衡的结果。因此，电导率调制是内部雪崩-注入过程的后果，由外加电流或电压的改变引起，而不是由电场控制电极引起的基区接触区的注入/抽取，或积累/耗尽区载流子产生导致的结构性电导率变化。

从实际 ESD 器件设计的观点来看，最令人感兴趣的情形是电导率的非线性变化，这引起了 NDR 效应。NDR 可定义为当通过的电流增加时，结构端点之间的电压反而下降。这一效应通常表现为 S 形的 $I-V$ 特性曲线，虽然在某些情形下，器件电流饱和区的附加压降会补偿和“隐藏”内部的 NDR^[5]。

在有外部负载的工作期间，当器件在某临界电压下到达 NDR 区时，根据负载特性，自开启或自触发进入相应的大电流状态。在 ESD 应用工程师和电路设计师中，这一现象通常称为回滞。基于回滞 ESD 器件的局部 ESD 钳位称作回滞钳位。

空间电流不稳定现象可理解为，在初始均匀电流分布达到某一临界条件后，实时局部电流的失控增长。在实验物理和数字仿真中，均匀状态的改变都是由涨落引起的。均匀态的较小偏离也可以由局部非均匀性引起。在数值仿真分析中，在每个网格点的有限差分法数值解精度有限，这提供了与物理涨落等效的数字噪声源。

空间电流不稳定过程的发生归因于电流涨落的增加，它发生在全部电流加到 NDR 区对应的结构上时。在这种条件下，局部电流增加导致局部电压下降，反之亦然。基本上，ESD 器件的设计是为了支撑对应于叉指最大电流幅度的电流密度水平。在较理想的 ESD 大电流器件设计中，叉指占据了整个结构宽度。

对于一个自信的 ESD 器件工程师来说，理解基本的电导率调制机制是至关重要的。利用数值仿真分析能有效地达到这一目的。使用以下基本的二维半导体结构（图 3.3），可以对不同电流水平下硅材料的 $E(x)$ 、 $n(x)$ 和 $p(x)$ 的分布进行比较分析：

- (1) 在雪崩击穿模式下的反向偏置 $p-n$ 二极管结构；
- (2) 在雪崩注入条件下的 $n-p-n$ 和 $p-n-p$ 三极管结构；
- (3) 在双注入条件下的 $p-n-p-n$ 晶闸管结构；
- (4) 在双雪崩注入条件下的 $p-i-n$ 二极管结构。

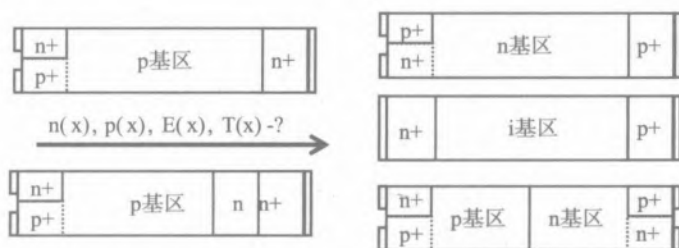


图 3.3 基本结构半导体 $n-p-n$ 、 $p-n-p$ 、 $p-i-n$ 和 $p-n-p-n$ 的电导率调制数值实验

图 3.4 给出了 n-p-n 结构雪崩注入的这种分析实例。在低电流雪崩击穿态“*A*”，沿整个 p- 基区，电子和空穴之间存在极大的不平衡，电场依此沿结构分布。相应较大的总电压降是电场分布的积分值。在大电流态“*B*”，准中性区由 n ~ p 形成，较大部分在 p- 基区。这导致基区电场的减小，包括发生强烈碰撞电离的集电区结区。可以针对其他的 ESD 器件进行类似的分析。

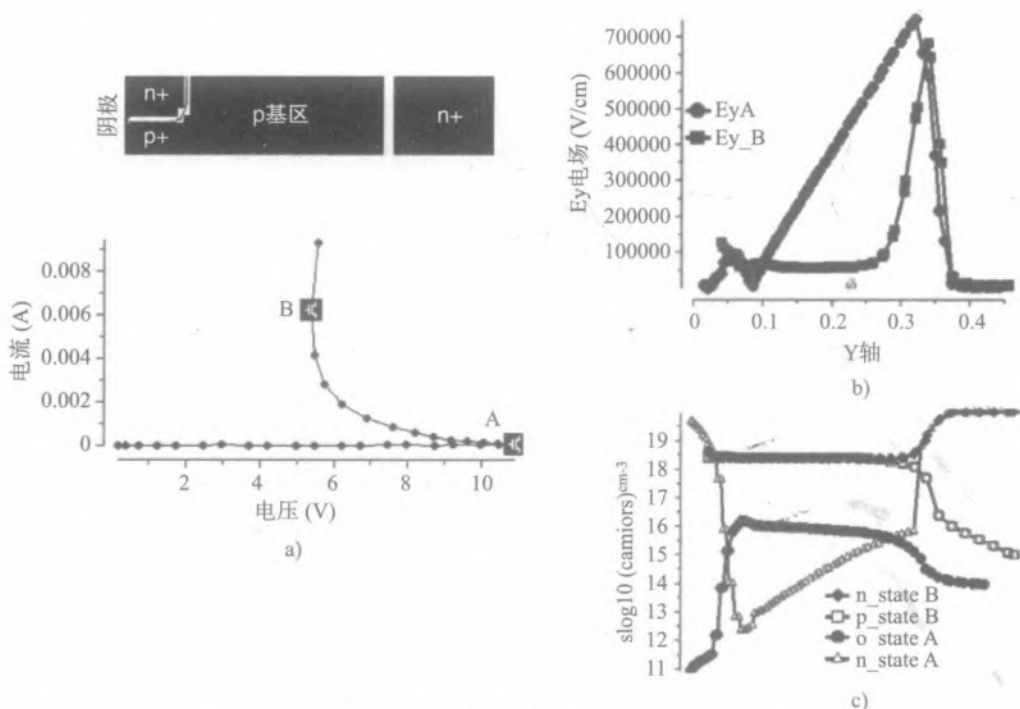


图 3.4 n-p-n 结构中雪崩注入电导率调制的仿真分析 a) I - V 特性 b)、c) 雪崩击穿态“*A*”和雪崩注入态“*B*”的电场、电子和空穴分布比较

对于具有负微分电阻的结构和它所引起的现象，深一层次的物理理解可以通过准 3D 数值仿真分析得到。在分布式结构中电流丝状现象是空间电流不稳定性所致，原因在于瞬态工作模式的 NDR 条件。如上所述，由于有限差分法的数值涨落增大，有可能获得丝状电流的数值解。

空间不稳定性是在瞬态电气状态下出现的，具有对应于 NDR 态的电流密度。在某些临界电气状态下，由于非平衡条件下的数值涨落，均匀电流分布变得不稳定。涨落高增量的出现是由于局部电流密度和局部电压降之间的局部正反馈所致。它导致一个或更多电流丝状状态的形成。在 p-n-p 分布式结构的例子中（图 3.5），除了漂移-扩散模型之外，还用热方程进行了热耦合解。在这一案例中，也可以观察到局部自热和丝状电流。

对于 15 kV 空气隙 IEC 系统级 ESD 脉冲，需要局部 ESD 钳位以维持高达约 30 A 的瞬态电流。在最优化的情况下，结构的容量是在 10~30 mA/ μ m 以下。所以，钳位版图通常是以多指阵列

或围绕引线焊盘的跑道图案的形式实现，而非仅一个很长的单指形。

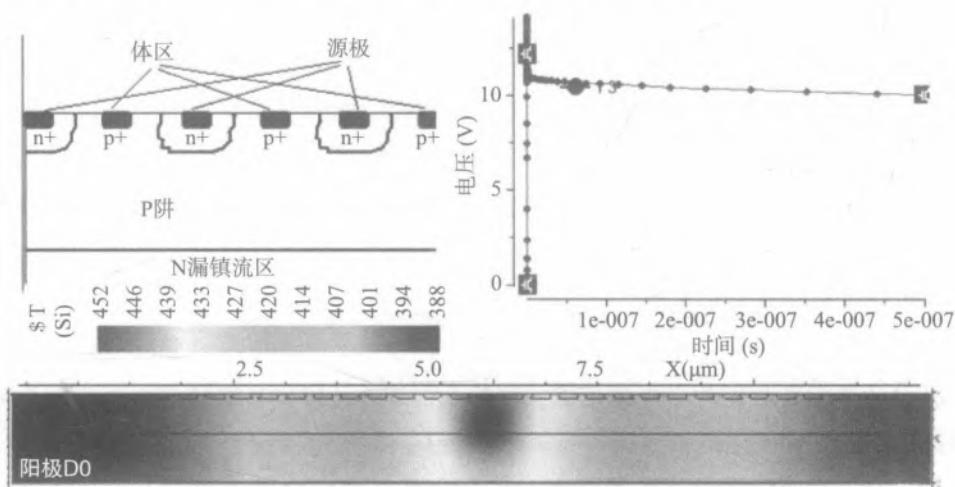


图 3.5 p-n-p 分布式结构

类似于基本二极管结构，具有 NDR 的分布式 ESD 器件阵列也可能经历均匀电流密度分布的不稳定性。为补偿这一非线性效应，可以在阵列和钳位这两个层次实现负反馈，将电流密度遏制在安全工作条件内。例如，在回滞型 NMOS ESD 钳位中，正反馈可以在结构和单元两个层次实现，结构层次使用漏镇流区形成饱和电阻，单元层次使用额外的后端镇流以消除非均匀叉指的不受欢迎的导通效应。在较大的系统级钳位电流下，电流镇流措施更为有效。

当将回滞型 ESD 器件的峰值电流密度限制在适当的水平下时，ESD 器件的脉冲操作被认为是完全可逆的。相反的场景发生在具有 NDR 的标准器件上。也有一些例外，在 NDR 情形和回滞模式下，标准器件不会提供可逆工作。NDR 限制了脉冲安全工作区 (SOA)，这是因为高幅值电流丝位置处的器件结构被局部烧坏。

工作区的物理限制并不总是与器件的半导体部分有关。后端金属化和接触也应该被考虑在内，特别是在高压器件中。在有高自热的高电压区，金属-半导体合金的快速熔化和电迁移也应该是一个限制因素。这些效应将在下面讨论。

3.1.3 集成工艺中 ESD 相关细节

混合信号功率模拟电路通常基于扩展电压 CMOS、CBiCMOS (Complementary Bipolar CMOS, 互补双极 CMOS) 或 BCD (BJT-CMOS-DMOS) 集成工艺平台进行设计。工艺集成选项和模块有很多选择，可通过缩减掩模数量和工艺步数来优化生产成本，这取决于特定产品的目标规格。

为了最优化功率性能，集成高压器件通常以横向漏扩展 MOS 器件 (DeMOS) 或自对准横向双扩散 MOS 器件 (LDMOS) 的形式实现。通常都支持 N- 沟道和 P- 沟道 MOS 器件以提供适

当的功率传动设计选项。扩展电压 CMOS 工艺可支持高达 40 V 的电压，HV BCD 工艺可支持超过 100 V 范围的高电压。

HV 工艺中的 LV CMOS 模块通常支持双栅氧化层选项，以及最低电压的逻辑模块和较高电压的模拟元器件，用于功率应用。BJT（双极型晶体管）模块可基于不同的自对准发射区-基区架构，将常规的垂直扩散发射区与横向扩散发射区或较高性能的多发射极器件相结合。

CMOS 与 BCD 工艺的主要区别在起始衬底材料、外延生长和高压器件的衬底隔离方案。在模拟工艺中，不同的器件通常共享大量的掩模层以降低工艺成本。片上 ESD 器件设计的重要部分是不同掩模的选择及其对准方法。

模拟 CMOS 工艺通常基于低成本轻掺杂衬底或预生长有几微米厚外延层的更贵的衬底。如果高速产品设计要求高 Q 的片上电感的话，轻掺杂衬底对于降低衬底感应电流非常关键。低掺杂衬底的缺点是对闩锁效应的敏感度较高（第 4 章）。在上电情况下，这在系统级的 ESD 事件中尤其重要，会有显著的电流注入进衬底。在 ESD 条件或脉冲 SOA 限制下，衬底产生的载流子和扩散进衬底的注入电流会极大地改变寄生器件的特性。

为放宽定制模拟工艺中的保护环闩锁间距规则，以及为了缩减芯片上横向闩锁隔离所需的面积，通常采用生长了 2~4 μm 厚的低掺杂外延层的高掺杂衬底材料。先进 BCD 工艺的一个替代方法包括深槽隔离（DTI）的形成（图 3.6）。费用更高的 BCD 工艺版本是基于全衬底隔离，采用绝缘体上硅（SOI）晶圆。它可支持 CMOS 和 BCD 两种架构，完全消除了在外延区域之间的闩锁。

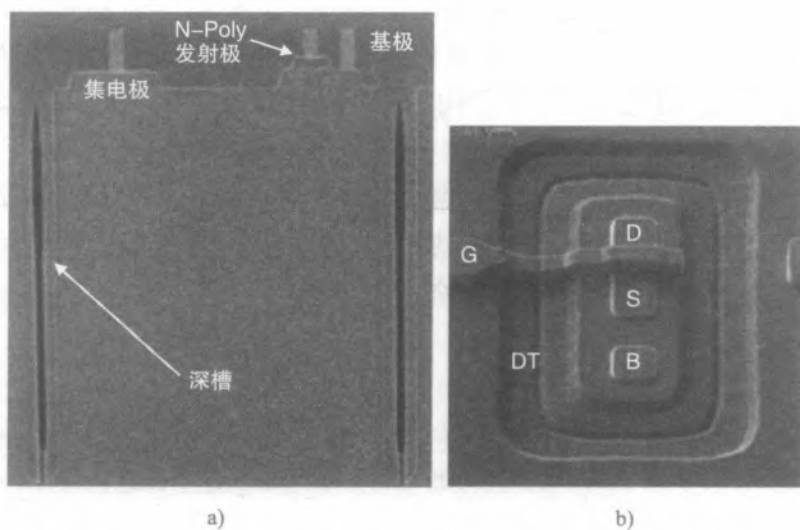


图 3.6 a) 深槽隔离的 20 V NPN 结构的横截面和俯视图 b) 深槽 (DT) 隔离的 NMOS 器件俯视图

在模拟电路的 CMOS 工艺中，高边器件的衬底隔离用高能深 N 阱注入（DNWELL）的三阱架构实现。由于材料缺陷和注入设备能力问题，DNWELL 剂量和能量限制了 HV 器件的耐压，

这意味着会有一些门锁的限制。在模拟电路的 BCD 工艺中，在 n 型外延层生长前使用 N- 埋层和 P- 埋层隔离层，这些限制得以放宽。垂直衬底隔离与 ESD 器件区的相互作用是 ESD 方案设计中的一个重要部分。

在具有低阻抗子集电区的先进多发射极模块中，高掺杂子集电区通常有 N- 下扩和 P- 下扩区域。与埋层相结合，这些区域可以用于门锁的强隔离和形成有源 ESD 器件区。

表 3.2 给出了 CMOS 和 BCD 工艺中一般有源器件的对比。实际上，数字和模拟 CMOS 元器件以及高电压或扩展电压器件都是用相似的工艺步骤制造的。

表 3.2 通用 0.18 μm CMOS 和 BCD 工艺中标准器件的比较

器件类型	0.18 μm 30 V CMOS	0.18 μm 30 V BCD
数字 (LV) 传统 CMOS	2 V NMOS & PMOS	2 V NMOS & PMOS
模拟 (LV) 传统 CMOS	5 V NMOS & PMOS	5 V NMOS & PMOS
功率和高压 CMOS	12 V NDeMOS & PDeMOS 20 V NDeMOS & PDeMOS 30 V NDeMOS	5 V NLD MOS & PLD MOS 12 V NLD MOS & PLD MOS 20 V NLD MOS & PLD MOS 30 V NLD MOS
双极器件	20 V 横向 NPN & PNP	20 V 垂直多发射极 NPN & PNP; 10 V JFET

最近的趋势是使用 LV 模拟 20~180 nm CMOS 工艺的低成本流片工艺，这在更精确的掩模对准方面具有优势，是特征尺寸较小的集成数字 CMOS 元器件所需的。这一特性广泛用于扩展电压器件的设计，其中，非自对准体区架构可以用低压 p 阱代表，替代原先的双扩散体注入。功率优化的扩展电压器件用漏扩展 MOS (DeMOS) 代表。该器件架构包含一个漏漂移区，在所有高压模式下产生耗尽，克服了栅氧化层耐压的限制。在 DeMOS 器件中，漂移区和体区都不是自对准的。

类似的高压器件架构用在 BCD 工艺中，创设了一个所谓的横向双扩散 MOS HV 器件 (LD MOS)。这一器件的名称来自在分立元器件中使用广泛的自对准垂直 DMOS 架构。横向 DMOS 与 DeMOS 物理上的主要不同在于自对准 pBody 注入。这一注入的能量足够低，可以用多晶硅区做掩蔽。在下文中，我们将不再区分横向 DeMOS 和 DMOS 器件，而是将两者都称为 LD MOS，除非另有说明。另外，尽管通常在 CMOS 设计实践中，将数字 CMOS 称为低压器件，模拟 CMOS 称为高压器件，我们仍将它们分别称为数字和模拟，以便将它们与高压 LD MOS 功率器件区分开来。

片上设计的一种主要范式是 ESD 器件的实现要免于额外的工艺步骤。这一“免费”的 ESD 设计方法是在这样的预期下实现的，即，标准工艺器件在工艺设计规则指定的最大工作电压与 ESD 脉冲时间域中实际的绝对最大额定电压之间提供足够的范围。换句话说，ESD 防护电压窗口可以容纳非自对准的免费的 ESD 器件，除非较大的标准器件阵列能够提供自我防护。

在免费的 ESD 器件设计方法中，主要的开发策略是重复使用标准器件架构和区域。尽可能复制阻挡结、RESURF 方案和整个区域，以使得技术改变最小化、对掩模对准的影响最小化。当然，免费 ESD 的实现不能与工艺技术的最小物理尺寸规则相冲突。

与先进模拟电路和系统设计一致，十年来，工艺技术发展领域经历了巨大的演进。主要里程碑包括技术节点从亚微米降至 180~20 nm、横向高压功率器件的集成、互补 Si-Ge BJT 器件、浅和深槽隔离、片上非易失性存储器和无源元器件的多用途前端模块。许多本领域的书籍描述了 MOS 和 BCD 工艺的特点。本节仅汇总了最小数量的入门材料，它们与本书主题直接有关，对于理解后面文本使用的术语是必要的。

HV BCD 与扩展 CMOS 工艺的区别在于 N 型外延层的生长和可选的多发射极 BJT 形成之前和之后的前-后端步骤（图 3.7）。大体上，CMOS 工艺可简单地视为 BCD 工艺的一个模块。这些技术平台的差异是在垂直和横向隔离方案上。在 BCD 工艺中通常形成额外的深 pRESURF 区，如同在功率优化的深 NLD MOS 设计时的情形。基于 STI 的横向表面隔离对这两个平台都是标准的。可选的深隔离步骤可以被引入具有高性能 BJT 器件的先进的 HV BCD 工艺中。BCD 和 BiCMOS 工艺中可选的基区-发射区外延生长被用于互补的 Si-Ge BJT 器件中，其具有高增益的多发射极或低噪声的单一发射极。

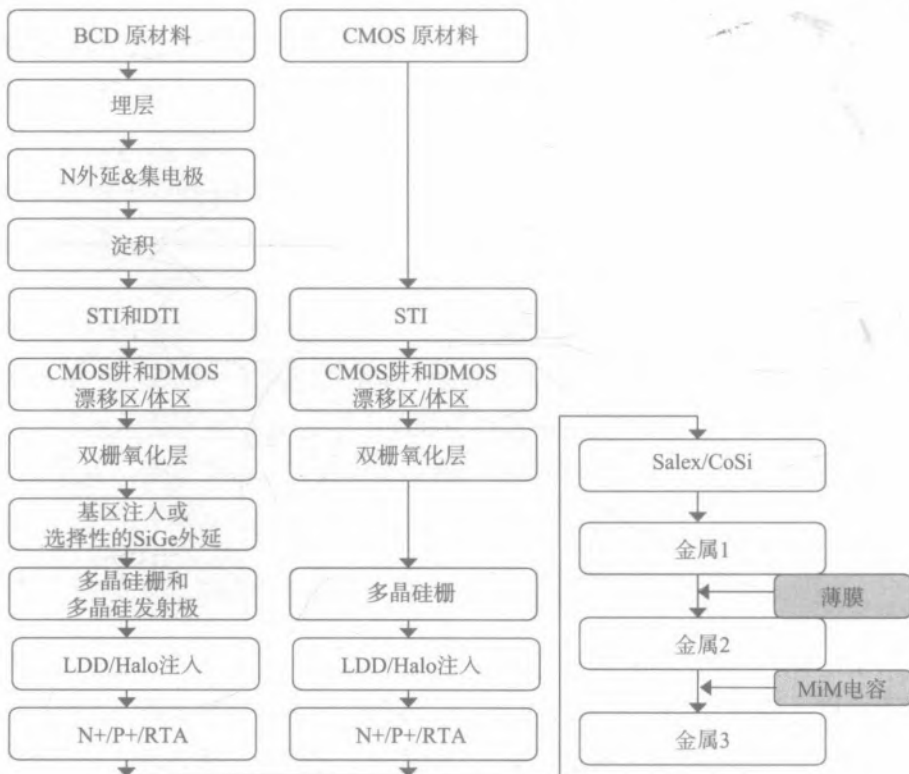


图 3.7 通用 BCD (左) 和 CMOS 工艺制造流程的比较

N- 外延区和重掺杂埋层使得专用于多个系统级解决方案的 ESD 器件得以实现。在模拟 CMOS 工艺中，通过重复利用传统的 CMOS 阱注入，以及为了恰当的耗尽，最小化新的漂移区注入，使得 HV DeMOS 器件通常能以部分“免费”的形式实现。在功率优化的 BCD 工艺中，通常使用了相当多的注入。例如，横向 DMOS 器件就在击穿电压与导通电阻的限制之间进行了功率优化。

DMOS 器件的层次优化包括由多场板辅助的多 RESURF 功能、与体区相连或不相连的深 P-RESURF 注入以及更复杂的超结器件结构。工艺选项的深入理解对于优化片上 ESD 器件设计和最小化非自对准器件区域非常重要。

通常，CMOS 工艺中的高边器件通过深 n 阱 (DNWELL) 注入进行隔离。由于能量较高，光刻胶掩模层相当厚，相应的特征尺寸较大。在 BCD 工艺中，高掺杂 n 埋层和 p 埋层（分别记为 NBL 和 PBL）在 n 外延生长以及在 n 外延生长期间的横向和纵向扩散之前进行注入。为避免 NBL 过度进入 n 外延区，通常用扩散较慢的锑 (Sb) 替代磷或砷。

在垂直区形成后，这两种工艺开发了 p 阱和 n 阱区 (图 3.8)。对于这些区域，不同能量和剂量的多次注入用于形成箱式分布。表面注入经过调校以得到合适的 CMOS 器件阈值电压水平，并按反穿通分布安排，以得到较好的抗 CMOS 闩锁能力。LDMOS 漂移和体区，除非部分从阱分布重复利用，都在这个阶段注入。

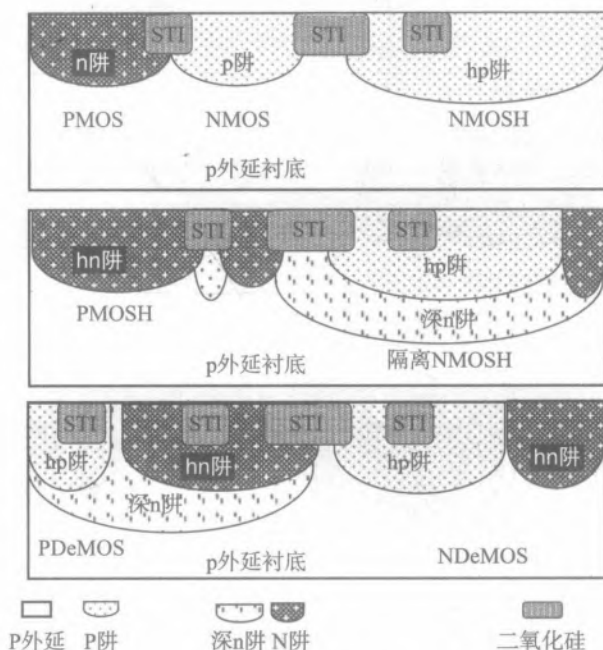


图 3.8 CMOS 器件在 p 阱和 n 阱注入步骤后的工艺流程截面图

NLDMOS 器件的 n 型漂移区通常需要优化，以得到在 DMOS 导通阶段关闭阶段高压工作范

范围内的适当的耗尽区。在 pLDMOS 中，p 型漂移区在同样的工作状态下必须耗尽。这些互补的 HV BCD 工艺通常由漂移区和体区形成了一个高压阻挡结，连同多场板和深 pRESURF 区，可以合并到免费的 ESD 器件解决方案中。

阱分布形成之后是双栅氧化层 (DGO) CMOS 和自对准 BJT 工艺步骤。通常，两个互补阱用于支持在薄栅氧化层的数字 CMOS 器件和用于 LV 模拟模块的厚栅氧化层 CMOS 器件中的最优扩散分布。再与浅注入结合，可用于集成各种各样的 CMOS 器件，例如，高和低阈值电压或泄漏器件，以及功率优化的 LV 模拟 DMOS 器件。这些可选的注入可帮助免费 ESD 器件达到最优参数。这种设计的重大进展是由基于 TCAD 工具的物理过程和器件仿真达到的。先进的 TCAD 方法已在 1.5 节中描述。

双栅氧化层的形成是通过热氧化来产生一种模拟 LV CMOS 器件用的厚栅氧化物。这一步之后是一个栅氧化物的掩蔽层，氧化物被蚀刻掉后再生长一个高质量的数字 CMOS 器件用的薄栅氧化层。然后，多晶硅 (poly) 层淀积和刻蚀 (图 3.9) 形成多晶硅栅、多晶硅 -RESURF 区、多晶硅电容和多晶硅电阻。最后是一个可选的高阻值多晶硅电阻掩模。

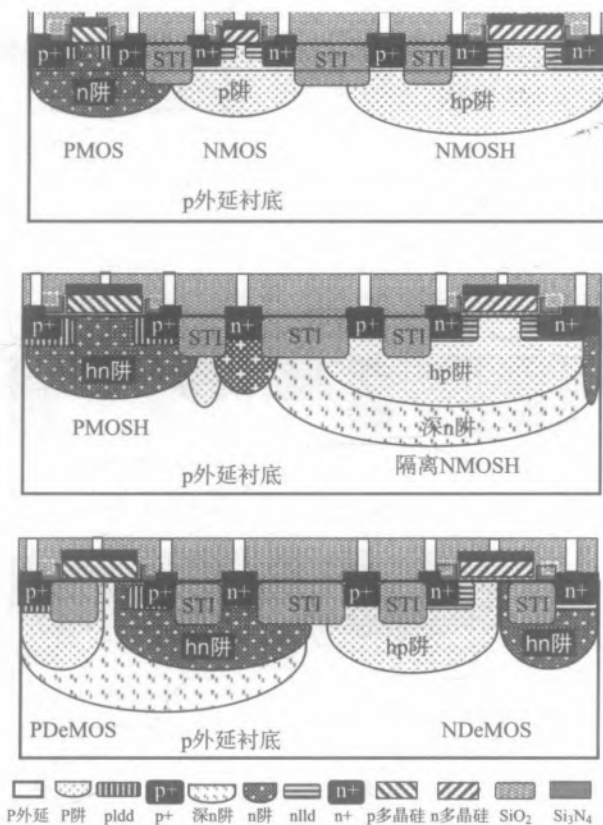


图 3.9 数字和模拟 CMOS 及 DeMOS 器件在 CMOS 工艺中多晶硅形成、氧化层淀积和刻蚀之后的工艺流程截面图

对于 LV CMOS 器件, 在刻蚀了多晶硅层后, 注入了与 n 晕环和 p 晕环相反掺杂类型的浅 n 浅 p 轻掺杂漏区 (LDD)。这些注入物与 poly 和 STI 的边缘是自对准的。氮化物的淀积与刻蚀形成了多晶硅的侧墙。然后是重掺杂的浅 n 源漏区和浅 p 源漏区以及接触孔扩散区的形成。该区域与多晶硅侧墙和 STI 的边缘自对准。

ESD 钳位的参考元器件可以基于表面 $n^{++}p^{+}$ 或 $p^{++}n^{+}$ 结而构建成雪崩二极管。重要的是要考虑到, 接触扩散区的设计要维持正常工作电流密度。这些区域一般采用最小工艺规则尺寸, 对于极高电流密度, 特别是那些在系统级 ESD 电流条件下的电流密度, 可能不是最优设计。对每一个特定情形, 需要不断的实验以确定最优的扩散长度、接触孔个数或额外的硅化物阻挡区的需求。

在快速热退火 (RTA) 工艺激活浅注入后, 进行硅化物淀积、硅化物掩模和硅化物刻蚀, 以从所需的扩散区域和多晶硅电阻中移除硅化物。硅化物阻挡层的选择对于在 ESD 结构中实现器件级负反馈是非常关键的, 它提供了在低熔点温度下的半导体-金属合成与局部高热产生区域之间的局部镇流和间隔。

前端的工艺步骤形成了接触孔、通孔和金属层。系统级金属层的电流容量是硅结构优化时的另外一个潜在的限制因素。对于适当的单元和钳位设计, ESD 器件阵列的金属化问题需要相当小心和周密的策略。

ESD 器件的创新设计有很多“诀窍”, 依赖于对工艺物理和特性的深入理解。例如, 高扩散 NISO、NBL 和 PBL 注入可以采用最小的掩模尺寸图案, 以获得稀释后的图层 (非连续的图层)。它们要么参与电导率调制过程中寄生 BJT 结构增益的控制, 或者调整免费 ESD 结构的击穿电压^[53-54]。子集电区和深层区域可为各种寄生 SCR 型和 BJT 型结构提供大量的实现可能性, 它们深度的电流传导更有利于 ESD 性能, 这是由于更优的深度散热。

3.1.4 ESD 脉冲域的 SOA 和自防护

标准器件工作在某些临界电气规范之上会导致不可逆甚至瞬时烧毁。ESD 脉冲域的电气物理限制通常用脉冲安全工作区 (SOA) 表示。对于给定的器件, 脉冲 SOA 可用结合了一个附加 DC 电压源的 TLP 系统进行测量 (图 3.10a)。例如, 在 NMOS 器件的情形下, 脉冲漏-源 $I-V$ 特性可在恒定的栅偏置下测量, 直至发生可逆或不可逆的触发。在后一种情形下, 新的同类器件样品将会补充进来用于后续的每一个栅偏置测量。

在 NLD MOS 器件的例子中 (图 3.10), 漏源电气特性仅受限于由边界界定的作为漏源电压函数的最大漏电流。根据器件设计不同, 可以实现不同的脉冲 SOA 边界形状, 该形状可通过连接漏源 $I-V$ 特性族的临界点绘制出来 (图 3.10b, 图 3.10c)。

另一个与 SOA 有关的重要品质因子是自防护能力。它可以被定义为器件在脉冲状态下能够维持的最小临界电流。在 NLD MOS 器件中, 这一电流通常是在关态的雪崩击穿模式条件下发生。这一电流是负微分电阻区形成之前的临界电流, 之后就是器件不可逆的工作区。图 3.10b 给出

了具有较高自防护能力的 20 V NLD MOS 的实例。相反，自防护能力低的器件（图 3.10c）表明，在 100V NLD MOS 例子中，回滞前几乎没有自防护的电流水平。

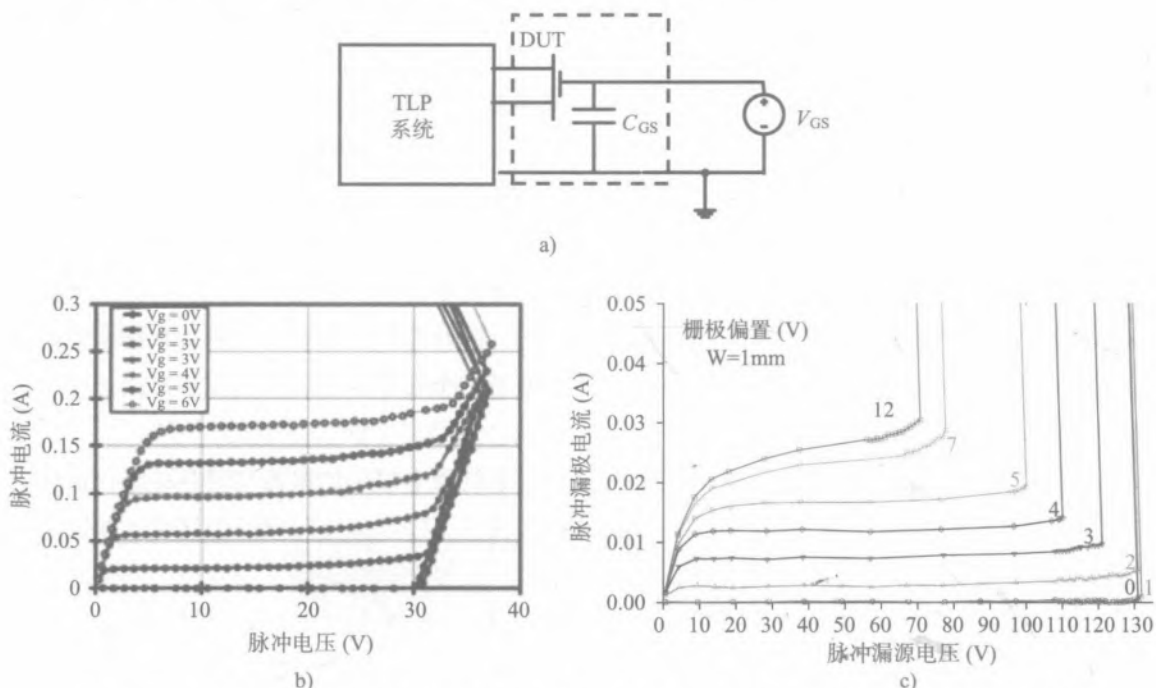


图 3.10 a) 脉冲式 SOA 测试实验装置 b) 高自防护能力的 20V NLD MOS 器件脉冲漏源特性
c) 低自防护能力的 100 V NLD MOS 器件脉冲漏源特性

一般地，器件能提供自防护的场景有两种：（1）回滞前有实质性的雪崩电流，（2）可逆地回滞到大电流模式。大多数标准器件无法在回滞模式下维持可逆操作。在极少数情况下，低压 NMOS 和 PMOS 器件也可能出现可逆的回滞操作；然而，这往往伴随着对工艺变化和与 TLP-ESD 脉冲非相关性的高度敏感性。

因此，标准器件的电流不稳定边界基本上代表了不可逆脉冲的 SOA^[4-5]。在这种情形下，自防护就变得很重要了，因为如同大功率阵列的情形（图 3.10b），它允许临界雪崩电流的幅度涨缩。这虽然通常适合于元器件级 ESD 脉冲的配置，但系统级 ESD 事件的电流幅值较大，很少允许这种方法的实际应用。虽然自防护对次级电流依然很重要，但 ESD 应力期间标准器件的电压水平还必须由 ESD 防护网络加以限制。

基本上，脉冲 SOA 代表半导体器件电气范围的物理限制，这归因于两个阶段的正反馈现象。第一个阶段，器件沿着接触孔的宽度方向到达电流的均匀分布，全部处于 NDR 状态。NDR 是由特定于结构类型的横向电导率调制形成的。对于标准的有源 n-沟道 MOS 器件，能够观察到寄生 n-p-n BJT 结构 p 基区的电导率调制，在 p 型有源器件中，p-n-p BJT 的 n 基区电导率调制也能带来一定的影响。然而，由于硅中电子和空穴迁移率不同，具有寄生 n-p-n 的 n 型器件

的正反馈要强烈得多并提供 NDR，而 p 型器件通常表现为没有、隐蔽或相当小的 NDR。

类似于基本半导体结构中的现象，电路中具有负载电阻的器件到达回滞时，均匀分布的电流就变得空间不稳定，器件转为非均匀电流及单一或多个丝状电流的状态。进一步的器件操作取决于电流水平，它由负载电阻、局部电流镇流和脉冲宽度决定。如果有结构层面的负反馈，在电导率调制模式下限制了局部电流密度，那么丝状电流将会扩展开来直至形成新的均匀大电流状态。在这种条件下，回滞是可逆的。当没有器件级的抑制因子以抵消空间电流不稳定时，由于局部电流的增加不受限制，器件将经历不可逆的局部烧毁。

上面提到的自防护的第二个场景是在回滞模式下的可逆操作。这种操作类型是回滞 ESD 器件的基本设计目标。类似于标准器件，由于电导率调制机制的存在，操作机制区域受到结构层面正反馈的限制，形成电流不稳定边界。然而，这一限制是可逆的。由于特定的 ESD 器件架构，结构层面的负反馈现象限制了器件局部电流密度的增加，直到超过了接触孔区域下一阶段不可逆的电导率调制水平或自加热和相关的电迁移极限。为验证可逆的操作，可在每一步结合功能性的漏电测试，测量 S 形可逆的 TLP 特性（图 3.11）。

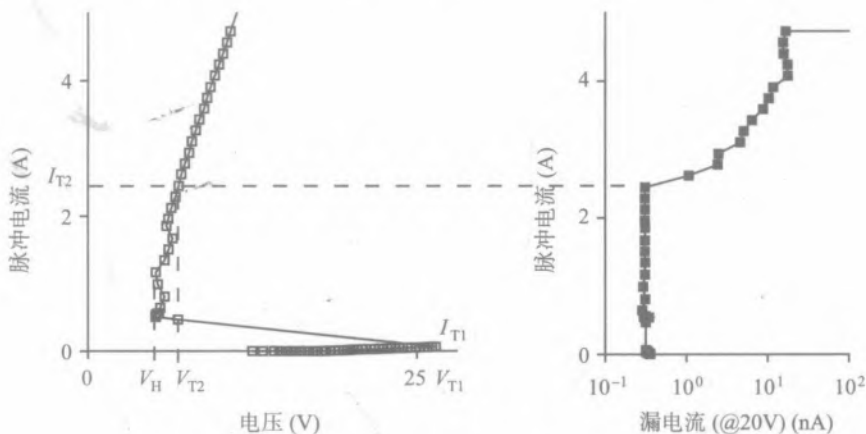


图 3.11 20 V nLDMOS SCR ESD 器件的 TLP 特性

由于系统级 ESD 现象的持续时间短，结构发热定位在几微米附近。因此，第一阶段正反馈现象的本质主要是电的，而非电 - 热的。当一个局部 ESD 防护钳位加到引脚上时，最大电压的绝对值受 ESD 钳位触发电压的限制，而不是由与引脚相连的内部电路中的标准器件的 SOA 来限制。

3.2 系统级防护的低压 ESD 器件

在系统级防护中，一个重要的工程任务是实施一个解决方案，它结合了 ESD 器件结构内部能量平衡、分布式单元阵列上均匀线性的电流密度以及在最小可能的占用面积上达到特定的电气特性。后两个要求包括 ESD 脉冲和正常工作区的特性。这些特性是触发和维持电压、适当的

DC 耐压、泄漏电流、高边隔离与寄生电容，以及由此引发的瞬态 ESD 脉冲电压波形。

为将 ESD 器件对工艺变化的敏感度降到最小并避免量产的影响，设计 ESD 器件的一种关键方法是将原来的标准器件转变成不增加额外费用的 ESD 器件。此方法将在本章以下部分的片上低压和高压 ESD 器件中得到阐释。在这一方法下，限制标准器件脉冲 SOA 的电流不稳定性成为触发免费 ESD 器件的第一阶段。通过添加新区域和改变半导体结构，以及在电导率调制方式中提供可逆的操作，即可得到了 ESD 器件。电导率调制产生正反馈，用于获得大电流。然而，在一些大电流处，结构中必须能够实现器件层面的负反馈，以平衡电流的不稳定性，并将电流密度限制在安全限值之下。因此，与标准器件不同的是，在回滞模式下 ESD 器件的操作是可逆的。

3.2.1 非回滞解决方案

元器件级规格的 ESD 器件和钳位在文献 [5] 以及 ESD 领域的许多其他书籍中^[55-59]有着广泛的介绍和分类。在某种程度上，许多已知的元器件级 ESD 解决方案可以通过器件的宽度伸缩至适当的电流水平，也可用于系统引脚防护。例如，在多引脚的低压产品中，其输入和输出引脚的系统级防护可重复利用轨道网络，它是通过将核心有源钳位器与适当超大的 ESD 二极管相结合，从系统级配置到轨道上来实现的。

图 3.12 给出了串行数据线引脚的一个例子，对于通过单一差分对的串行和反串行 IC，它能承受 2 kV 电缆放电事件（CDE）。该器件被指定与长达 10 米的汽车视频显示器电缆一起工作，符合与 ISO 10605 “道路车辆测试方法——静电放电的电气干扰”兼容的 LVDS 标准。该产品也能承受更高的电缆放电水平，当在电路板上增加 0.5 μF 旁路电容时，通过了 ISO 枪的 $\pm 10 \text{ kV}$ 的接触式和 $\pm 30 \text{ kV}$ 的空气放电式的验证。

从实用的观点看（有一些例外），紧凑的器件级解决方案受到青睐，因为它们的目标是芯片空间和成本的最佳使用。8 kV 接触和 15 kV 空气隙放电的 4 级 IEC 61000-4-2 标准要求 ESD 钳位脉冲的电流容量为约 30 A，而所占芯片面积为 $4 \times 10^4 \mu\text{m}^2$ 。这一脉冲电流容量可在大于 10 mA/ μm 的线性电流密度处达到，因此要求使用工作于电导率调制模式的 ESD 器件。

为实现这一目标，耐压低于 5~7 V 的低压器件方案通常需要一个基于 p-n-p-n 结构的有双注入电导率调制的 SCR 型器件。雪崩二极管和基于寄生 n-p-n 及 p-n-p 结构的雪崩注入电导率调制器件都不是一个合适的设计方法。

由于必须通过系统级 ESD 应力，所以通常不能使用有源钳位器。在上电条件下的系统级应力期间，由于构成 RC 时间常数的电容器已经充满了电，有源钳位器实际上已经失效。所以，钳位仅能在大大高于电源水平的瞬态电压范围，提供放电电流路径。

在一定条件下，引脚在直流电压下的系统级 ESD 事件期间，通态回滞钳位的触发会导致瞬态闩锁（第 4 章）。这一挑战在某些情形下可以得到解决，即要么电路设计关机措施，要么要求 ESD 器件的维持电压高于电源电压。高维持电压的 ESD 器件同样也在本章讨论。

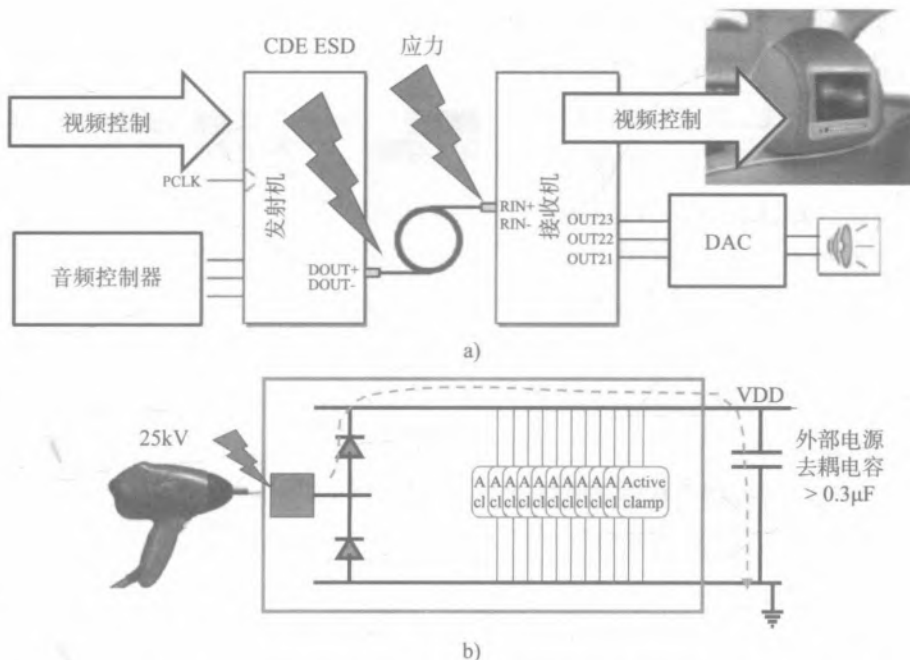


图 3.12 a) 接口应用网络的示例 b) 基于应用电路板旁路电容的 ESD 防护方案

带有合理漏电水平且耐压范围 5.5~7 V 的雪崩二极管，在进行了宽度缩放后可设计为一个表面器件。由能带之间的隧穿效应造成的大漏电流，会限制击穿电压使其降至 5 V 之下。针对 5 V 之下的低压规格，可采用 SCR 器件。它们在下面的章节中描述。

一个重要的工程挑战是自对准器件的设计。为避免掩模套偏对器件特性的影响，器件有源结可以用注入重叠法进行设计。例如，自对准横向低压雪崩二极管的适当水平的掺杂由轻掺杂漏和浅接触注入的组合来实现。对于数字或模拟 CMOS 器件，可以实现为自对准表面二极管，由 $n^+ - pldd$ ， $p^+ - nldd$ 注入（图 3.13）与掩模间的一些交叠所形成。

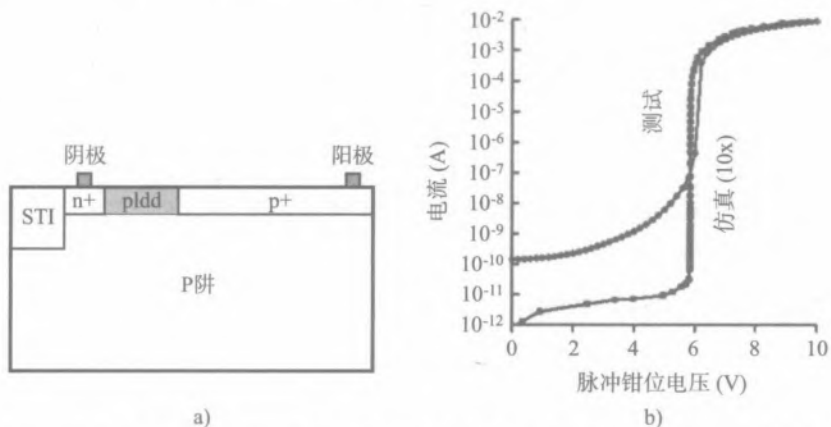


图 3.13 a) CMOS 工艺中的 $n^+ - pldd$ 表面雪崩二极管的简化横截面 b) 相应的 $I - V$ 特性测试结果

另外，准-自对准二极管可以用较小栅区的多晶硅界定结构制成。对多晶硅栅区提供准-自对准（与 nldd-pldd 一起），对应的环注入在浮置多晶硅下形成二极管（图 3.14）。在多晶硅界定二极管中，正向注入电流的路径直接位于阳极和阴极两个扩散区之间的表面。这一电流路径比传统二极管中围绕 STI 的路径更短。所以，正向偏置工作通态电阻较小（图 3.14c）。在 foundry 工艺中，由于 CAD 软件包自动产生 LDD 掩模层，获得这样一个器件具有技术难度。

TVS 元器件可以替代横向高维持电压结构。分立 TVS 元器件是垂直型器件架构。这些器件在本章最后一节评述。该器件不太可能集成到功率优化的混合信号 BCD 或扩展电压 CMOS 工艺中。另一方面，可做的是与 TVS 封装在一起。

3.2.2 SCR 和 LVTSCR 器件

片上免费 SCR 设计是最有效的实现系统级 ESD 解决方案的方法。它包含一个“寄生”p-n-p-n 结构，支持双注入电导率调制。

这种类型的免费 ESD 器件可以通过在已具有寄生 n-p-n 结构的 n 型标准器件中形成寄生 p-n-p 而获得。或者，寄生 n-p-n 可在已有寄生 p-n-p 的 p 型标准器件中形成。

器件级的工程目标是在这一嵌入结构中实现适当的增益和倍增系数。增益和倍增因子由器件各区域的尺寸以及针对触发电压的注入分布、高电流容量和对控制电极条件的灵敏度等进行调整 and 选择。

一般来说，SCR 器件的工作体现了一个多米诺效应的场景。首先，达到不稳定的临界电流，这是由在低倍增系数时高沟道电流的雪崩倍增引起，或是在高倍增系数时低关态泄漏电流的倍增引起的。然后，在基于 n 型（p 型）的 SCR 中的 n-p-n（p-n-p）结构的雪崩注入引起电流的大幅增加。在此阶段，在 n 型 SCR 器件中，电流增加与负微分电阻一起发生，而 p 型 SCR 器件则保持正微分电阻。在一些临界电流处，p-n-p（n-p-n）的 n-（p-）基区-发射区结上的内部压降超过 0.7-1 V，使得该结导通。n-p-n 和 p-n-p 结构之间的正反馈引发双注入电导率调制。在这些条件下，根据负载特性，该结构被触发并进入低维持电压状态。

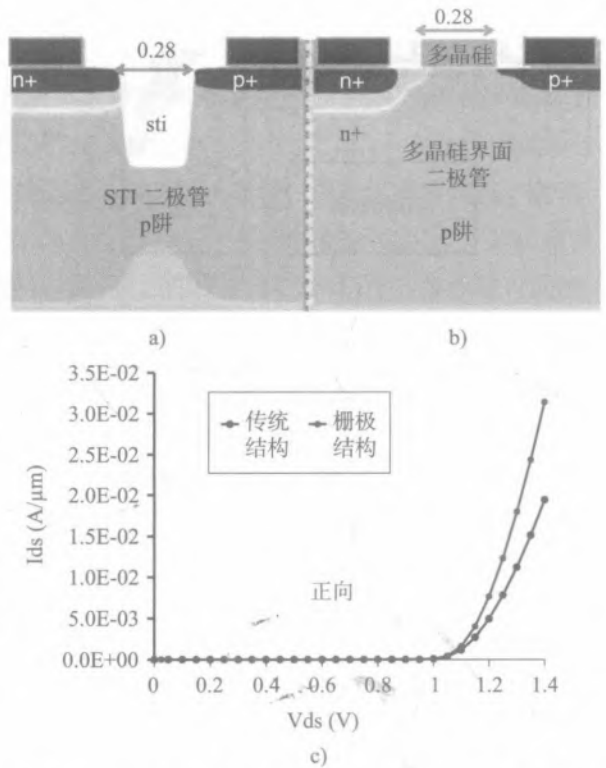


图 3.14 STI 与多晶硅界定的雪崩二极管的仿真横截面对比以及 $I-V$ 实验特性曲线 a) STI b) 多晶硅界面 c) $I-V$ 实验特性曲线

在基于 n 型的 SCR 中，负微分电阻阶段往往隐而不露。另外，双 S 形 $I-V$ 特性可在某些参数的器件中实现。在基于 p 型的 SCR 器件中，难以区分前两个阶段，除非 SCR 与具有相同阻挡结区设计的横向雪崩二极管进行对比。

在高注入电流下，SCR 结构提供内部负反馈以平衡整个结构宽度上的电流密度。在从雪崩注入双注入模式的过渡过程中，雪崩电流成分被注入电流成分所取代。因此，器件的通态雪崩倍增是在一个非常低的速度下实现的，相应于一个低电场。从相反的 n- 和 p- 发射结的正向注入使得器件实际上等效于一个具有正微分电阻的正偏 p-n 二极管。所以，等温的空间电流不稳定被完全抑制，直至达到大电流水平。当热产生占主导地位时，不同的热-电空间不稳定现象导致局部结构熔化，随后是接触区的加速的电迁移以及其他不可逆效应。

当额外的沟道或基区电流是一种可用的器件设计选项时，SCR 的触发特性可以由钳位元件被动或主动地控制。第一个利用这一性能的 SCR 器件之一是所谓的低电压触发可控硅 (LVTSCR)^[60]。这种器件是 LV 系统级防护的最传统实用的解决方案。LVTSCR 的原型器件是相应的标准 LV 模拟或数字 NMOS 器件。

器件的改造目标是增加寄生 p-n-p 结构。这一工艺的主要步骤包括创建三个新的区域：p+ 发射区扩散、n+ 浮置漏扩散及由 n 阱区垂直和横向隔离的 p 发射区。n 阱实际上代表 SCR 的 nBase (图 3.15a)。

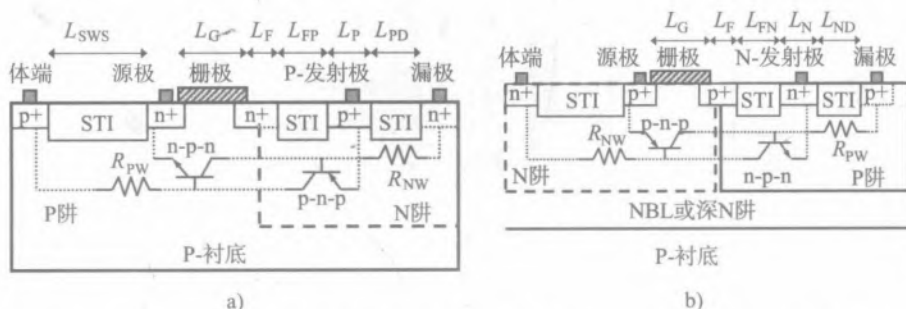


图 3.15 n 型和 p 型 LVTSCR 器件简化横截面，包含关键结构参数和寄生 BJT 及电阻结构
a) n 型 b) p 型

类似地，通过嵌入适当的 n-p-n 结构，标准 LV PMOS 结构可以改造成 p 型 SCR。在这种情形下，对应的 n 发射极扩散区由 p 阱隔离（在这里代表 pBase）（图 3.15b）。p 阱也可以用 CMOS 工艺中的深 n 阱区或 BCD 工艺中的 n 外延和 n 埋层 (NBL) 从衬底中隔离出来。

该结构最重要的参数是那些定义嵌入 n-p-n 和 p-n-p 结构增益的参数。在 LVTSCR 中，基极通常与相应的发射极短路，仅有栅极用作控制电极。在这种情形，增益主要是由内部基极-发射极阱电阻 R_{NW} 和 R_{PW} 定义（图 3.15a）。内部 p-n-p 和 n-p-n 基极电阻是由基极-发射极间距和区域长度控制。在一定程度上，结构的线性参数可用于控制维持电压。这些参数包括浮

置漏区长度 L_F 、p 发射区长度 L_p 和相应的间距 L_{FP} 和 L_{PD} (图 3.15a)。改变这些参数将产生更大的 p 发射区隔离。

不包括衬底或 n 型外延端口, 最终的 nLVTSCR ESD 结构是一个 5 端口器件。为保持原有的 NMOS 器件终端命名, 通常使用下列术语: n-Drain (作为 SCR 的 nBase); p-Emitter (作为 SCR 的 pEmitter); Gate; n-Source (作为 SCR 的 nEmitter); 以及 pBody (作为 SCR 的 pBase)。

这样, 该器件一般提供一个场控制电极, 在雪崩注入阶段控制初始沟道电流倍增, 并且提供两个基极控制电极, 用于通过基区 - 发射区结注入少数载流子。这些控制通道广泛应用于具有特定触发和维持特性的 SCR 钳位器的设计中。

图 3.16 给出了最简单的栅接地 LVTSCR 钳位电路。在快速瞬态 ESD 脉冲和较大栅电阻下, 栅极耦合效应用来大幅降低触发电压。由于 dV/dt 效应, 栅电势增加到了阈值电压之上。如果 LVTSCR 中的寄生 n-p-n 要支持降低触发电压对栅偏置的依赖度, 那么高电导率状态下的 LVTSCR 触发电压可在低于直流击穿电压的水平下实现。

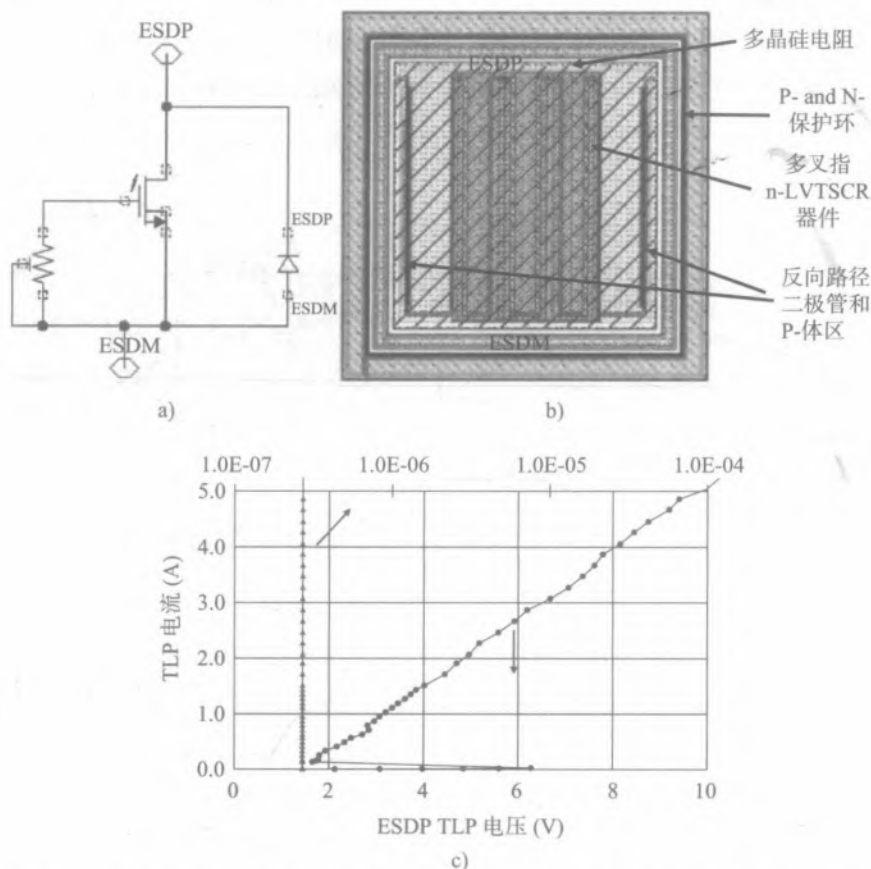


图 3.16 栅接地 LVTSCR 钳位器件的电路、元胞版图拓扑和测量的 TLP 特性
a) 电路 b) 元胞版图拓扑 c) 测量

对于无源的 LVTSCR 触发控制, 较大的栅电阻可影响引脚处的信号。在快速瞬态特性中, 由于寄生沟道电流, 正常工作区的 dV/dt 耦合可能是不受欢迎的。更合适的钳位设计涉及有源参考电路。参考电路可添加到器件所有三个端口的电压和电流的控制电极上, 以便将钳位触发特性带入所需的触发电压范围。

图 3.17a~d 给出了典型的电压和电流参考的钳位例子。例如, 接触宽度较小的雪崩二极管可用作高边电压参考元件, 将栅有源偏置到二极管的雪崩击穿电压以上 (图 3.17a)。类似地, 根据这一原则, 对于 p-LVTSCR, 可以实现低边电压参考 (图 3.17b)。基区电极的电流参考可用正偏二极管触发的 SCR (DTSCR) 实现^[61] (图 3.17c, 图 3.17d)。

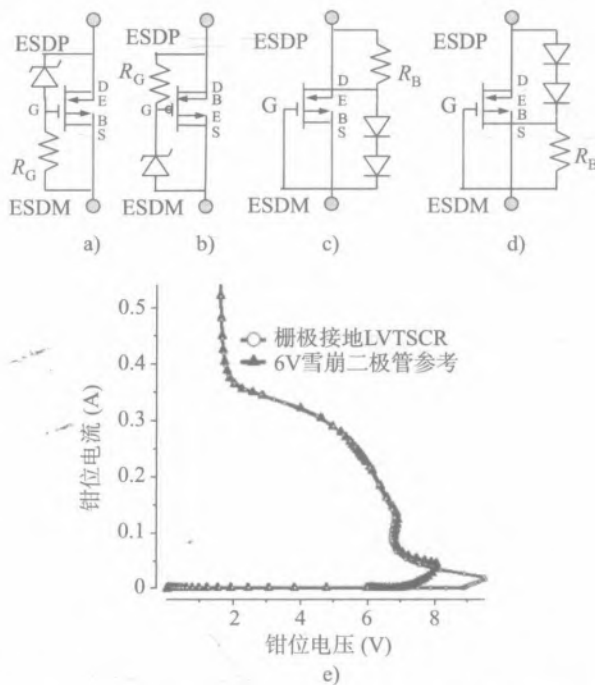


图 3.17 含有雪崩二极管的 nLVTSCR 和 pLVTSCR 的钳位电路; 含有正向二极管串的 nLVTSCR n-基极和 p-基极的电流参考; 含有 6 V 雪崩二极管栅压参考的 nLVTSCR 钳位 $I-V$ 特性仿真
a) nLVTSCR b) pLVTSCR c) n-基极 d) p-基极 e) $I-V$ 特性仿真

钳位的工作原理利用了触发电压对场控制电极的电压或流经基区电极的电流的逐渐减弱的依赖性。这一条件往往是满足的, 但也不能保证。为了恰当地触发钳位器, 可利用器件三个端口特性 (类似于脉冲 SOA) 提供的丰富信息。

在文献 [62] 中首次提出的一种更为复杂的混合器件 - 电路的 ESD 解决方案, 是基于 ESD 和正常工作条件下的器件驱动控制触发特性。

由于栅氧化层的长期可靠性问题, LVTSCR 器件与 NMOS 器件有着相同的耐压限制。如果系统级输入和输出引脚的耐压是在模拟 CMOS 模块工作电压之上, 场氧化层 SCR (FOXSCR)

可通过 LVTSCR 器件的简单改造来实现。这个改造仅仅是用最小面积的 STI 区替换多晶硅栅区(图 3.18a)。

在由此而得到的 FOXSCR 器件中, 击穿和触发电压都由扩散区到阱的击穿电压决定, 它通常较高, 为 10~13 V。在常规 SCR 器件中, 阱到阱的击穿电压更高, 在 16~24 V 的范围内(图 3.18b)。通常, 不希望出现由于栅电极耦合或寄生 n-p-n 和 p-n-p 结构中的位移电流效应所致的 dV/dt 触发, 原因在于负载依赖性、引脚信号干扰或瞬时的门锁危险。为在较低电压下触发 FOXSCR, 可以实现雪崩二极管参考的钳位, 从而在雪崩二极管击穿后提供基区电流注入(图 3.18c, 图 3.18d)。

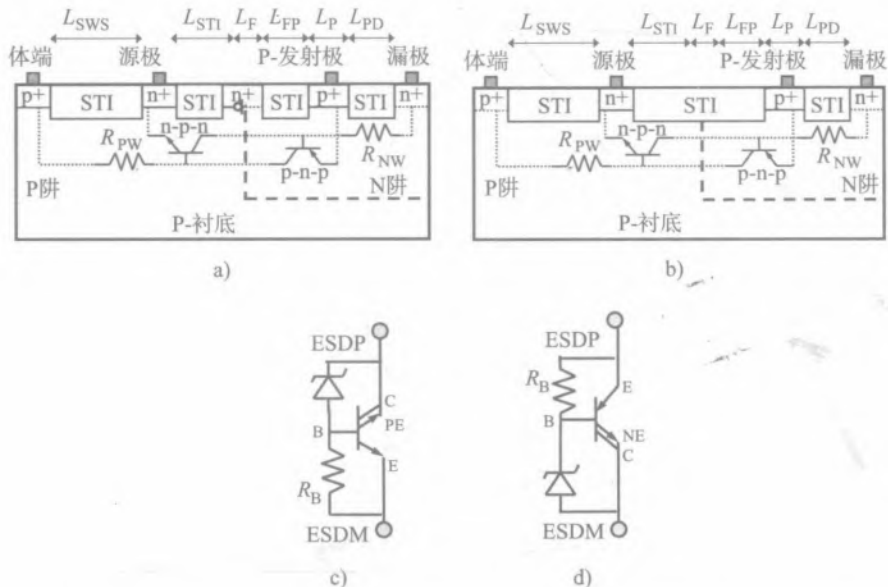


图 3.18 a) FOXSCR 横截面 b) 传统 SCR 横截面 c) 具有高边雪崩二极管电压参考的钳位电路 d) 具有低边雪崩二极管电压参考的钳位电路

另一种称为双极 SCR (BSCR) 器件的有效 SCR 器件类型可以为先进的高速 BCD 或 BiCMOS 工艺而设计^[63-64], 该工艺具有多晶硅发射极的高增益 BJT 器件。BSCR 器件的工作原理和主要器件区域与 CMOS 工艺实现的 SCR 类似。架构上的主要差别是高增益多晶硅发射极 n-p-n BJT 的原始转换而非 NMOS 器件的转换。这种器件变形通过在 p 型基区和 n 型集电区之间嵌入一个附加的 p 发射极下的 N 扩散区而实现(图 3.19)。

由 n 下扩注入形成的 p 型发射区的隔离度相当高。所以, 小信号工作时, BSCR 增益类似于原型 n-p-n 器件。这就使

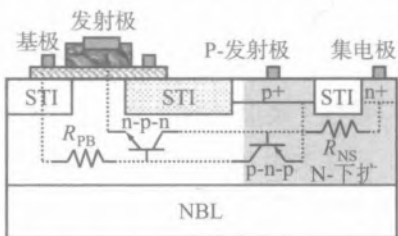


图 3.19 Si-Ge n-p-n BiCMOS 工艺中的双极 SCR 简化横截面

标准紧凑模型的重用成为可能。SCR 的电流不稳定的判据是 $\alpha_{NPN}M_N + \alpha_{PNP}M_P > 1^{[5]}$ 。当 n-p-n 增益比 p-n-p 增益高得多时, $\alpha_{NPN} \gg \alpha_{PNP}$, 这一判据可简化为 $\alpha_{NPN}M_N > 1$ 。因此, 在设计得当的 BSCR 中, 不稳定边界的实现类似于 n-p-n BJT 原型器件。

3.2.3 高维持电压 SCR

当要求在上电情况下通过系统级 ESD 应力且受到应力的引脚处电源具有低阻时, 可能会发生瞬态闩锁。避免闩锁的最可靠方法是实现 SCR 钳位, 其通态维持电压高于电源电压。另外, 也可以使用具有快速关断和复位电路功能的电源。

当 SCR 器件的发射区没有被基区扩散过渡隔离时, 通态维持电压通常在 1.5~2 V 的范围中。虽然这对于 1~1.5 V 工作电压的低压数字电路或 RF 的输入和输出或许是足够的, 但电压为 2 V、3.3 V 或 5 V 的模拟域就需要用不同的方法。

可以在器件层面或钳位层面实现所需的 3~5 V 维持电压。在器件层面, SCR 的维持电压可由影响内部 n-p-n 和 p-n-p 结构增益的结构参数来控制 (图 3.20)。这些控制参数与发射区的隔离程度有关。不幸的是, 这些参数也控制着触发特性和在大电流下的载流子平衡。因此, 这一增大维持电压的简明方法有其局限性, 可能导致触发电压不受欢迎的显著增加和结构大电流能力的损失。总体上, 结构维持电压的增加降低了 SCR 器件的 ESD 防护能力, 这归因于雪崩电流项的增加和较高的热产生, 对于结构中较高的电场, 需要雪崩电流项来保持载流子的不平衡。

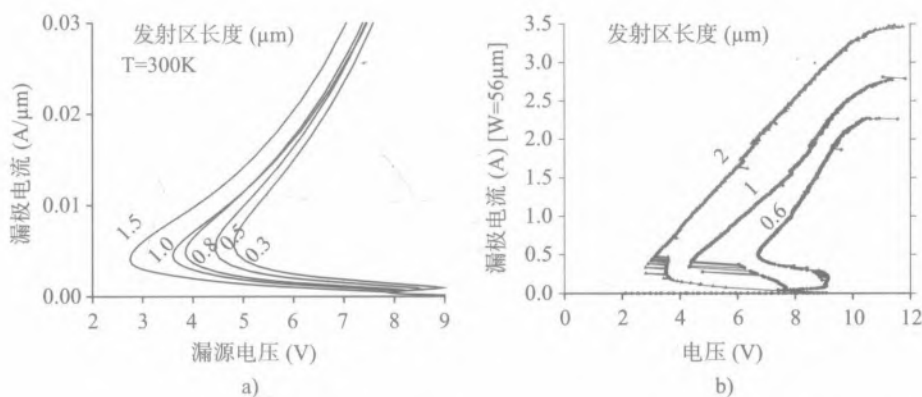


图 3.20 不同 p-发射区长度的 LVTSCR I - V 特性 a) 仿真 b) 测试

最后, 很明显, 如果一个 nLVTSCR 的 p 型发射区是完全隔离的, 例如, 由于发射区和漏极区域的反向定位, 该器件实质上相当于一个回滞型 NMOS。在这种情况下, 由于不同的电导率调制方式和较高的触发电压是 n 阱中电流饱和的结果, 从而实现了更高的维持电压。

然而, 通过半导体工艺细节的实验变化, 在 2~3.3 V 范围之上的维持电压研究取得了一些

进展。恰当设计的与回滞型 NMOS 单元有着相同宽度和维持电压的 LVTSCR ESD 单元，还可以提供高得多的单位接触宽度的电流容量（图 3.21）。

钳位设计的另一种方法^[65]使用自调整 p 型发射极去偏电路。这里，p 型发射极注入用高电流串联去偏二极管结构控制（图 3.22a）。在钳位层面，p 型发射极去偏二极管可以是内部的 LVTSCR 器件区（图 3.22b）或者是外部的单独钳位元器件。由此形成的钳位的维持电压是由二极管的个数控制的（图 3.22c）。p 型发射极去偏电路在电路中产生了一个附加压降，这可以防止 p 型发射极在低于相应电压水平下发生注入（3.22c）。这一方案的电流容量大大超过了以内部增益降低为目标的拓扑和器件级方案。

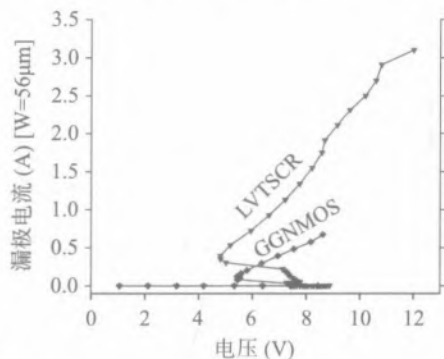


图 3.21 具有相同维持电压的 NMOS 和 LVTSCR 的对比，每条曲线的最后一个点对应于软泄漏退化的开始

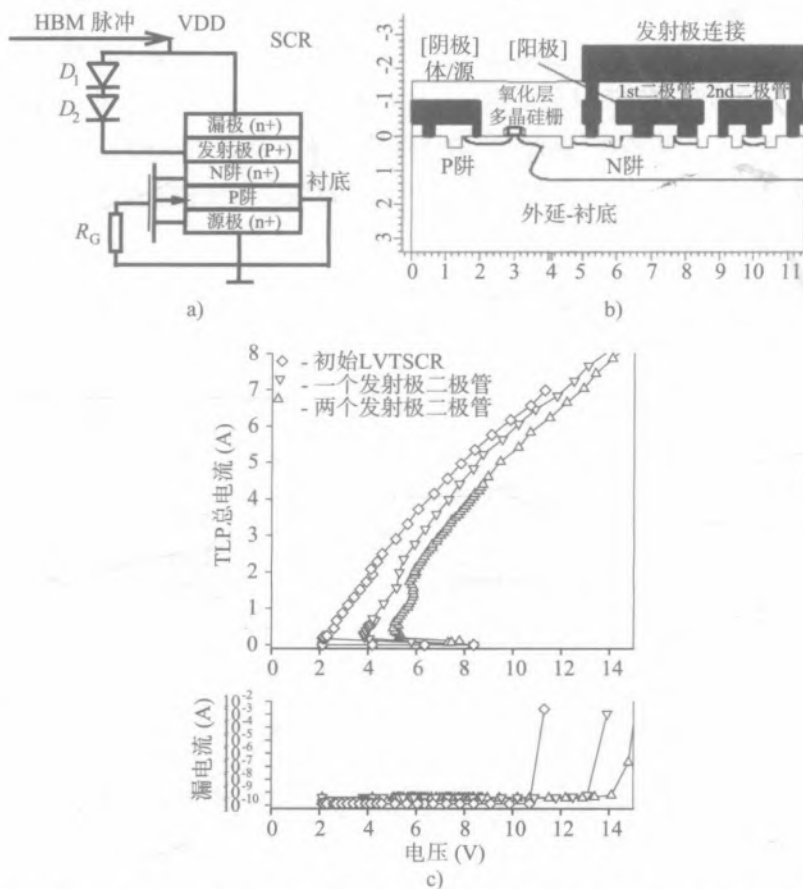


图 3.22 a) 具有发射极大电流去偏的高维持电压 SCR 简化等效电路 b) N-基区中含有嵌入二极管的器件横截面 c) 含有不同数量二极管的钳位器件 TLP $I-V$ 特性测试结果

3.2.4 低压双向器件

占用空间小和具有双向功能通常被指定为许多模拟应用的目标。这些应用包括在遭受系统级应力的便携式电子产品中的显示列驱动器、RF 输入、共模电压调整器和接口。

双向耐受的一个主要原因就是系统特殊性。当两个远程系统之间建立电连接时，每个系统的电位可能并不相同。因此在这种系统的输入-输出与地之间出现二极管是不可接受的设计。既然如此，双向 ESD 防护就成为设计选项。双向要求通常是指这样的情形，即 IC 引脚能够提供的泄漏电流要低于正偏二极管压降 ($> 1\text{V}$) 偏置下的泄漏电流，不管该偏置是高于还是低于地电位。

当系统级的电流能力、小的占用空间和高的维持电压都是设计目标时，双向器件的设计是最复杂的挑战之一。

显然，双向解决方案仅当 p 阱从 p 衬底区隔离出来可以作为一个工艺选项时才能实现。一个简单的双向钳位可以由钳位 SCR 的背靠背堆叠或 n-p-n BJT 单向钳位构成 (图 3.23a)。通过将各自的高边端口连接到浮置的中间节点，钳位器可以连接起来。显然，无论引脚是正偏还是反偏，该元器件节点必须是浮置的，以避免在衬底上形成正向偏置二极管。在正的 (相对于地) ESD 应力时，与地节点相连的钳位器提供高钳位电压，同时其余堆叠元器件提供正向体二极管电流路径。当焊盘偏置为负时，上钳位器提供高钳位电压，而直接与地相接的钳位器提供体二极管。如果钳位器没有嵌入的体二极管，则必须添加专用二极管。图 3.23a 给出了这种情形。

背靠背堆叠双向 n-p-n BJT 钳位器的一个版本 (图 3.23a) 可以用版图隔离的元器件来实现。更先进的方法是在通用单元版图上实现。带有合并子集电区背靠背的 BJT 器件的单元组合了四个交替的叉指，由四个电路元器件代表 (图 3.23a)。BE (基区-发射区) 结短路的 n-p-n BJT (BJT1 和 BJT4)，其 BC (基区-集电区) 结形成了反向路径的二极管。在正的 ESD 脉冲应力下，BJT2 依然是无源状态，电流通路由处于回滞模式的 BJT3 提供，BJT1 用作正偏 BC 结二极管。在负的 ESD 脉冲期间，ESD 电流路径通过回滞模式的 BJT2 和二极管模式的 BJT4 形成。

按图 3.23b 的排列顺序，或当二极管路径使用的两个 BJT 器件间隔较大时 (图 3.23b)，钳位特性在每个方向上简单重复了由版图隔离的 NPN BJT 的钳位之和。然而，当器件顺序按照图 3.23c 的方式重新安排并将 BJT1 和 BJT4 之间的空间减到最小时，双向 SCR 效应显现出来。在此情形下，BJT1 和 BJT4 的 p 型基区当作了 SCR 的发射区，与相应的 N 型发射区一起形成 SCR 电流路径。对于这个配置，在 $I-V$ 特性上观察到的 SCR 效应有一个较低的维持电压 (图 3.23d)。

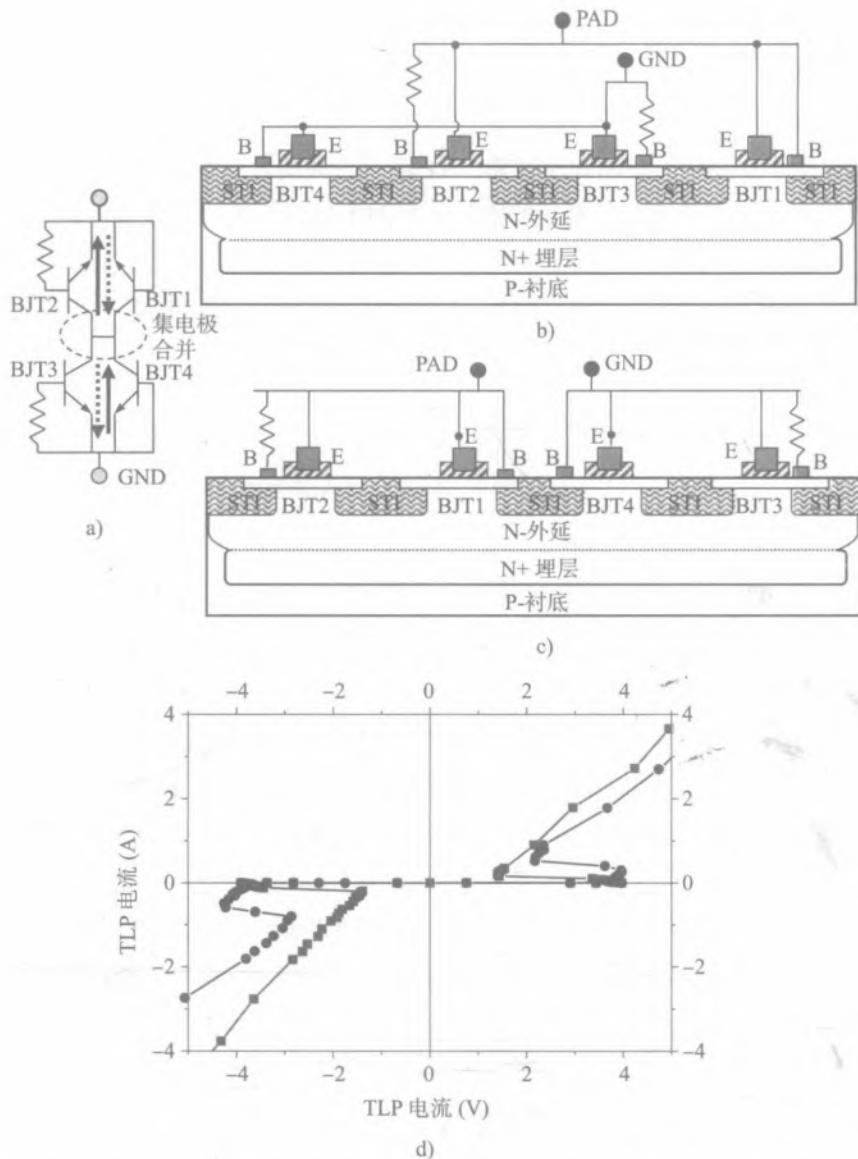


图 3.23 等效电路中 BJT1/BJT4 距离较远和距离较近的集电极合并的双向 BJT 结构横截面，两种结构的脉冲 $I-V$ (TLP) 测量曲线，分别用圆形和方块符号表示 a) 等效电路 b) 远距离 c) 近距离 d) $I-V$ 测量曲线

该实例为理解一个更紧凑的双向 SCR 设计提供了一个良好的方法。器件的中间部分（图 3.23c），BJT1 和 BJT4 的基区 - 发射区和浮置的共用子集电区，实际上是双向器件 DIAC 架构的一种特殊情形。对于具有深 N 阱（DNW）隔离的非硅化物 $0.5\mu\text{m}$ 的 5V CMOS 工艺，文献 [66] 提出了基于 CMOS 的 DIAC。下面是这种器件的两个版本，一个代表了全衬底隔离设计（图 3.24a），另一个是仅在焊盘一边器件区隔离的更紧凑设计（图 3.24b）。

DIAC 器件将两对 n- 和 p- 接触扩散与双阻断 P 阱 -N 阱结相结合。接触扩散起着电子和空穴注入和收集的作用。这些可互换的作用取决于 ESD 脉冲极性, 构成支持双注入电导率调制模式的基本 p-n-p-n 结构。对于正的过应力, 焊盘侧 p+ 扩散提供 p 发射区, n+ 扩散起着 n 基区的作用, 同时, 与 n+ 扩散相接的地以及地与地相连的 p+ 扩散分别起着 n 发射区和 p 基区的作用(图 3.24c)。

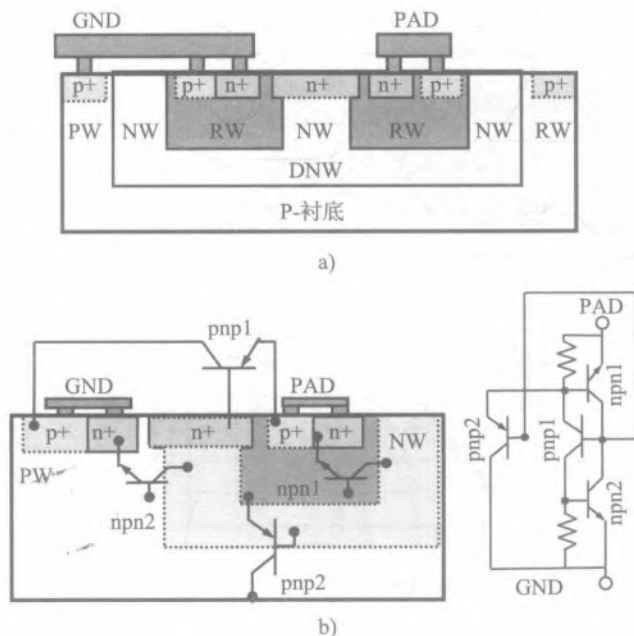


图 3.24 典型的双向 SCR 结构 a) 有 n+-p 阱的 PN-n-NP 结构 b) PN-n-PN 器件的紧凑非对称版及其集总元器件电路^[66]

每种极性的发射区和基区的顺序决定了注入载流子的水平, 因为每种情况下基区到发射区之间的电阻是不同的。由此产生的空间电荷的中和水平影响了所得到的维持电压和高电流承受能力。对于给定的工艺技术, 可以实验探索几种不同注入区长度和安排方式的单元版图选项, 以在适当的高电流性能下确定必要的维持电压范围。

紧凑版本似乎是一个合乎逻辑的选择, 因为它不需要“地”侧的 p 阱隔离(图 3.24b)。然而在 CMOS 工艺中, 这种版本的器件特性受衬底空穴收集和注入效应的影响显著。在负的焊盘应力下, 接地 p 衬底充当额外的垂直发射区的作用, 为低维持电压提供空穴注入和额外的正反馈。相反, 在正的焊盘应力下, p 衬底起集电区的作用, 为 SCR 电流通路中的注入空穴提供部分逃逸路径。这一负反馈导致维持电压增加和大电流能力的总体降低^[66]。同时, 对这些结构层面的正、负反馈机制的了解(图 3.25a), 有利于控制注入载流子之间的空间电荷中和水平, 从而达到相应的维持电压(图 3.25b)。

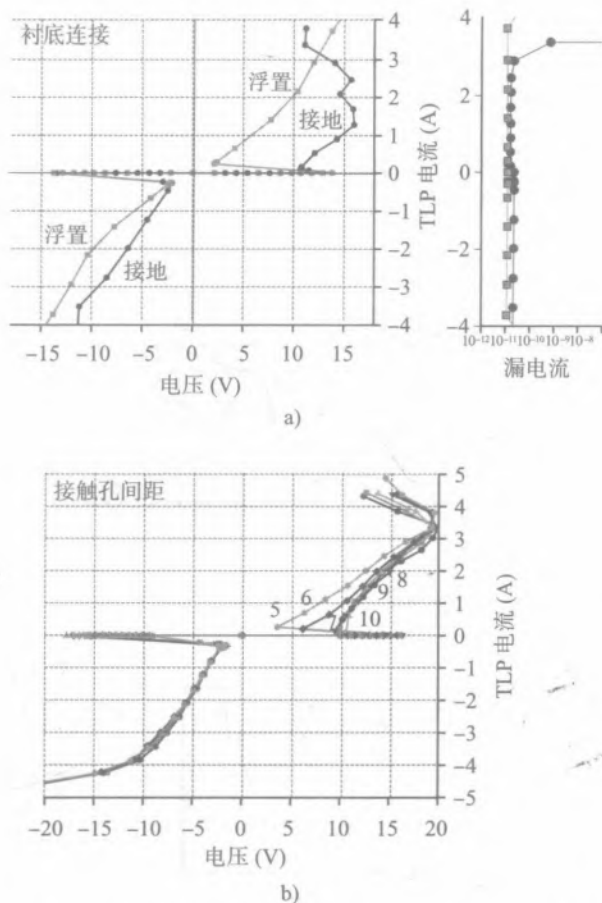


图 3.25 对称 PN-n-NP 结构的 TLP I - V 特性 a) 衬底连接条件不同 b) 接触孔之间间距缩小

3.3 系统级防护的高压 ESD 器件

有系统级要求的高压 (HV) 引脚的 ESD 防护有着较高的复杂度, 不仅是由于有大电流的要求。最具挑战性的是瞬时闩锁和芯片级高压闩锁的避免。高压闩锁将在第 4 章讨论。防止瞬时闩锁最直接的方法是在引脚处加上一个器件, 其最小通态维持电压在电源电压之上。这一要求也维持系统的稳定性, 以防止短期的电过应力 (EOS) 事件超过电压的最大极限。

一般地, 高维持电压和低维持电压解决方案都可使用, 取决于具体的产品设计。对于 HV 控制引脚或慢电源引脚, 可使用维持电压低于电源电平的回滞器件, 因为在引脚处电源不能支持触发和维持电流, 以致引发电路层面的重启和关断。然而, 对于 HV 快速瞬态引脚、热插拔要求和系统级规格, 或许要求片上 HV ESD 器件方案以提供在高于电源电平的维持电压下的大电流特性。本节重点是 HV 集成的片上器件以及 10 ~ 200 V 耐压的钳位器, 目的是提供对系统级解决方案的理解。

3.3.1 高压有源钳位

高压有源钳位基于一个驱动电路和一个 NLD MOS 阵列。一般来说, 由于 HV LDMOS 阵列需要非常大的面积, 以及在 $0.4 \sim 0.6 \text{ mA}/\mu\text{m}$ 的低饱和电流下的长漂移区, 所以 HV 有源钳位并不是一个空间高效的防护方案。对面积的另一个影响来自高压电容 (图 3.26)。相反, HV 回滞 ESD 器件的有源区仅几微米长, 却可以提供大于 $10 \text{ mA}/\mu\text{m}$ 的电流能力。所以, 只有高集成度和具有众多引脚数的模拟电路才会容忍与具有高维持电压的有源钳位器集成在一起。

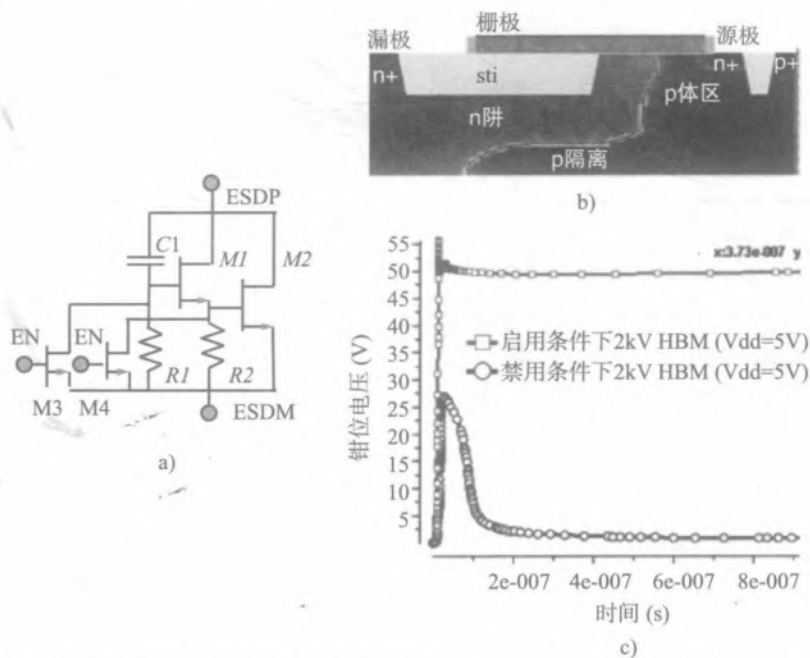


图 3.26 a) 有快速开关节点选项的 RC 触发高压有源钳位器件 b) NLD MOS FEM 器件横截面
c) 在启用和禁用状态下的 2 kV HBM 波形

有源钳位可以用基于 RC 的驱动器实现, 或实现为高边电压参考电路以开启 NLD MOS 阵列。第一种 RC 触发驱动器设计的例子如图 3.26a 所示, 采用了 DECIMM^[19] 混合模式分析。钳位的工作原理是基于高边 NLD MOS 驱动元器件 (M1) 的快速瞬时开启, 同时 R1C1 电路的电容充电 (时间常数相当低, $< 100 \text{ ns}$)。

M1 开启后, 通过 M1 对阵列 M2 栅极的快速充电在 C1 充满电前就得以实现。随着电压的增加, M1 关闭, 同时 M2 提供放电通路直至栅通过 R2 放电完毕。

这一钳位可以通过使能电路驱动 M3 和 M4 LV 器件进行控制 (图 3.26)。即使该设计能够容纳一个非常大的 M2 阵列, 在上电情况下施加系统级应力时, 这种有源钳位器也不太可能有任何实际用途。在这种情形下, 电容 C1 完全充电至引脚电压, 钳位能力在低于这一引脚偏置水平时被禁用。

一个更实用的系统级防护的设计是一个占有较大空间的有源钳位电路，该电路的栅极上拉阵列由带有雪崩二极管（图 3.27）的高边参考电路实现。一个低电流的雪崩二极管或具有适当总击穿电压的堆叠元器件，可被用于上拉驱动。

这里的钳位工作原理相当简单。当被防护节点的电压变得比高边参考雪崩二极管电路的击穿电压高时，它会引发功率管阵列的栅上拉，将阵列开启。取决于不同的产品，NLD MOS 阵列在栅过驱动模式下提供的电流是在饱和模式下的 2—3 倍。该钳位器的缺点是由击穿电压与过驱动栅偏置之和产生的钳位电压较高。

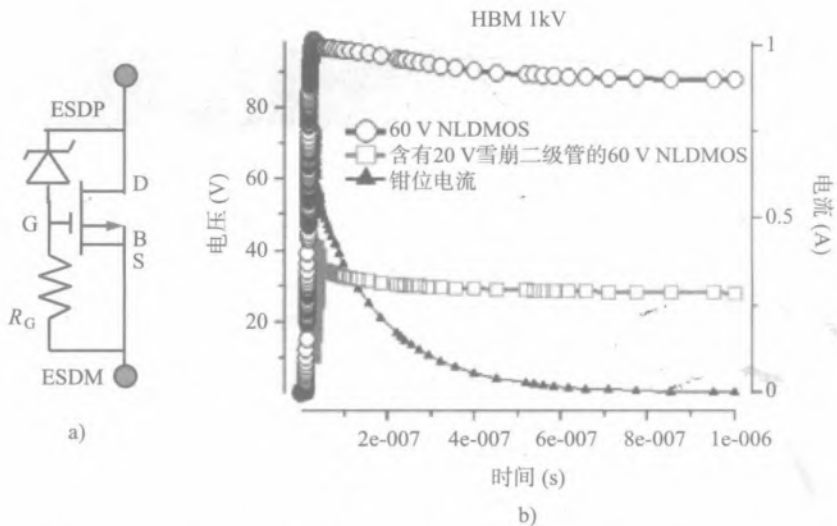


图 3.27 a) 具有雪崩二极管参考的 HV 有源钳位电路 b) 具有及没有参考雪崩二极管的 2 kV HBM 波形

3.3.2 LDMOS-SCR 器件

LDMOS 的工作原理、器件架构和改造步骤类似于 LVTSCR 器件。出发点是采用标准 LDMOS 器件代替标准 LV MOS 器件。物理差异主要是 n-p-n 或 p-n-p 嵌入结构的高压能力。

与 3.1 节描述的 LVTSCR 类似，LDMOSSCR 参考架构包括一个浮置漏和 P 型发射区以及接触漏区，这些是重用来自相应的原始 nDeMOS 或 nLDMOS 器件。nDeMOSSCR 器件（图 3.28a）或 nLDMOSSCR 器件（图 3.28b）的简化横截面显示了这一基本器件架构。图 3.28c 给出了 $0.5\ \mu\text{m}$ 扩展电压工艺 nDeMOSSCR 的实验 TLP 特性。

当工艺上类似于 n 阱的区域可以对 p 型发射区提供适当水平的隔离时，可以去除浮置漏区。类似地，取决于阱分布，相连的漏和 p 型发射区的反向定位还可以提供器件的高电流能力。对于任意的 n 阱或 n 漂移区掺杂分布和 p 型发射区长度，这些特殊情况并不总是最佳的，可能导致系统级脉冲条件的非相关效应。

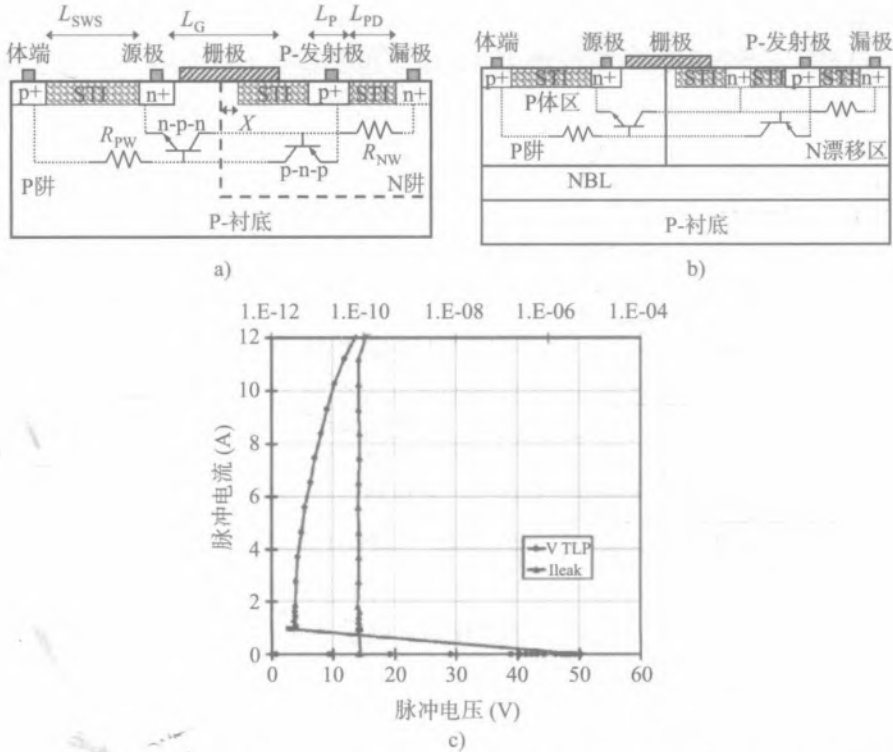


图 3.28 扩展电压 CMOS 和 BCD 工艺下的横截面示意图和用于 40V ESD 防护的 nDeMOS-SCR TLP $I-V$ 特性测试结果 a) nDeMOSSCR 的横截面示意图 b) nLDMOSSCR 的横截面示意图 c) 用于 40V ESD 防护的 nDeMOS-SCR TLP $I-V$ 特性测试结果^[67]

一般地，nLDMOSSCR 的工作是基于三阶段多米诺效应，与 3.1 节描述的 LVTSCR ESD 器件相同。它包括：（1）沟道电流雪崩倍增到某一临界电流，在内部 n-p-n 结构形成雪崩注入电导率调制和负微分电阻（NDR），（2）n-p-n 结构电流不稳定，引发取决于外部负载特性的回滞，（3）当在雪崩注入模式下产生足够的电流密度以致内部 p 型发射区 -n 型基区结导通时，EB（发射区 - 基区）结开启。在形成的 p-n-p-n SCR 电流路径中，寄生 n-p-n 和 p-n-p 结构间的正反馈完成了双注入的电导率调制。

高压 n-p-n 结构的雪崩注入不稳定在可逆器件工作中起着关键作用。如果 n-p-n 器件不能提供 p-n-p BE 结开启所需的适当电流，在回滞下的 nLDMOSSCR 将变得不可逆，根据 TLP 结果，器件在触发后会立即不可逆地失效。

这一现象的一个原因是初始 nLDMOS 中实现的源 - 体区电阻较低，其目的是为了达到最高自防护能力和雪崩能量。对接的源 - 体区版图布局经常被用于这个目的，有一个共用的硅化物有源区和一个额外的在 n 源区下的重掺杂深 p 注入。有这些设计特点的 HV 寄生 n-p-n 通常不能支持任何大电流，因为它在高倍增系数的高度非线性条件下工作，伴随着高幅值局部电流丝的空间不稳定，对器件有潜在的损伤。让 nLDMOSSCR 可逆的第一个设计步骤是分离源和体扩散区，

从而获得内部源-体区电阻，为了让电子注入达到适当的水平，使内部源-体区结能够偏置。

在低电流条件下，高压 NLD MOS 器件浮置漏终止了漂移区电场，以避免 p-n-p 结构过早穿通开启。在发射区-漏区反向定位时，这一任务是通过漏自身来完成的，但正如已经提到的，这一架构有缺陷。

NLD MOSSCR 还具有 NLD MOS 工艺技术的主要区域标准。为了得到 NLD MOSSCR，改造工艺包括改变漏扩散区以容纳浮置漏和 p 型发射区、分离 p 型体区和 n 型源区，甚至用 p 阱部分地取代 p 型体区。

如果 NLD MOSSCR 设计为工作在栅接地的钳位电路中，结构的触发可调整到被防护 NLD MOS 脉冲 SOA 的电压范围之内。通过缩减漂移区或改变其他的阻挡结参数可以做到这一点。

通常，功率优化的 HV NLD MOSSCR 器件架构是基于一个深入的 pRESURF 区域。这一区域形成一个垂直的结，除了多场板 RESURF 效应外，还提供高掺杂 n 型漂移区的耗尽。该 pRESURF 区与 p 型体区电连接。当 p 型发射区嵌入器件中时，除了所需的横向 p-n-p 结构之外，p 型发射区、n 型漂移区和 pRESURF 还构成了一个垂直的 p-n-p 结构。这一垂直 p-n-p 结构的最大 CE（集电区-发射区）结击穿电压往往比 HV nLD MOSSCR 的目标耐压低得多。因此，还需要在 p 型发射器区下对 pRESURF 进行部分屏蔽的其他设计措施。

HV SCR（图 3.29）或 PLD MOSSCR（图 3.30b）可以设计为类似于 LV SCR。PLD MOSSCR 器件的优点是潜在的高触发电流，当被防护引脚的偏置是由高阻抗电压源提供时，这有助于避免瞬时闩锁。

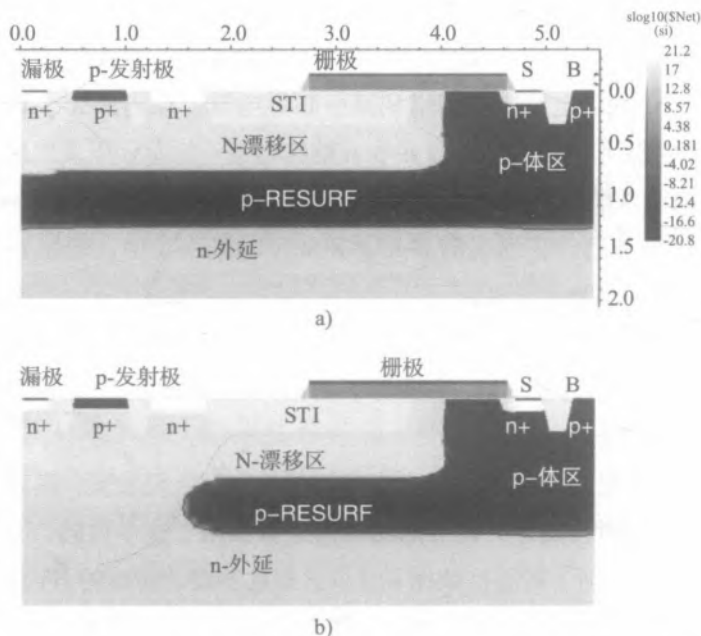


图 3.29 NLD MOSSCR 器件的 DECIMM 横截面图 a) 全部阻断 pRESURF 区域 b) 部分阻断 pRESURF 区域

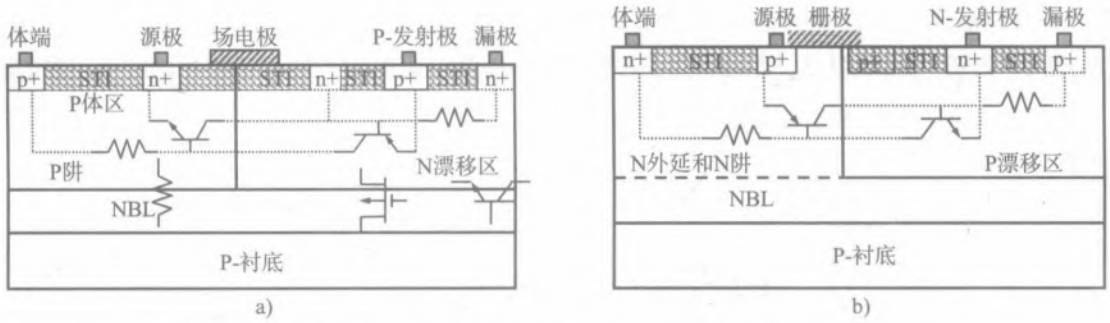


图 3.30 器件的简化横截面 a) 高压 SCR b) PLDMOS SCR

由于 MOS 控制电极的存在，NLDMOSSCR 器件是 HV SCR 的首选。

在 HV 工艺中，设计一个同时具有低 dV/dt 效应和高电流容量的 NLDMOS，往往会变得富有挑战性。这主要是因为同样的正反馈雪崩注入过程既决定了触发也决定了大电流的工作条件。

为了解决这一设计难题，在触发前有一个相当大的通道电流的钳位器可以由 NLDMOSSCR 栅电路的高边雪崩二极管构成。在这个钳位器中，回滞临界状态是在一个相对较低的倍增系数下达到的。此外，栅偏置发生后，由于电阻上的压降大于雪崩二极管的击穿电压，该钳位器拥有一个高的通道电流（图 3.31）。

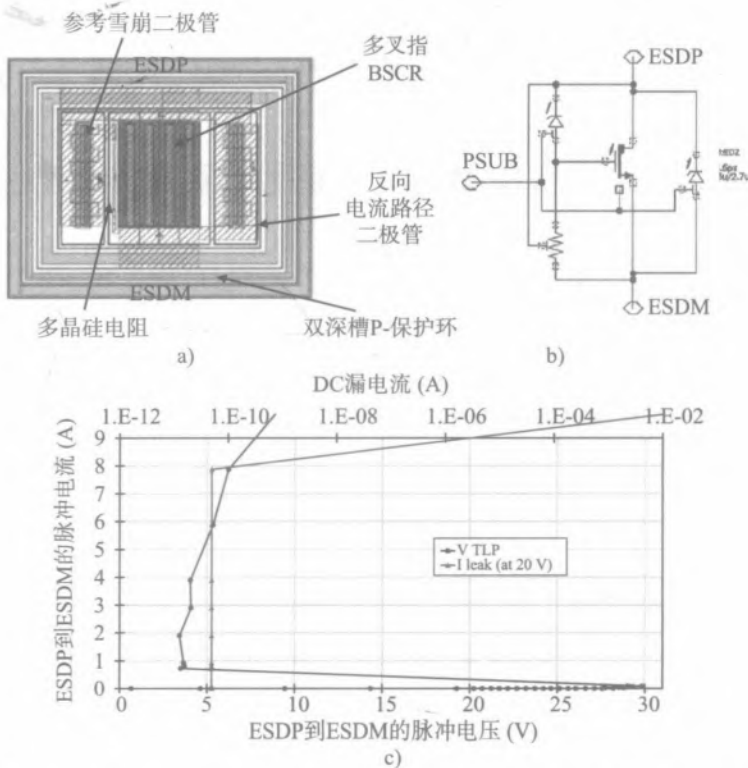


图 3.31 a) 20 V NLDMOS-SCR 钳位器件版图 b) 原理图 c) TLP 特性

与 LV BSCR 类似, HV BSCR 通过改变 HV BJT 得到 (图 3.32a)。通过不同的基区-集电区横向尺寸改变内部阻挡结, 将触发电压调整到 ESD 防护窗口内。还有, 根据 TLP $I-V$ 特性, 在钳位电压上进行了调整, 增加了一个高边雪崩二极管参考组件以在二极管击穿后产生基极电流 (图 3.32b)。

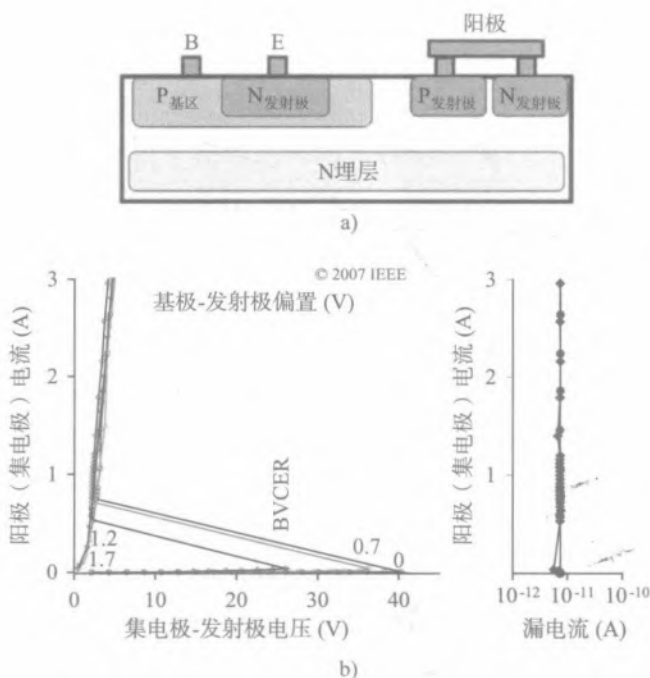


图 3.32 a) 20 V BSCR 器件简化横截面 b) 不同基极电压时的 TLP 特性

3.3.3 高维持电压 HV 器件: 雪崩二极管

在上电状态下发生系统级应力时, SCR 结构不可避免地会开启并进入低维持电压的大电流状态。如果被防护引脚的偏置电路可提供的电流大于 SCR 最小维持电流, 则会发生瞬态闩锁。

如果低维持电压的 SCR 解决方案不适用, 则设计选择将仅限于横向雪崩二极管、横向 PNP 器件、堆叠钳位, 或尝试通过适当地隔离发射区来实现一个高维持电压的 HV SCR。实验结果表明, 这些 HV SCR 器件可为 40~80 V 电压域提供一个高维持电流, 维持电压在触发电压的 20~30% 范围。

可供选择的高维持电压雪崩二极管, 最终的钳位器组装成多叉指二极管阵列形式 (图 3.33a)。在不可逆雪崩发射前, 雪崩电流可达到约 $1 \text{ mA}/\mu\text{m}$ 。然而, 过高的通态电阻使得该器件仅在作为不同 SCR 钳位开启的参考元器件时有用 (图 3.33b)。

横向雪崩二极管 (LAD) 通常是通过复用相应的 NLD MOS 区域来设计的 (图 3.34a)。设计改造包括消除源区、仅形成一个 p 型阳极, 同时调整有源区对有源区的阳极-阴极间隔 n 阱

和多晶硅 RESURF 的位置，以使单位面积的通态电阻最小。这一器件有快速和简单的优点。与横向 PNP 乃至 SCR 相比，HV 横向雪崩二极管的一个主要优点是不存在高边 p 区。这种情况消除了一个潜在问题，即当低边 n 区放置在钳位附近时，会在版图中形成 SCR 电流通路。

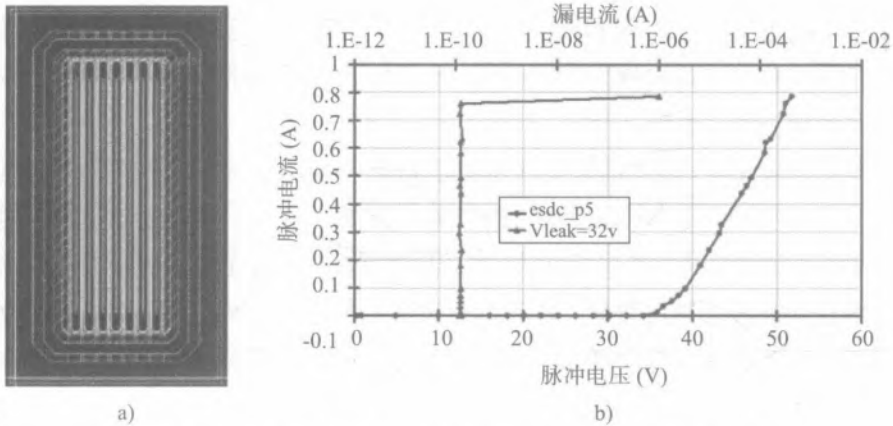


图 3.33 a) 雪崩二极管器件版图 b) TLP $I-V$ 特性曲线

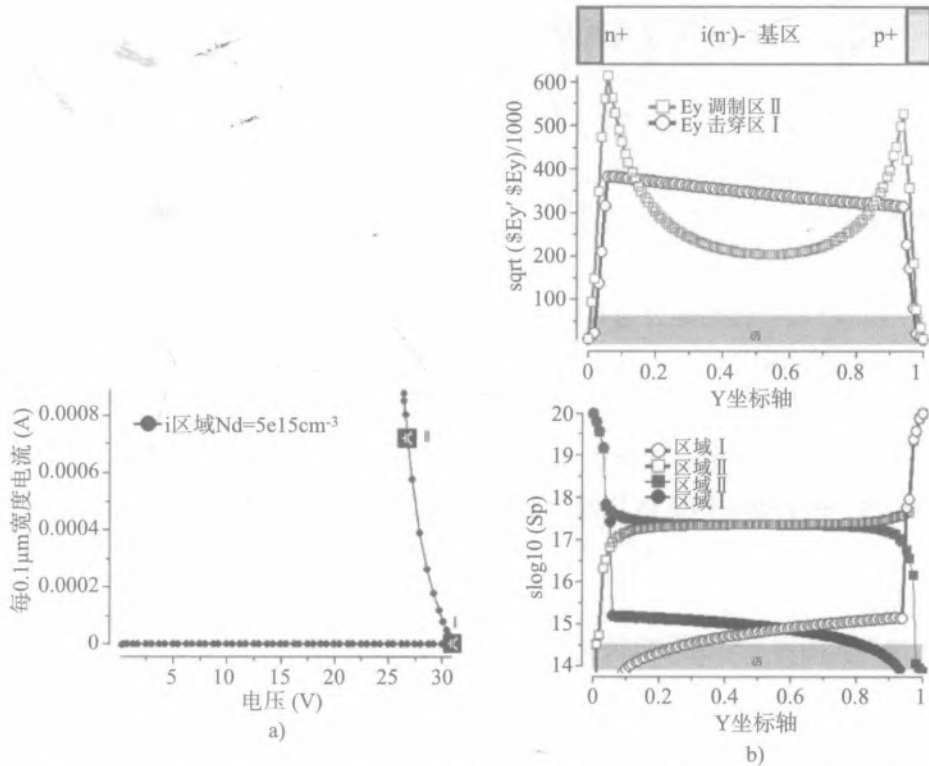


图 3.34 p-i-n 结构中的电导率调制效应 a) $I-V$ 特性 b) 在雪崩击穿状态“ I ”和雪崩注入状态“ II ”下电场强度、电子和空穴浓度的分布比较

降低表面电场 (RESURF) 效应被应用于横向雪崩二极管通态电阻的优化。另外, 在具有一定工艺兼容性的情况下, 使用替代的 $p-i-n$ 二极管架构, 可以使雪崩二极管的有源区长度大幅减少以及由此所致的空间面积大幅减小。下面给出这样一种 HV ESD 防护方案实例的描述, 以及数值分析和实验验证的结果。

与传统的 HV 雪崩二极管架构相比, $p-i-p$ 器件利用双注入电导率调制效应以维持较低的通态电阻。类似于其他类型的电导率调制效应的利用, 产生的内部负微分电阻 (NDR) 可以用来补偿结构接触区域的正微分电阻。

双极 $n-p-n$ (或 $p-n-p$) 结构的雪崩注入和晶闸管 (SCR) $p-n-p-n$ 结构的双注入都会提供相当强的正反馈。它导致大电流模式下的低维持电压 (第 1 章)。在高压器件中, 对高维持电压的接近击穿电压水平的要求实际上很难实现。因此, 对占用较大面积的横向雪崩二极管单位面积通态电阻的任何改善都是可取的。尽管漂移区有部分电导率调制, 击穿电场与电流之间有复杂的依赖关系, 一般说来, 横向雪崩二极管通常被认为是工作在雪崩击穿模式, 电流与所加电压之间是指数关系, 因而维持整个工作区范围的正微分电阻。

此外, 也有另一种电导率调制的物理机制——双雪崩注入 (第 1 章)。在有合适区域参数的 $p-i-n$ 二极管结构中可以观察到这种情况。理论上, 由于 i 区的电场呈理想的均匀分布, 这类电导率调制可用于提高 HV 雪崩二极管的电气特性。然而, 由于工作区雪崩倍增系数非常高, 恰当的雪崩电流密度水平对于实际设计来说难以实现, 这是因为缺乏结构宽度的可伸缩性^[2]。

$p-i-n$ 结构双雪崩注入的物理原理归因于在 $n-i$ 结和 $p-i$ 结处碰撞电离产生的载流子, 它们引起了在 i 区中部的空间电荷的中和。类似于雪崩注入现象 (第 1 章), 双雪崩注入现象可以用一维数值仿真进行说明, 通过比较两个区域的电场和载流子分布, 这两个区域对应于结构工作时的小电流的正微分电阻模式 (I) 和大电流的负微分电阻模式 (II) (图 3.34)。

HV $p-i-n$ LAD 设计已经通过与 60 V 0.18 μm BCD 工艺的传统横向雪崩二极管进行了实验评估。传统器件的横向阻挡结是重复使用对应 HV NLD MOS 器件原型的降低表面电场 (RESURF) 特征。初始器件设计是基于数值分析, 使用参数化混合模式仿真器 DECIMM^[19]。NLD MOS 漏区被重复使用形成 n 型阴极, 而 p 型阳极则是通过对源-体区的修正以消除源 $n+$ 扩散而形成的。RESURF 多场板和深 p -RESURF 区这两者被保留在初始隔离的 NLD MOS 器件架构中。调整阳极到阴极扩散区的间隔以及多晶硅 RESURF 的参数, 优化击穿和钳位电压水平, 以适合目标为 30 V 域的 ESD 防护 (图 3.35 “A”)。

雪崩击穿模式的通态电阻是阳极-阴极距离和 n 漂移区掺杂浓度的函数。与 LDMOS 不同, 横向雪崩二极管预计不会提供沟道区的单极电流传导的功能。所以, 为维持高击穿电压, P 型体区 / P 阱阳极注入区乃至阴极 n 型漂移区均可从器件结构中去除。设计变化的灵活性可用于获得新的高耐压器件, 器件具有占满整个阳极-阴极间隔空间 (图 3.35 “C”) 或 $p+$ 阳极和 n 漂移区部分空间 (图 3.35 “D”) 的伪 i 区。与原始传统器件 (图 3.35 “A”) 相比, 这两种器件

都可以大幅缩减阳极 - 阴极间隔, 同时仍然满足高击穿电压的要求。

当然, 为了达到最佳性能, 多晶硅和 p-RESURF 区必须改变, 以便在掺杂水平较轻的阳极 - 阴极间隔空间中支持接近于均匀的电场分布。该新设计的另外一个重要特征是浮置 p-RESURF。由于消除了 P 型体区 / P 阱区, 它是自动形成的并被要求提供伪 i 区的适当耗尽区。二极管由 p+ 阳极和 n+ 阴极接触扩散区和作为 i 区等效物理表示的轻掺杂 n- 外延区形成。如果完全去除浮置的 p-RESURF 区, 那么较厚的 n- 外延区和 NBL 区将导致击穿限制在 p+-n- 外延的水平, 仅约 30 V。

根据传统 (图 3.35 “A”) 和伪 p-i-n 二极管 (图 3.35 “C”) $I-V$ 特性数值仿真的结果, 这两种器件预计都满足大于 35 V 的高压容限目标。然而, 负微分电阻区专用于新的伪 p-i-n LAD 结构。通过使用横向图例, 容易看出, 负微分电阻形成区的横向电场和载流子分布是基于与简单的基本 p-i-n 结构相同的双雪崩注入机制的 (图 3.34)。

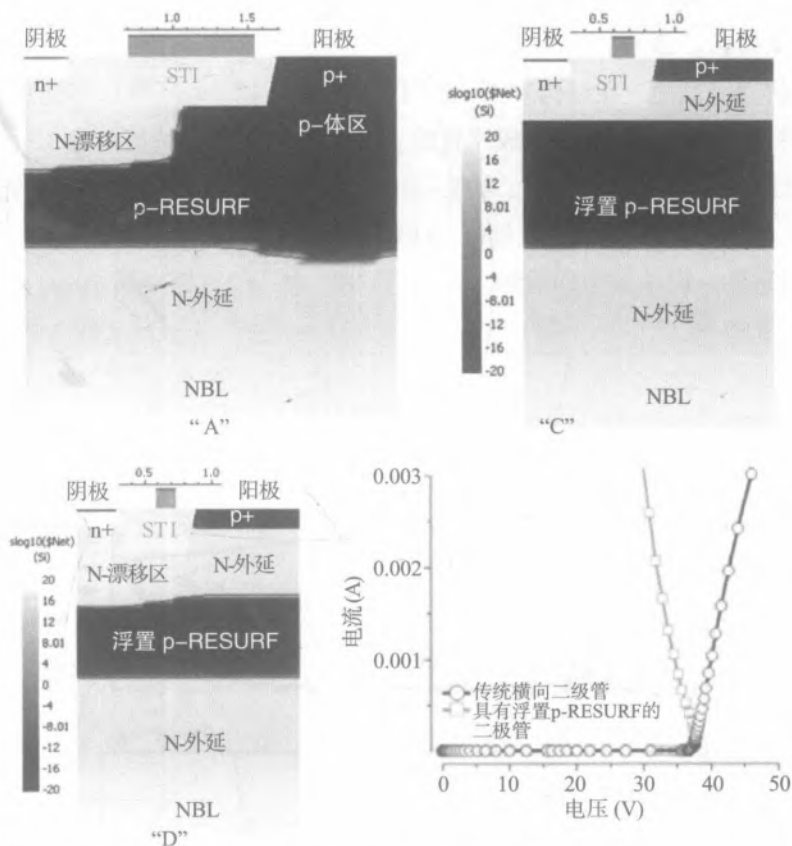


图 3.35 传统横向 “A” 和无 n- 漂移区 “C” 及有 n- 漂移区 “D” 伪 p-i-n 二极管示例, 对应于实验结构 (表 3.3) 和它们的仿真 $I-V$ 特性

虽然仿真结果给予了对击穿电气特性的高度信心, 但大电流工作只能通过实验验证。由于

新 p-i-n 器件的阳极 - 阴极有源区间隔较小, 公平的比较也必须考虑面积因素。为归一化单位面积的通态电阻, 对 LAD 钳位二极管阵列进行了实验对比, 它们面积相同, 但叉指的数目不同 (图 3.36)。

仅四个雪崩二极管钳位的实验设计足以解释观察到的主要规律。表 3.3 结合了这四个代表性二极管钳位器的设计参数与实验结果的归纳。器件 “A” 和 “B” 代表 LAD 钳位的传统设计, 有 n 漂移区、多晶硅 - 和 p-RESURF, 其特征与图 3.35 “A” 所示的仿真横截面类似。两种新型的具有浮置 p-RESURF 的伪 p-i-n 二极管由器件 “C” 表示, 类似于图 3.35 “C” 的仿真横截面。该器件完全去除了 N 漂移区。最后, 器件 “D” 类似于图 3.35 “D” 的仿真横截面。在结构 “C” 和 “D” 中, P 体区 / P 阱被隔断, 从而导致形成浮置的 p-RESURF 扩散区特征 (表 3.3, DOE 部分)。

原始的传统设计 “A” 有 26 个叉指, 阳极 - 阴极间隔 $LAC=1.7$, 指宽 $70\mu\text{m}$, 安放在固定区域。尽管约 40V 的击穿电压满足 30V 耐压目标, 2kV HBM 等效电流的钳位电压在约 54V 还是太高。阳极 - 阴极间隔是这一设计的物理限制。在结构 “B” 中, LAC 缩减到 $1\mu\text{m}$, 这将导致击穿电压降至 26V (图 3.37)。

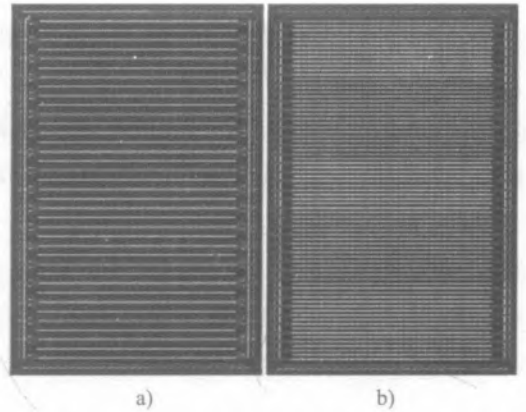


图 3.36 相同面积的传统和伪 p-i-n 二极管的有源区、多晶硅和接触层的版图
a) 传统的 b) 伪 p-i-n 二极管

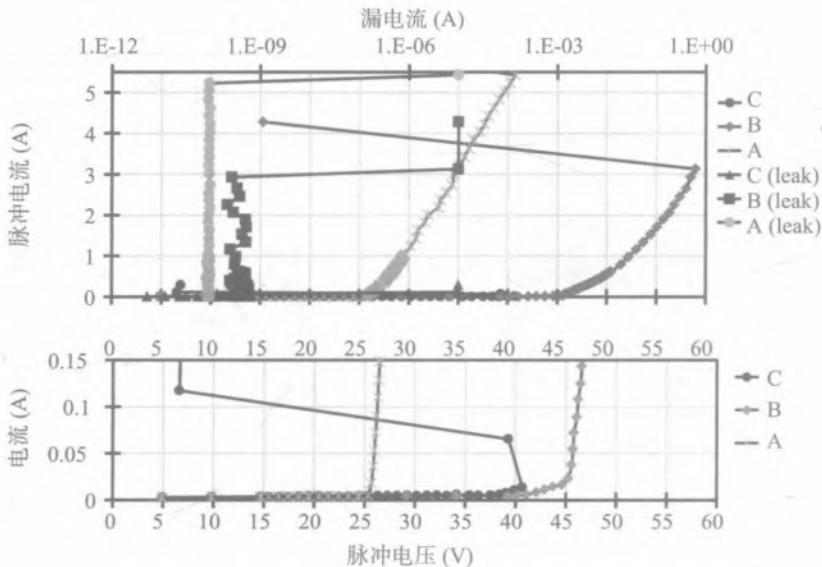


图 3.37 结构 “A”、“B” 和 “C” 的 TLP $I-V$ 特性对比

表 3.3 65 V 耐压钳位器仿真结果的比较, 用粗略估计的面积因子对源钳位归一化

图 标	钳位描述	DOE 参数										实验数据							
		叉指数 N × 宽度	阳极 - 阴极 间隔	多晶到 阳极的 长度	多晶到 阴极的 长度	有源区 上方的 P 阱长度	N 阱 长度	P 阱 长度 / P 阱	正向击 穿电压 @1 μ A	钳位 电压 @1.5A (V)	正向 I _{t2} (A)	正向 V _{t2} (V)	正向 HBM (kV)	正向 MM (kV)	负向 I _{t2} (A)	负向 V _{t2} (V)	负向 HBM (kV)	负向 MM (kV)	
A	传统 LAD	26 × 70	1.7	0.2	0.5	0.35	1.15	有	42	54.4	2.92	58.4	6.2	0.15	4.5	1.77	> 8	0.1	
B	传统 LAD 缩减版	38 × 70	1	0.22	0.22	0.35	0.6	有	26	30.8	5.22	40.2	> 8	0.15	4.8	1.94	> 8	0.1	
C	新的浮置 P-RESURF 二极管, 有 N 阱和 多晶硅	38 × 70	1	0.22	0.22	-	-	无	37		0.06	39.3			8.1	1.29			
D	新的浮置 P-RESURF 二极管, 无 N 阱和 多晶硅	38 × 70	1	-	-	-	0.6	无	38	41	1.79	41.8	4.3	0.25	13.7	1.17	> 8	0.25	

正如仿真结果预期的，约 37 V 的高击穿电压在浮置 p-RESURF 架构的伪 p-i-n 二极管“C”和“D”中确实满足了需要（表 3.3，实验数据部分）。然而，只有二极管“D”提供了合适的高电流能力（图 3.38），而二极管“C”在回滞后立即失效（图 3.37）。二极管“D”具有完全阻断的 n 漂移区，提供了一个相当不错的钳位电压（约 42 V）以及 S 形 TLP $I-V$ 特性，该特性可用双扩散注入现象予以解释。表 3.3 表明，HBM 和 MM 测试结果与 TLP $I-V$ 特性一致，从而验证了新器件的可用性。

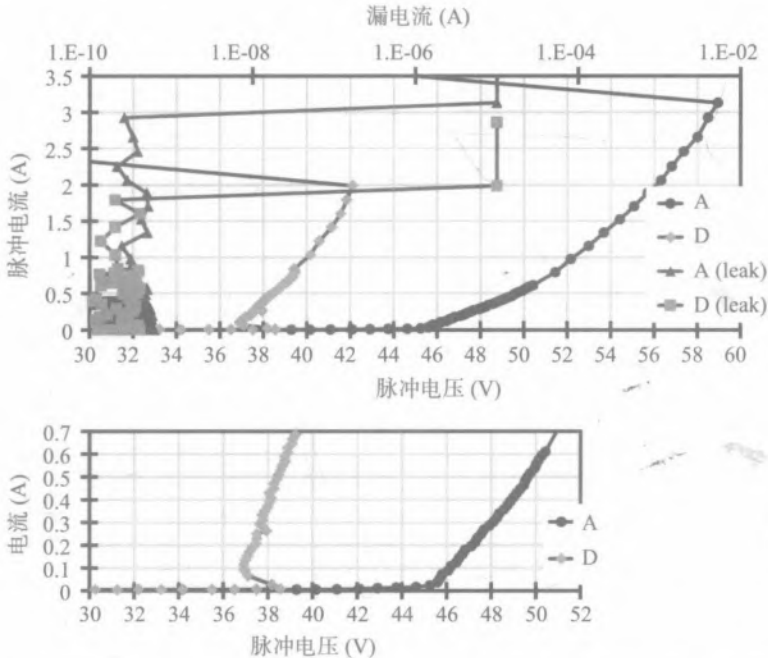


图 3.38 传统结构“A”和新的类 p-i-n 结构“D”的 TLP $I-V$ 特性对比

因此，需要回答一个重要问题，为什么钳位“C”的大电流性能较差，而有部分 n 漂移区的钳位“D”可提供足够大的电流能力。解释实验结果的主要假设是基于 n 漂移区的镇流效应。确实，在 p-i-n 结构（图 3.34）以及伪 p-i-n 横向二极管“C”（图 3.35c）中，电流密度被局限在一个相当高的水平，仅由 n+ 和 p+ 接触区的饱和电流提供。在大电流负微分电阻状态下，由于电流和维持电压之间的强正反馈，可形成很窄的电流丝并很快就会达到器件局部烧毁的一个临界幅值。在这种电流密度下，结构的快速局部过热实际上是在绝热条件下实现的，器件的瞬时局部损坏随即到来。

LAD 器件“D”包含 n 漂移区，后者起局部负反馈元器件的作用，由于相应的电压降，将电流丝的幅值限制在了局部水平上。

为了从 2-D 仿真说明这种非线性现象，对分布的 p-i-n 结构（图 3.34）进行了修正以包括一个附加的 n 区以代表 n 漂移区部分（见图 3.39）。最终结构有 10 μm 的接触宽度，受 X 方向

氧化区域的限制，包括在具有脉冲电流源的混合模式电路（图 3.39a）中，并在 $1\mu\text{m}$ 的阳极 - 阴极间隔下，针对不同 n 漂移区长度进行仿真。在有限元模型中出现的数字噪声提供了一个实际非均匀性的物理等价物^[4]。这使得空间电流不稳定的数值求解成为可能，以得到的电流细丝的形式表示^[4]。

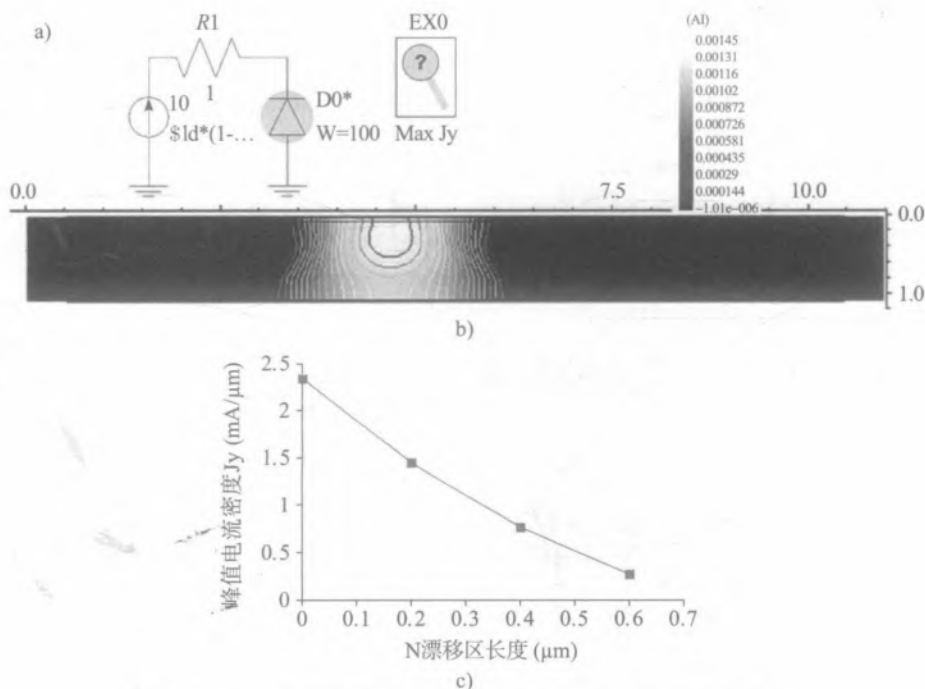


图 3.39 a) 电流丝分析的混合模式电路 b) 瞬态电流分布
c) 结构中峰值电流对 n - 漂移区长度的依赖关系

在瞬态过程中，器件初始的均匀电流分布在最初的几纳秒后就变得不稳定，导致自发的电流丝状态的形成（图 3.39b）。电流丝幅值可以作为 n 漂移区长度的函数来计算（图 3.39c）。因此，在这种伪 p - i - n LAD 中， n 漂移镇流区的重要角色有点类似于在回滞 NMOS 结构中的漏镇流区。这就解释了在无 n 漂移镇流区的器件“C”与有此功能的“D”之间高电流能力的差异。

因此，具有浮置 p -RESURF 区的高维持电压横向伪 p - i - n 雪崩二极管的新设计，可以作为改善雪崩二极管特性的少数方法之一，正如以上仿真和实验结果都显示的那样，它是系统级高维持电压的解决方案。

由于去除了非自对准的 p 阱注入，这种新设计有望实现对掩模对准的低敏感度。本章最后一节将会更详细地讨论这方面的问题。

3.3.4 横向 PNP ESD 器件

可替代横向雪崩二极管的更有效的高维持电压器件是横向 PNP（LPNP）。这种器件版本是

针对智能功率技术的 HV I/O 防护而提出的^[67-70]。

从横向雪崩二极管中再设计 LPNP 器件(图 3.40a)包括在 p 型发射区中嵌入二极管,同时,在版图层面对接触扩散区面积做最小化处理。

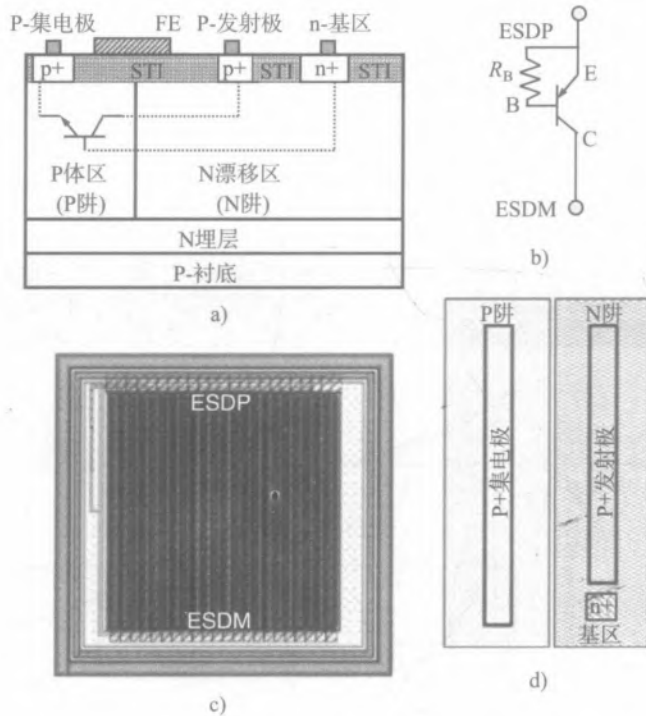


图 3.40 a) 横向 PNP 简化横截面 b) 横向 PNP 原理图 c) 横向 PNP 实际钳位器版图 d) 横向 PNP 版图的局部放大

雪崩二极管的阴极和阳极分别变为 n 型基区和 p 型集电区,而双 RESURF 架构的 HV 阻挡结在这两种器件中依然相同。LPNP 的通态电阻比 HV 横向雪崩二极管的低得多,在布局上受限制的局部 n 型基区接触扩散提供了额外的单位面积电阻(图 3.40d)。

LPNP 添加了一个内部增益和长 n 型基区的雪崩注入电导率调制^[67]。后者提供一个“弱”S 形,与高通态电阻相反,给出了更垂直的 $I-V$ 特性(图 3.41)。使用一个基极-发射极电阻 R_B 可增加钳位内部增益;然而,该措施去除了有效的集电区-基区反向通路二极管。反向电流路径仍然由内部横向 PNP 双极结构与互换的集电区和发射区扩散提供。

在 LPNP 中,电导率调制是长 n 型基区的雪崩注入所致^[70]。负微分电阻区被雪崩击穿的正微分电阻和饱和区压降减弱或完全掩盖。由于硅中电子和空穴迁移率的差异,LPNP 载流子的平衡导致维持电压较高。

对于具有最小有源区长度的 HV 器件的最优设计, $I-V$ 特性需要使用 TCAD 工具进行仔细优化(图 3.41)。

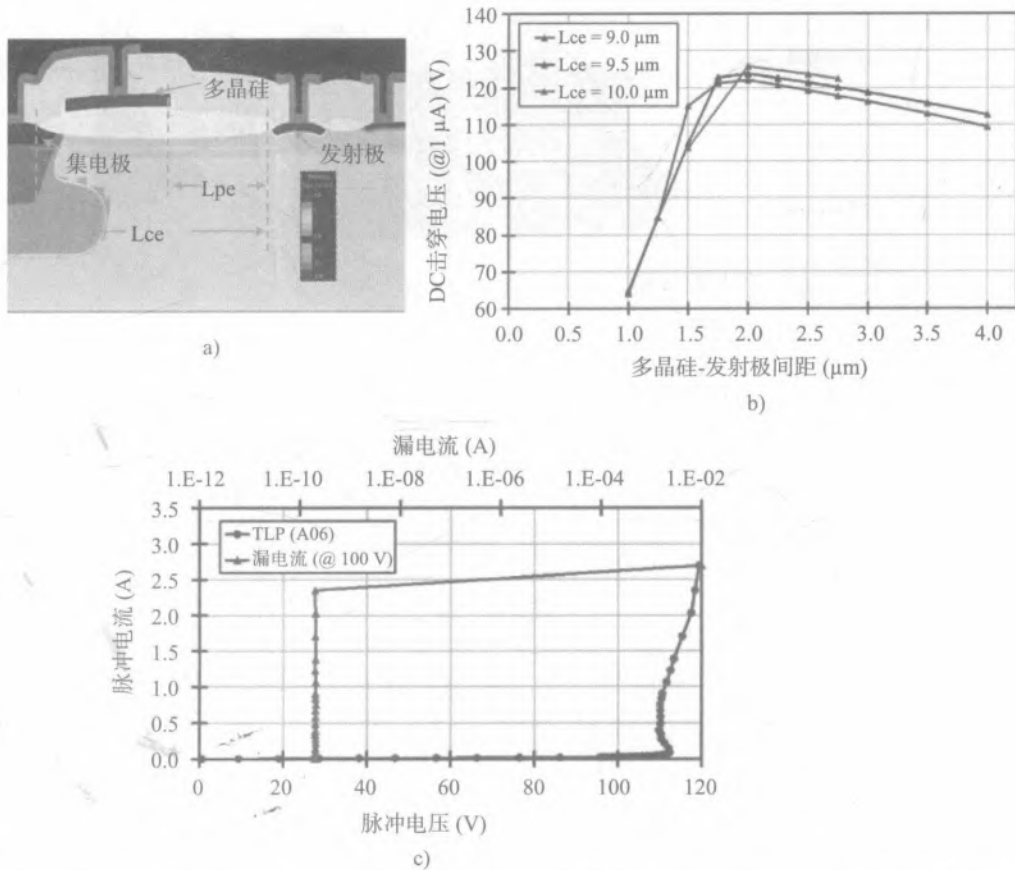


图 3.41 击穿电压优化例子 a) FEM 100V LPNP 器件横截面 b) 计算的基极 - 集电极击穿电压对场电极位置的依赖关系 c) 有源区宽度为 4 mm 的钳位器件 TLP I - V 特性 (b 图的两条曲线分不出来。——译者注)

对于堆叠方案，回滞钳位可由相同元器件堆叠产生，或由不同维持电压的多种元器件产生。当相同元器件堆叠时，只要实际布局中没有寄生路径形成，钳位值就简单地为单个钳位维持电压的倍增。这一方法应用于下一节的双向器件中。这种情况的缺点是触发电压也相应增加。

这一问题可通过将具有较高正微分电阻的非回滞钳位元器件与低维持电压回滞元器件相结合的方法予以解决。基于 DECIMM 工具^[19]的参数化混合模式仿真的方法可用图 3.42a 的电路进行说明。该电路提供一个回滞钳位，由宽度 $W=5 \text{ mm}$ 的较宽的横向雪崩二极管（图 3.42b）和 $W=100 \mu\text{m}$ 的较小的 LVTSCR 结构（图 3.42c）组合而成。雪崩二极管提供较高电压的雪崩击穿及较高的正微分电阻（图 3.42d）。所以，为了将钳位电压纳入 ESD 防护窗口的范围，需要对宽度进行显著缩减。相反，LVTSCR 给出的回滞特性具有触发电压约 10 V、阳极维持电压约 2 V（图 3.42d）。由此而来的堆叠钳位特性（图 3.42d）是正和负微分电阻补偿的结果，倾向于所需的更垂直的 I - V 特性。

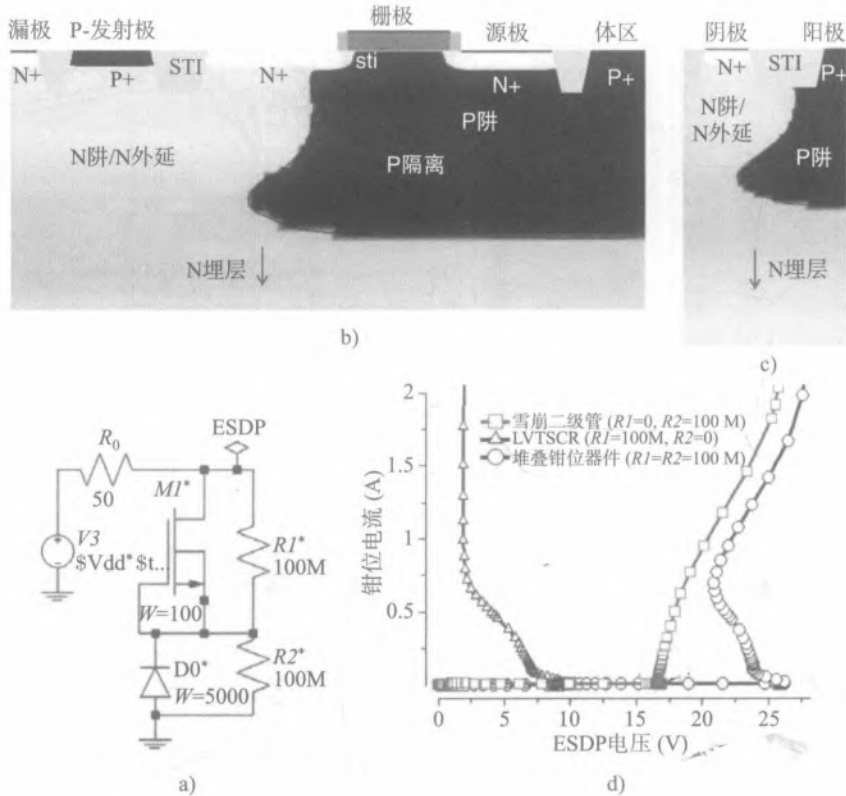


图 3.42 混合模式电路展示堆叠 HV 钳位器件由 LVTSCR 和横向雪崩二极管组成及分立钳位器件和整个钳位器件的 $I-V$ 特性对比 a) 混合模式电路 b) LVTSCR c) 横向雪崩二极管 d) 分立钳位器件和整个钳位器件的 $I-V$ 特性对比

3.3.5 HV 双向器件

高压版本的双向器件是基于与以前描述的 LV 双向器件相同的钳位原理设计的。同样的方法可以用于组成一个背靠背的堆叠钳位器，用 HV nLDMOSSCR、横向 PNP 或雪崩二极管单向钳位，只需通过合并和浮置 n 型外延区，或通过浮置在分开的 n 型外延区中的金属连线即可。在这种类型的堆叠钳位设计中，由于堆叠钳位间不完美的隔离，钳位元器件相互间的作用可能会引起较大的意想不到的问题。

尽管如此，对于系统 ESD 应力电流水平，节省空间的主要方案是 DIAC 器件。就 HV 系统级架构而言，DIAC 是十分有利的，因为它重复利用了长阻挡结区的芯片空间。

HV DIAC 的 HV 双阻挡结可通过横向 n 阱、p 阱、p 体区或 n 漂移区排列为 p-n-p (图 3.43a) 和 n-p-n 次序 (图 3.43b) 而形成。这两种器件的一个主要改进步骤是原始 NLDMOSSCR 元器件的背靠背堆叠。通过合并两个 NLDMOSSCR 钳位的漏区、重复利用共同的 n 漂移区以使在相应偏置方向上的两个结形成耗尽区，具有 p-n-p 横向阻挡结的 DIAC 得以创建出来。

理论上, 体区可以合并 (图 3.43b)。在这种情形下, 器件需要两个漂移区。然而, n-p-n 阻挡结排列的 DIAC 通常并不可行。由于高边体区从 p 衬底中的隔离往往不很充分, 该架构仅在 SOI 工艺中有实际应用价值。所以, 只有 p-n-p 双阻挡结的 DIAC 架构才是实用的器件方案 (图 3.43a)。

类似于 LV DIAC, HV DIAC 结合了 n+ 和 p+ 接触扩散区, 起了 SCR 基区和发射区的作用, 具体取决于电流方向 (图 3.43a)。

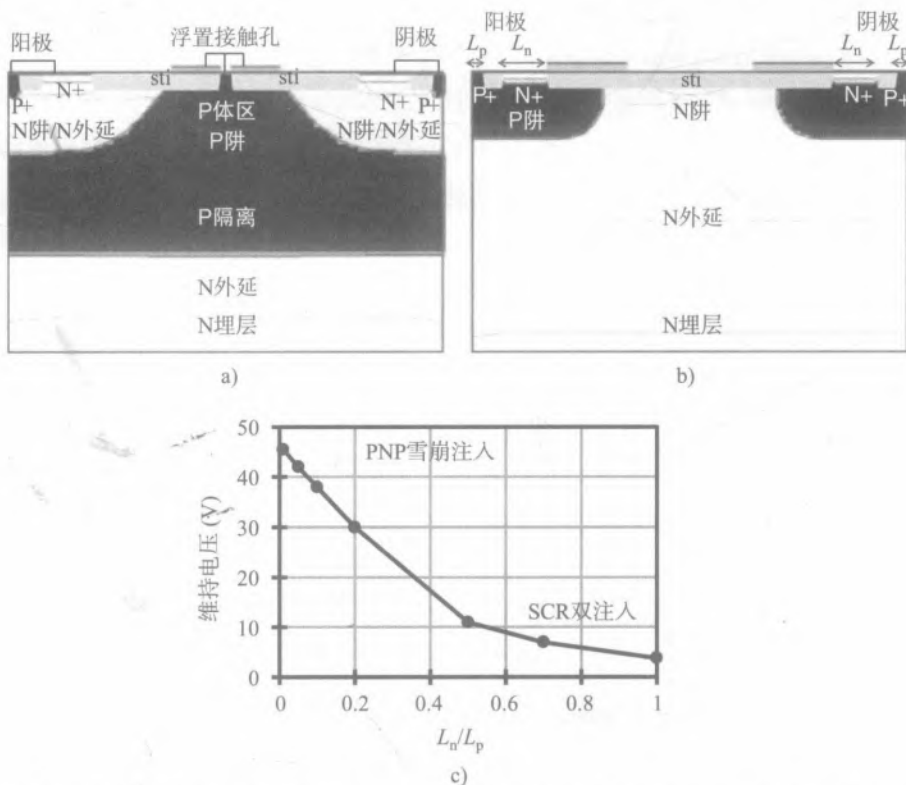


图 3.43 具有 p-n-p 和 n-p-n 双阻塞结的 FEM HV DIAC 器件横截面及维持电压对注入比例的依赖关系
a) p-n-p b) n-p-n c) 依赖关系

当有高维持电压要求时, 同时在两个电流方向实现高击穿电压和高电流能力这一挑战性任务变得更加复杂。这个问题在器件横截面设计的 2D 层面不能得到切实解决, 需要一个拓扑解决方案。

版图层面的解决方案基于叉指接触区的形成, 在结构中平衡载流子注入和收集。这样的平衡可使结构中的电场分布最优, 同时依然保持较高的 ESD 电流能力 (图 3.44a)。注入区最佳的 n+/p+ 接触扩散长度比通常在 5~10 的范围内 (图 3.44b)。

经过为平衡注入电流和内部电场分布而精心设计后, 可获得两个方向的 DIAC 单元 TLP $I-V$ 特性 (图 3.45)。

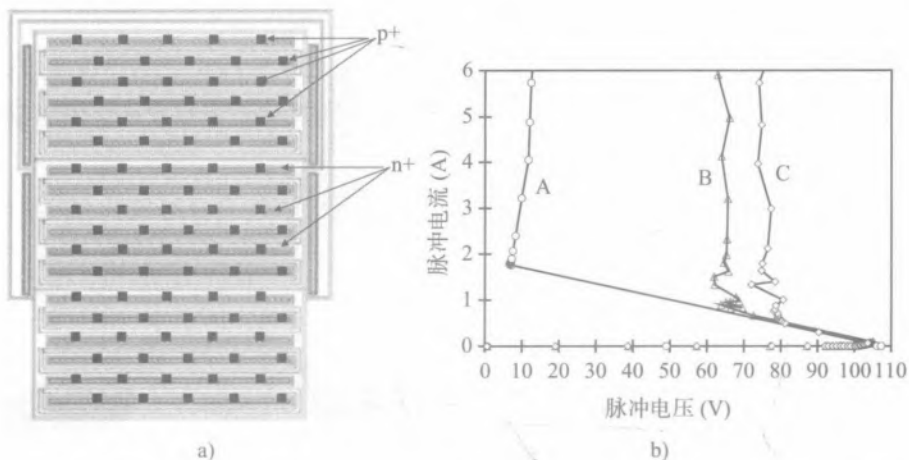


图 3.44 a) 具有叉指式注入的三堆叠 DIAC 单元形式的 60 V 耐压高维持电压器件方案版图设计实例
b) 实验 TLP $I-V$ 特性, 器件“**A**”——固定 $n+$ 和 $p+$ 扩散条, 无叉指; 器件“**B**”——叉指器件, $p+$ 面积 20%; 器件“**C**”——叉指器件, $p+$ 面积 10%

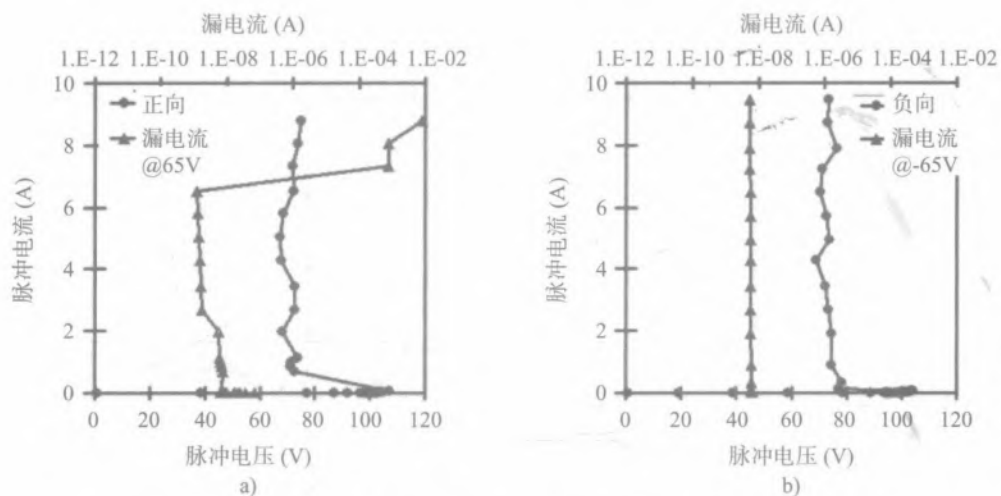


图 3.45 双向器件 TLP $I-V$ 特性 a) 正向 pad 电流 b) 负向 pad 电流

3.4 ESD 单元设计原理

在 HV 系统级 ESD 单元设计中, 一个主要的挑战是获得适当的脉冲式独立宽度缩放。某些特定工艺技术的器件可以在较小的结构上提供相当高的电流密度。但是, 对于系统电流大小和性能来说, 宽度和阵列缩放是显著非线性的。

另一个意想不到的副作用是较高的测量电流、接触式 IEC 脉冲的合格水平和空气隙脉冲性能之间的不相关性。这个不相关性伴随着所谓的“窗口效应”, 所设计的单元能通过低的和高

的 ESD 脉冲水平，但在一些中间范围失败。

结构宽度缩放的非线性性能的主要原因与电流拥堵效应有关，起因在于在特定的单元和产品中的布局不平衡、多叉指开启效应或一个非有意设计的“潜在”电流路径。最后一类现象将在下一章讨论。本节讨论可应用于单元设计的具体措施。

3.4.1 不受欢迎的多叉指开启效应

大电流器件和钳位器的布局是 ESD 钳位设计中相当重要的部分。拓扑自由度主要用于实现钳位器合适的性能，也能极大地影响 ESD 单元的大电流特性。本节主要集中于器件级前后端的 ESD 单元布图，而以下部分将对单元金属化设计有所启示。

成功的系统级 ESD 钳位的实现兼顾了多方面的考虑：器件宽度大小、横向隔离、与衬底的纵向隔离、通过保护环进行的门锁隔离、电压参考的钳位水平设计、动态耦合以及更“智能的”驱动电路实现。

有源 ESD 器件钳位的常见布局是多叉指分布阵列。确保所有叉指在 ESD 脉冲条件下同时打开以及在单元层面上电流的平衡是颇具挑战性的。HV 器件特别需要将阵列叉指的 3D 设计、金属化问题和驱动电路连接等考虑进去。从这个角度看，当系统级宽度需要缩放时，ESD 器件的所有叉指都应该在同一外延区的共享空间内缩放，而不是并行实例化几个彼此隔离的器件。这一设计原则保障了在总宽度较大的 ESD 器件阵列中，所有叉指都会开启。

一般来说，很难期望任意 ESD 钳位器件阵列都是绝对对称的。从控制电极到驱动器有不同的连接路径，整个阵列中的共享元器件需要的空间较大以致不能为每个叉指带来相同的安排、相同的横向隔离环距离，有些甚至没有被金属连接到。

在很多情况下，LV ESD 器件阵列的有源区被设计成具有公共阱区连接或外延连接，具有多个有源区叉指。重要的是要认识到，在这种情况下，由于从公共区域到每一个叉指的有效电阻不同，ESD 阵列内的电流分布已经不均匀了。例如，在具有公共 n 型体区接触扩散的非回滞 PMOS 单元中（图 3.46），多叉指设计导致在宽度缩放时的单元容量不同。

对在每一个有多晶硅栅的有源叉指上均匀地放置一个 n 体区连接的大面积单元（图 3.46a），和一个更紧凑的带有 10 个栅的场效应 MOS 管横截面（图 3.46b）做物理等效的仿真比较。它们具有相同的总宽度，在仿真中用缩放因子 W 进行归一化，具有公共 n 体区（图 3.46b）的单元比体区添加到每个有源叉指的单元在性能上要逊色 20%（图 3.46c）。一个较小的附加漏镇流区可提高几乎两倍的电流能力。这与实验结果相吻合^[71]。

一般来说，ESD 单元设计不能基于这样的假设，即任何单一叉指在电导率调制模式的开启必然会，或者至少最终会导致一些耦合或相互作用的效应，将阵列中所有叉指都带入开启状态。换句话说，开启的多米诺效应不一定总是会在 ESD 器件阵列中出现，特别是在触发电压极大地超过维持电压的 HV 回滞器件的情形下（图 3.47）。这一效应的演变是不同脉冲类型和负载的

ESD 单元动作不一致，以及已经提过的窗口效应。

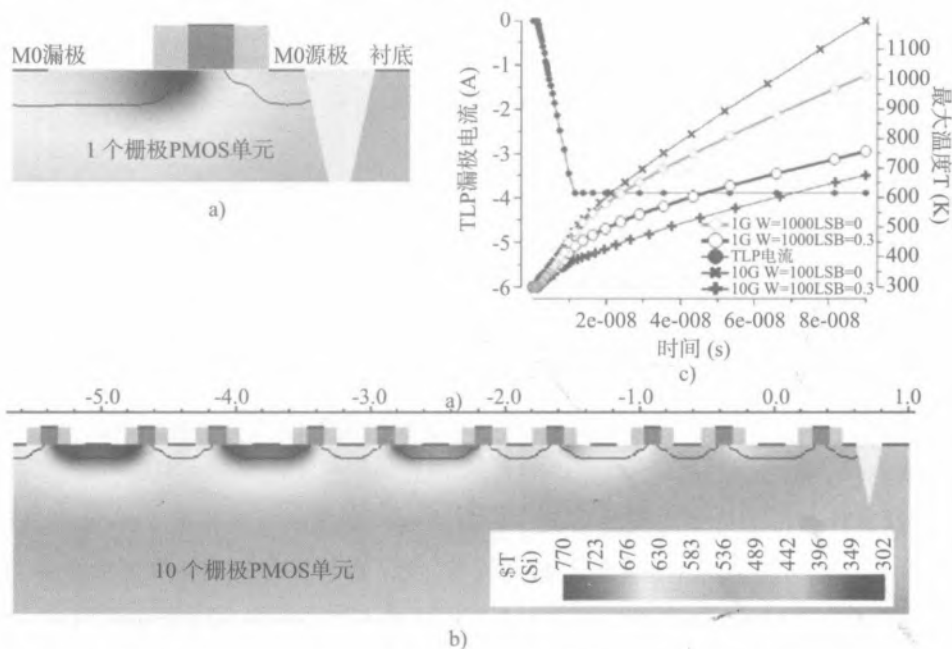


图 3.46 具有共 n 体区的 2V 0.13 μm PMOS 单元电流再分布的热耦合混合模式分析 a) 单叉指器件 b) 多叉指器件 c) 两种器件在相同归一化宽度下温度与时间的关系

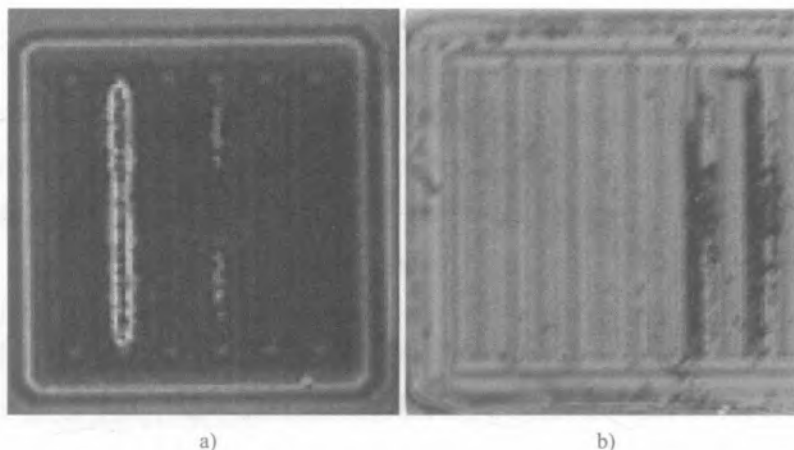


图 3.47 a) 在可逆的工作条件下，一个 ESD 单元在 HMM 脉冲下的背面发射 b) 通常一个叉指开启几个叉指烧毁的单元视图 (由托德·米切尔提供)

与多叉指效应相反，在同一个叉指内的局部开启（例如，在叉指的中部或末端）及进入高电导率状态，实际上保证了注入载流子的扩散将随着电流的增大而横向传递，直至整个叉指都处于开启状态（图 3.47）。

在 SCR 器件中, 当叉指间的耦合较弱时, 电导率调制电流沿单叉指的传播导致了具有低维持电压的大电流状态的形成。以下场景取决于触发电压 V_{T1} 和最大电流的临界电压 V_{T2} 。如果 V_{T2} 超过 V_{T1} , 那么在初始叉指电流饱和后, 另外的叉指也会开启, 随之电压下降到同一水平。在这种情形下, $V_{T1}(t, I_{inj})$ 随上升时间和内部注入电流的不同而变化。对于 HV SCR 器件, 尽管来自已开启叉指的内部注入电流使 V_{T1} 明显减小, 由此引起的关态叉指 (未开启叉指) 的 $V_{T1}(t, I_{inj})$ 仍将远远高于维持电压 V_H 。

这种非同步的叉指开启可能会产生对应于不同叉指导通态的多个 S 形区域^[72]。文献 [73-74] 在 TLP 和 HBM 应力下研究过多叉指 NMOS 和 SCR 的不一致开启。通常, HV SCR 的 $V_{T2} < V_{T1}$, 所以, 可以预期第一个叉指的烧毁是在 ESD 器件阵列中其余叉指参与进来之前。类似的推测同样适合于用两个彼此独立的 ESD 回滞钳位器来增加总的钳位电流时。

另一方面, 如果每个叉指至少局部或部分开启, 接下来的电流增长将会伴随着一个均等的阵列开启工作。由于脉冲自身的波形不同, 可以假设, 这一现象是, 在接触式和空气隙式系统级脉冲的应力结果之间, 实验观察到具有非相关性情况下, 实现的。

在接触式 IEC 61000-4-2 应力的情形下, 第一个快速短脉冲峰 (图 3.48) 确保了所有叉指的开启, 然后在脉冲的其余部分期间, 电流密度均匀地再分布, 提供最大电流能力。相反, 在空气隙 ESD 缓慢脉冲的情况下 (图 3.48), 第一个开启的叉指将电压钳位在较低电平处, 限制了其余叉指参与进来, 从而将整个阵列的电流能力限制在了单一叉指的水平。

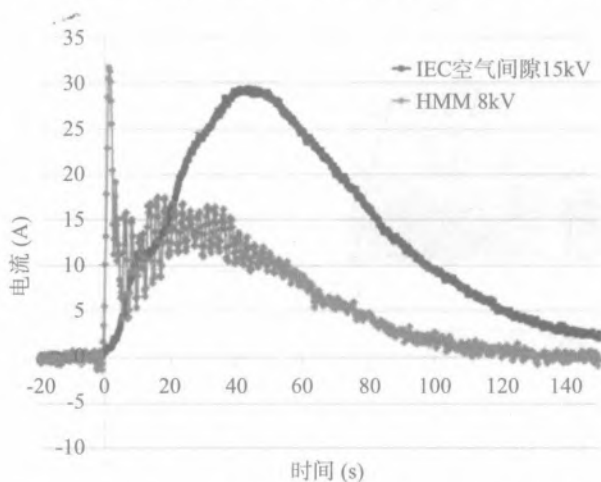


图 3.48 在 8 kV HMM 接触式和 15 kV 空气隙应力下产生的实验电流波形

文献 [75] 基于工具 DECIMM^[19], 采用实验和数值仿真分析, 研究了多指 HV NLDMOSSCR 器件的系统层面单元设计的这一“基本”效应。确实, 根据实验结果, 该器件已被证明有可能在 50Ω TLP 和 HMM IEC 接触式脉冲下以预期的高电流性能均匀触发 (表 3.4)。相反地, 空气隙式 IEC 脉冲合格水平与这些结果没有关联, 表明这是与脉冲类型相关的操作 (表 3.4)。

表 3.4 TLP/HMM/IEC 空气隙下 SCR 的实验结果

单元名	Vtrig (V)	Vh (V)	Ii2 (A)	HMM (kV)	空气隙 (kV)
单元 A	95.6	6	> 25.2	12	3.5
单元 B	89.3	4.8	> 26.4	11	4.5
单元 C	80.5	4.8	> 26.4	12	5.5
单元 D	69.4	4.7	> 26.4	12	4.5

叉指非均匀触发所致的对 ESD 脉冲类型敏感这一效应, 可用接触式快脉冲应力和空气隙 IEC 慢脉冲应力的数值仿真予以再现。对于 DECIMM 混合模式分析, 参数化 4 叉指 HV NLD MOS SCR (图 3.49a, 图 3.49b) 在混合模式电路中用对应的接触式 HMM (图 3.49c) 和 IEC 空气隙式 (图 3.49d) 脉冲子电路进行了研究。为引入物理上等价于单元不对称性的一个因子, 电路中包含了一个备选的独立栅接地电阻 RGS (图 3.49c, 图 3.49d)。

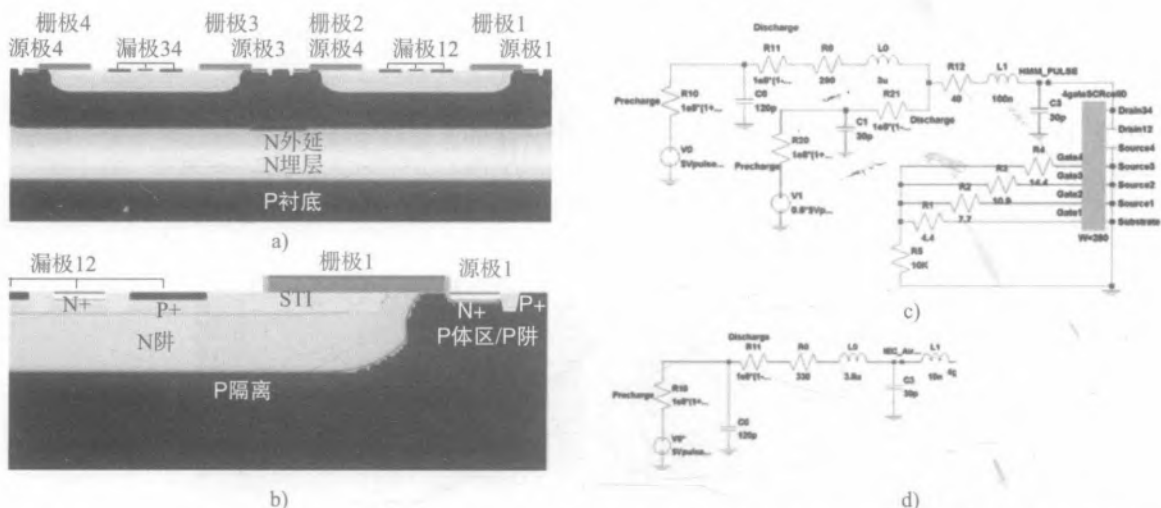


图 3.49 a) 4 叉指 SCR 横截面 b) 叉指 1 放大图 c) 具有接触式器件的 HMM 脉冲混合模式仿真电路 d) 空气隙式脉冲的混合模式电路

然而, 最初预期的效应已用相同值的栅电阻观察到。仿真具有非均匀多指开启和空气隙慢脉冲的源端电流波形输出的例子 (图 3.50) 表明, 导通态仅在叉指 1 和叉指 2 上触发。叉指 2 的开启比叉指 1 迟 20 ns, 两者间相应的电流分配在脉冲末端处达到同样的水平。在 4 kV IEC 空气隙应力下 90 ns 处的温度分布 (图 3.50b) 表明温度峰值在叉指 1 的源处。

相反, 在 12 kV HMM 应力下, 瞬态源电流波形 (图 3.51) 显示所有带有均匀源电流分布的叉指同步开启。IEC 接触式脉冲也有类似的电流分布。

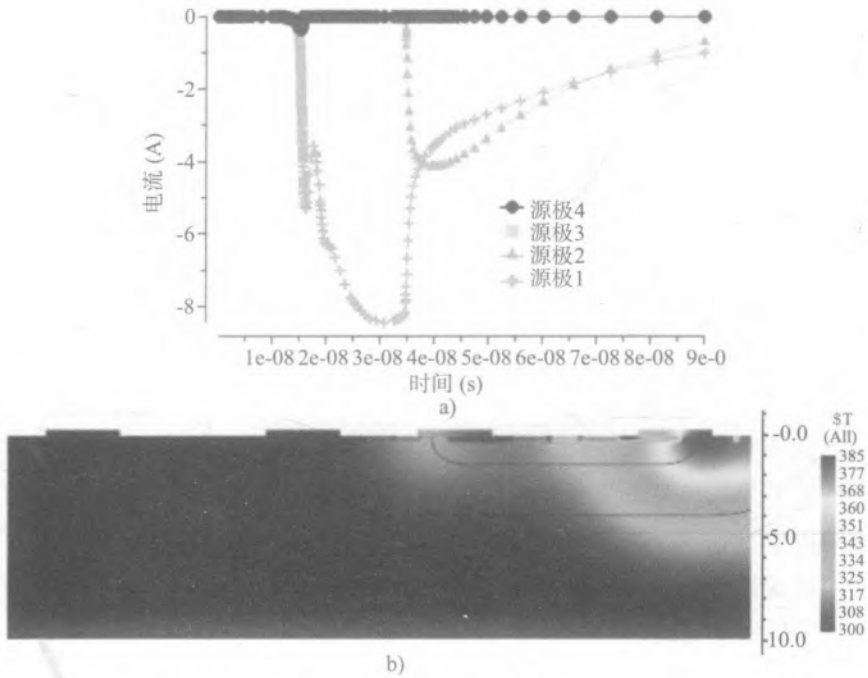


图 3.50 a) 4 kV IEC 空气隙应力下 4 叉指 SCR 瞬态源电流波形 b) 4 kV IEC 空气隙应力下脉冲开始后 90 ns 时的温度分布

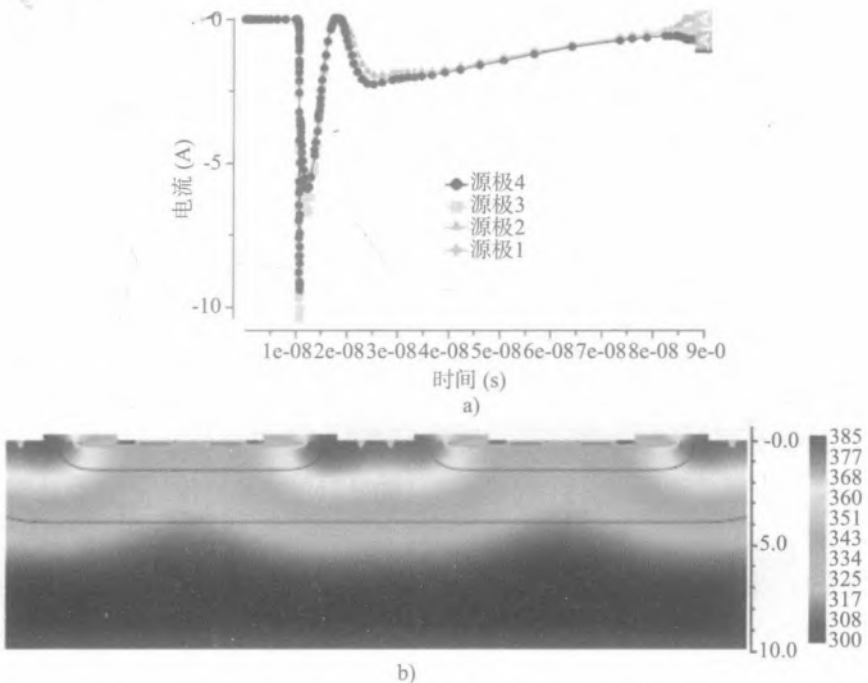


图 3.51 12kV HMM 应力下情形 a) 4 叉指 SCR 瞬态源电流应力 b) 温度分布

这一简单的数值实验证明了多叉指开启效应和起因于 IEC 空气隙慢脉冲下叉指非均匀开启的窗口效应。当脉冲幅值很小，仅能维持一个叉指的 ESD 电流时，该器件的工作可逆。如果脉冲较快，如同 50Ω TLP 的情形或有一个较高幅值，器件所有有源区“引发”电导率调制的第一峰开启所有叉指并可通过较高的电流水平。

然而，对于某些中间的脉冲范围，只有一根叉指处于开态，在其余叉指处于无源条件下时，也能达到烧毁的临界能量。这一理解与实验结果一致（表 3.4），附加的实验也证明了窗口效应。

3.4.2 多晶硅镇流克服多叉指开启效应

适当的后端金属化布线、良好的连接和对称的栅控电极连接对于避免多叉指非同时开启效应以及扩散区的接触封闭具有重要意义。过多的能量产生可能会引起接触处局部温度的升高，导致冶金接触结构中不可逆的过程。

两种单元层面的设计措施可用于器件和单元，以减小这种负面效应。第一种涉及金属、多晶硅电阻或扩散区的电流镇流。

多种镇流方法应用于高压双向有源钳位（DIAC）单元的实验结果如图 3.52 所示。在单元注入区和 pad 与地的连接间引入了额外的分布式多晶硅电阻（图 3.52a）。虽然单元已表现出更好的叉指缩放，但因为通孔和接触孔用得较少，后端的限制使得系统层次的性能更低。

然而，与传统金属接触的单元相比，一个有趣的副作用是，维持电压有利地增加了（图 3.52b）。较高维持电压的效应可用数值仿真分析来理解（图 3.52c~e）；它是分布式多晶硅电阻上附加压降的结果（图 3.52e）。

在不同的系统级脉冲下，大电流工作的双向有源钳位器件的不相关性，可以在实验上观察到，也可以通过 DIAC 器件的叉指在空气隙 IEC 标准 ESD 慢脉冲与一个接触式 IEC 标准脉冲、HMM 或 TLP 的高性能对比中获得解释。

与本章其他例子类似，多晶硅镇流效应可用数值仿真进行研究，产生关于物理器件工作的相关信息，随后是两个新提出的 DIAC 器件创新设计的实验验证。

本节用于证明多晶硅镇流效应的器件是带有 4 叉指阵列全横截面的 HV DIAC 双阻挡结（图 3.53a）。每个有源叉指由横向 n 阱、p 阱、p 体区或 n 漂移区按 n-p-n 次序排列而成。p 阱区包括 n^+ 和 p^+ 接触扩散区，它们有 SCR 基区和发射区互换的作用，这取决于电流的方向（图 3.53b）。

为形象地表示多晶硅镇流电阻的效应，一个额外的理想电阻可以包括在具有 HMM 脉冲源的器件混合模式电路中（图 3.54）。在这一电路中，所有阳极和阴极电阻的参数相同。

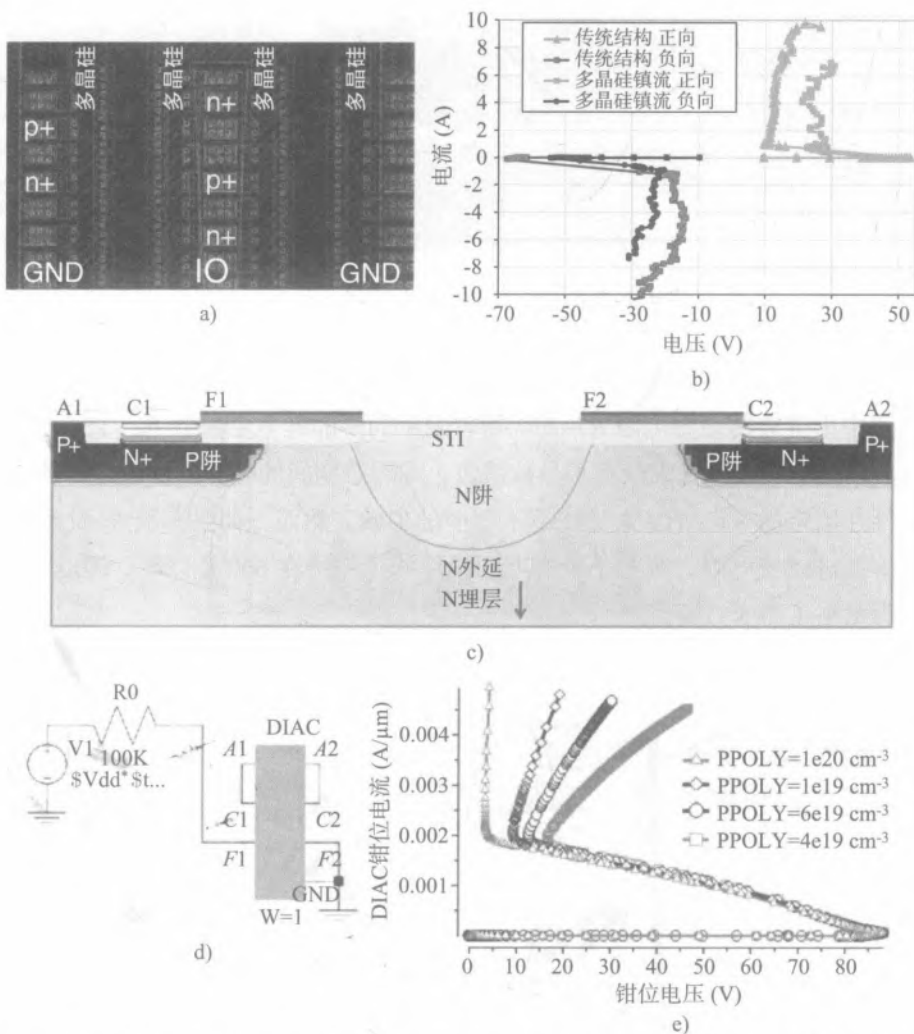


图 3.52 a) 具有叉指发射极的多晶硅镇流 DIAC 单元版图 b) 传统和多晶硅镇流 DIAC 单元的 TLP 实验结果对比 c) 仿真的 FEM DIAC 器件 d) 曲线跟踪混合模式电路 e) 多晶硅掺杂浓度与 $I-V$ 特性的关系

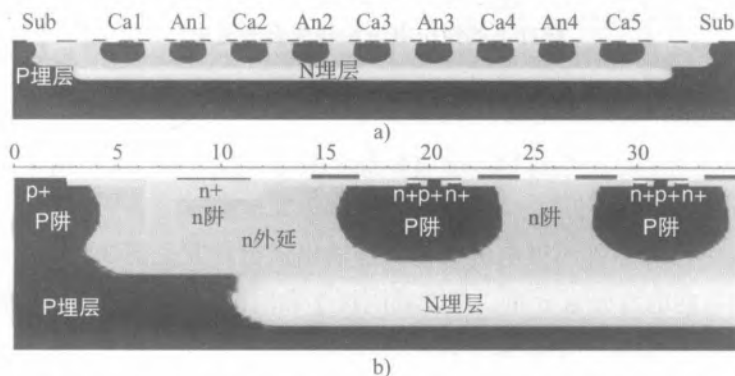


图 3.53 a) 4 叉指 DIAC 全横截面图 b) 第一个叉指放大图

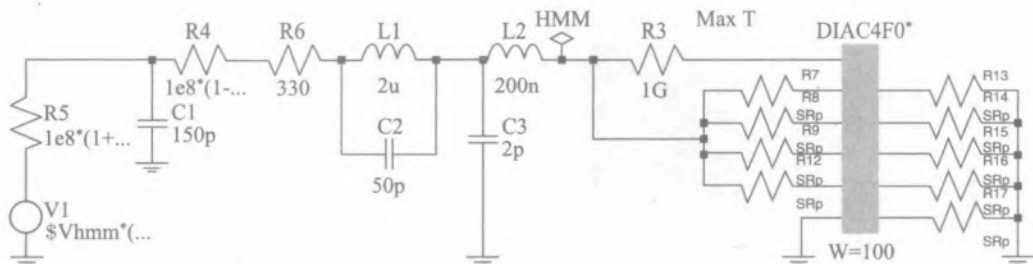


图 3.54 HMM 脉冲仿真的混合模式电路，具有器件连接和代表多晶硅镇流特性的理想电阻

尽管钳位电压波形无显著差别（图 3.55），根据瞬态分析，该结构的工作其实很大程度上取决于在电路中由等效的理想电阻 $R_7 \sim R_{17}$ 物理表示的多晶硅电阻参数 R_p （图 3.54）。例如，如果 $R_p = 0.1 \Omega$ ，其在物理上代表没有多晶硅镇流，则瞬态期间的峰值温度超过 1 190 K。这当然就代表了器件在给定的 8 kV HMM 脉冲下不可逆的失效。然而，如果参数 R_p 设定为 2.5Ω ，物理上代表有多晶硅镇流电阻，则整个瞬态期间温度峰值保持在 600 K 以下。因此可能代表了能够通过的应力水平（图 3.51）。

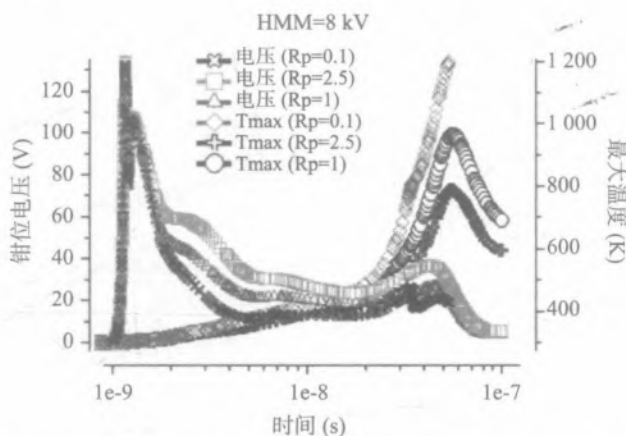


图 3.55 4 叉指单元物理等效 DIAC 器件的混合模式仿真结果，不同镇流电阻 R_p 值在 8 kV HMM ESD 脉冲下的钳位电压和峰值温度波形

对于峰值温度差异的更深刻的认识揭示了非均匀叉指开启效应。根据峰值温度分布（图 3.56）， $R_p = 2.5 \Omega$ 时的 DIAC 钳位，沿所有有源叉指区温度均匀分布；而 $R_p = 0.1 \Omega$ 的钳位，在 52 ns 后中间叉指出现明显过热。

这些结果可以用钳位器件阴极电流的仿真器输出进行补充（图 3.57）。对于 $R_p = 2.5 \Omega$ 的情形，可观察到均匀的电流分量分布，考虑到阴极 1 和阴极 5 必须只提供其他阴极电流的一半（图 3.57a），以便为全部 4 个阳极维持相同的电流水平。相反，对于 $R_p = 0.1 \Omega$ 的器件，其物理上表示没有多晶硅镇流，通过阴极 1 和阴极 5 的阴极电流分量实际上为零（图 3.57b）。

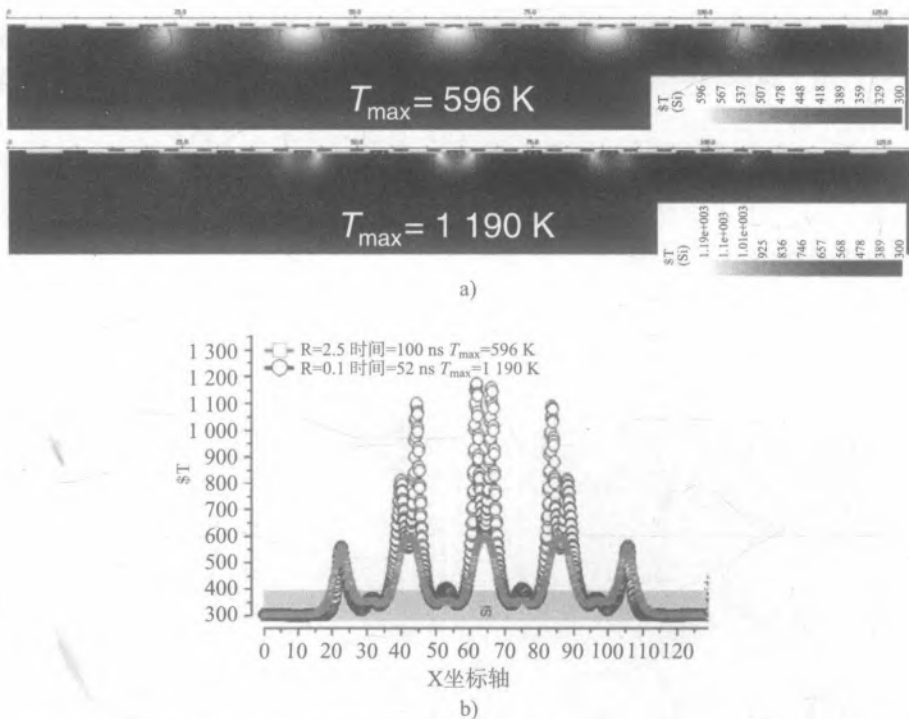


图 3.56 4 叉指单元物理等效 DIAC 器件横截面的混合模式仿真结果 a) 8 kV HMM ESD 脉冲下 $R_p=2.5 \Omega$ 和 $R_p=0.1 \Omega$ 时的温度深度分布比较 b) 近表面处横向截面温度分布

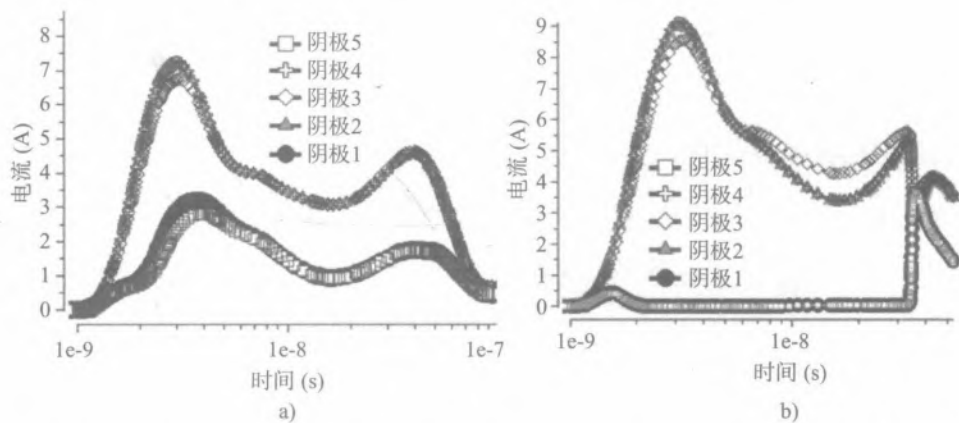


图 3.57 4 叉指单元物理等效 DIAC 器件横截面的混合模式仿真结果，阴极电流器件在 8 kV HMM ESD 脉冲下的温度深度分布比较 a) $R_p=2.5 \Omega$ b) $R_p=0.1 \Omega$

3.4.3 通过适当的单元布图工程克服多叉指不均匀开启效应

在 HV DIAC 和 SCR 中，相邻叉指的有源区基本上是分开的，所以耦合效应很低。因此，在相对较低的钳位电压条件下，一个叉指的注入不可能产生多米诺效应以在其自身烧毁之前将

其余叉指开启。

与此同时，由于直接的横向注入，沿单个叉指传导的电导率调制电流保持一致。C形（或马蹄形）和跑道形器件版图架构或仅是很长的单叉指已在许多工业设计证明是成功的。因此，镇流的替代措施是采用不同的版图拓扑进行单元布局，目的是“消除”多叉指自身。当然，单一的长叉指已经提供了这样一种方案。所以，C形、跑道形（图 3.58a）或“蛇”形（图 3.58b）器件架构常常用于提供单叉指的物理等价物。这些器件的优点是性能更加一致。然而，不像矩形单元，这些器件在缩放以及通过金属化布线提供适当的平衡电流连接这两方面都较为困难。

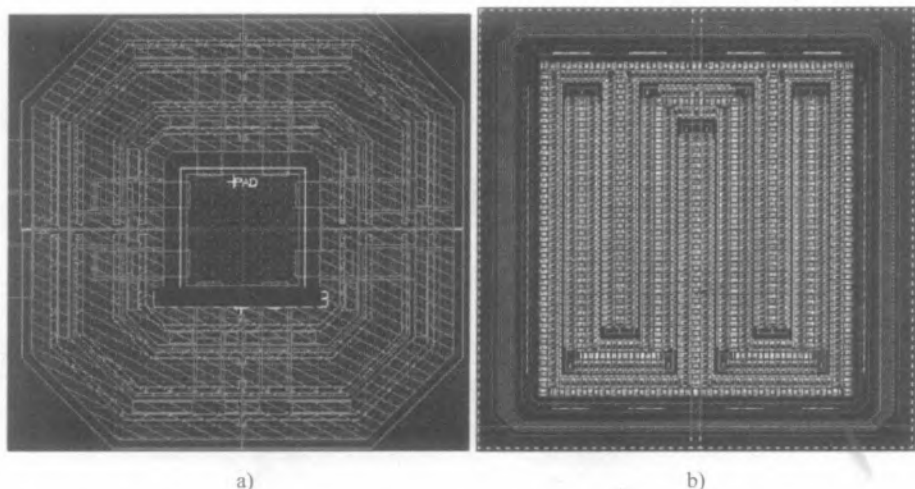


图 3.58 消除多叉指结构版图 a) 跑道拓扑结构 b) 蛇形拓扑结构

3.4.4 金属化限制及优化

为简单起见，金属化烧毁的临界 ESD 电流与保证给定互联层长期可靠性的电迁移电流之间的经验比，常常用来估算单元金属化的限制。长期可靠性参数通常在工艺规则中列出。例如，乘以指定的电迁移限制参数的“20x”或“40x”规则通常被用作相关的经验因子。对于 ESD 单元版图设计，预期的电流密度必须低于临界电流水平，既实现有源器件的全部潜力，又避开后端布线在系统层面对单元性能的物理限制。金属化和通孔层的相关因子可以在给定的标准 ESD 脉冲和 TLP 电流下，在测试结构上直接测量。

从历史上看，元器件级的 ESD 鲁棒性研究最多是在封装级 ESD 脉冲——HBM、MM 和 CDM^[76-80]——而不是在系统级应力上。为了弥合对后端工艺金属线在 IEC 和 HMM 脉冲下鲁棒性理解的差异，文献 [81] 研究了 IEC/HMM 与 TLP 脉冲之间的相关性。这项研究考虑了金属线设计拓扑的影响。研究表明，金属线失效的主要物理机制是焦耳热，由外加 ESD 脉冲的总能量所决定。

这项研究是针对系统级 ESD IEC 61000-4-2 标准脉冲而进行的, 该脉冲加到由标准 CMOS 工艺制备的铜金属测试结构上。这个实验中采用的基本拓扑是直线金属线、弯曲的金属线和桥接金属线(图 3.59), 宽度和长度参数是可变的。

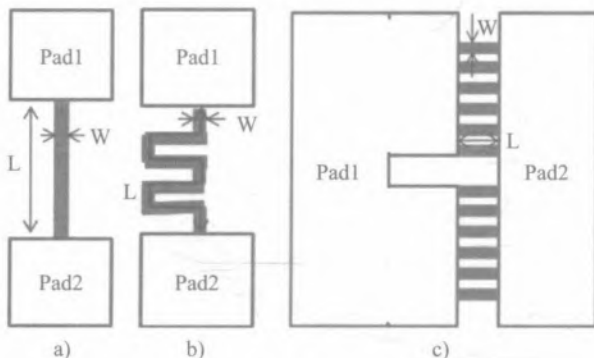


图 3.59 直线弯曲桥接的测试结构简化拓扑版图, 其中 W 是线宽, L 是线长 a) 直线 b) 弯曲 c) 桥接

将幅度不断增加的脉冲施加到测试结构上, 直至开路失效。从晶圆级 HBM 和 HMM 结果中收集的波形用于比较脉冲能量(图 3.60)。

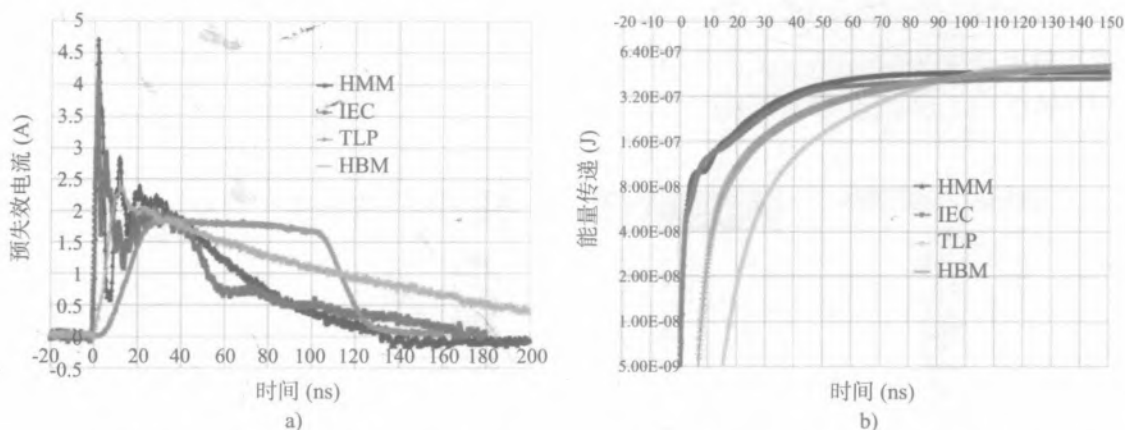


图 3.60 a) 金属直线预失效电流波形 b) 测量的 TLP、HBM、IEC 和 HMM 脉冲和计算的预失效能量波形

从分析的预失效波形中积分得到的累积预失效能量与实验数据进行对比(表 3.5)。除 IEC 61000-4-2 脉冲应力之外, 其他脉冲的预失效能量分析与实验结果一致。依据 IEC 61000-4-2 标准, IEC 应力下的实验和分析结果的不相关可能是感性负载所致。

表 3.5 TLP、HBM、HMM 和 IEC 脉冲下金属直线预失效能量实验和分析值

	TLP (1.6 A)	HBM (2.87 kV)	HMM (1.0 kV)	IEC (1.3 kV)
预失效能量实验值 (J)	4.4E-7	4.3E-7	4.6E-7	4.1E-7
预失效能量分析值 (J)	4.0E-7	4.7E-7	4.9E-7	8.4E-7

对可改变参数使物理上与金属化特性接近的硅材料进行了混合模式 DECIMM^[19] 仿真。由于预失效能量在 90 ns 时饱和，采用 90 ns 处产生的热量作为峰值温度 1 358 K（铜熔化温度）下的失效标准。直线、弯曲和桥接金属线的仿真的和测量的预失效水平匹配良好（图 3.61）。

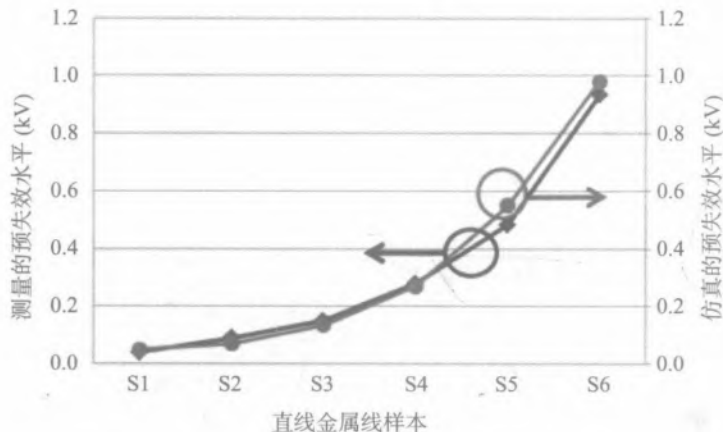


图 3.61 直线金属线在 90 ns 处的仿真和测量结果比较

对这三种拓扑在 1kV HMM 应力下的温度分布的仿真和比较（图 3.62），表明最低的峰值温度在桥接金属线上，其原因是自热不太集中（图 3.62b），而最高温度是在弯曲金属线上，原因是转角处的大电流拥堵（图 3.62c）。

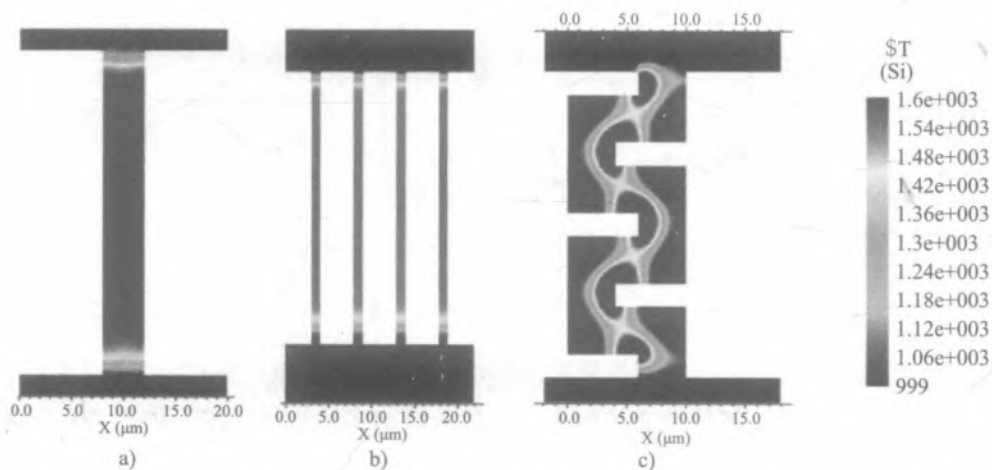


图 3.62 宽度为 $4\mu\text{m}$ 且在 1 kV HMM 应力下的金属线温度分布仿真 a) 直线 b) 桥接 c) 弯曲

从这些基本金属线在 TLP、HBM、HMM 和 IEC 应力下的实验数据得到了预失效水平的平均相关因子及其标准差（表 3.6）。从这些数据中，我们看到系统级脉冲对 TLP 电流的比值是在 0.6~0.8 kV/A 的范围。

表 3.6 直线、桥接和弯曲的金属线预失效电压与预失效电流的相关因素, HMM 对 TLP (V_{HMM}/I_{TLP})、IEC 对 TLP (V_{IEC}/I_{TLP}) 和 HBM 对 TLP (V_{HBM}/I_{TLP})

金属线类型	V_{HMM}/I_{TLP} (kV/A)	V_{IEC}/I_{TLP} (kV/A)	V_{HBM}/I_{TLP} (kV/A)	V_{MM}/I_{TLP} (kV/A)
直线	0.65 ± 0.03	0.80 ± 0.04	1.90 ± 0.14	0.13 ± 0.02
桥接	0.63 ± 0.03	0.81 ± 0.03	N/A	0.10 ± 0.01
弯曲	0.63 ± 0.04	0.81 ± 0.06	1.88 ± 0.25	0.11 ± 0.02

基于既定规则, 可以用更符合实际情况的数值仿真对更复杂的单元布局进行分析。图 3.63 给出了一个电流分布仿真的例子, 单元中的参数相同但接触边界不同。在接触沿整个水平边界放置的单元中, 在 4 叉指阵列间的分布是均衡的(图 3.63a), 而接触仅在单元左侧连接的情况(图 3.63b)产生的电流分布则显著不均衡, 对于同样的临界温度, 在流经单元的电流低得多时, 左侧叉指就出现了过应力。

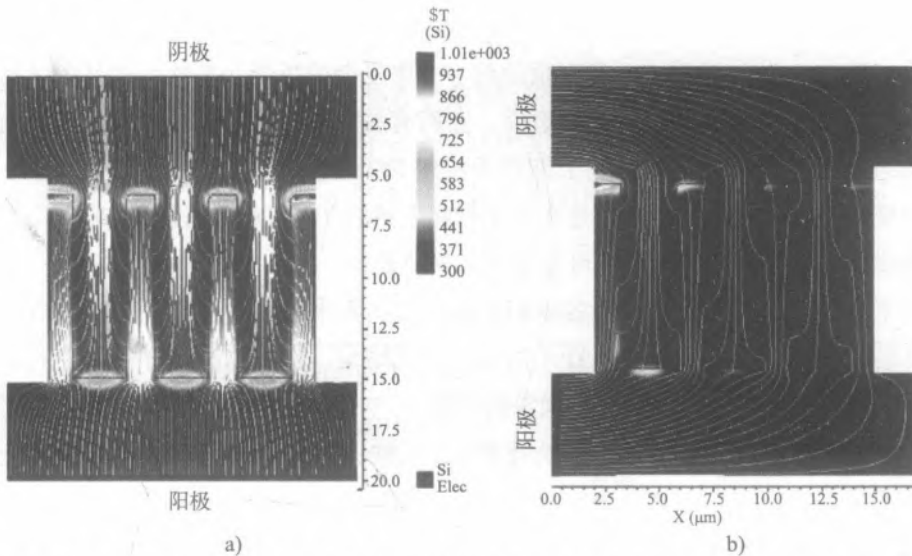


图 3.63 用流过单元金属化的电流物理表示 DECIMM 单元级分析的例子——用一个连接的二极管说明温度分布和电流走向——在一个 4 叉指的 n-p-n 二极管单元中接触孔位置在顶部和底部左侧
a) 顶部和底部 b) 左侧

3.5 ESD 器件工艺能力指数

3.5.1 对器件工艺能力指数的认识

本章最后一节提出一个 ESD 器件设计的新视角。它是从整个生产批次和晶圆的工艺变化角度来看的。在实际集成工艺中, 有限的掩膜版对准容差, 刻蚀、扩散时间和温度、注入剂量、

淀积和化学机械抛光 (CMP) 的偏差, 导致晶圆器件制造和不同产品批次间的变化。每个参数的标准差至少以一定的精度已知, 可以用相应的测试结构进行测量。例如, 掩模套偏容限、离子注入剂量和栅氧化层生长是由所用器具确保的特征参数。工艺变化直接影响特定的工艺产出, 因而要在工艺设备中进行全面控制和监控。在半导体工艺中的控制本质上类似于历史质量控制方法^[82]。

类似的工艺变化问题也可以用在在对 ESD 防护窗口的信心, 目标也是使用一个非自对准的 ESD 器件架构。例如, 在局部钳位中, HV ESD 器件的触发进入回滞通常依赖于内部阻挡结击穿或外部参考钳位元器件击穿电压。这两个元器件都受制于工艺的变化。在要求元器件级防护的情形下, ESD 方案的耐压并不重要, 只要它不影响电路功能。这是因为选定的部件只需要在认证期间通过 ESD 应力水平。认证也是在非常有限数量的样品上进行的, 通常来自单一批次。尽管如此, 通常假设在半导体产品的剩余寿命期间 ESD 的性能可以得到保证。支持这一方法的论据, 或许可以考虑这样的事实, 即: 元器件的认证合格水平 (典型值为 2 kV HBM) 远远超过 ESD 受控环境中的实际可能的事件 ($< 500 \text{ V}$)。

对于系统级 ESD 防护的要求, 可以预见到一个更复杂的场景。在整个产品生命周期中, 假设部件确实可经历多重真实的 ESD 应力事件, 在所有晶圆和生产批次中, ESD 钳位仍然应该提供足够的瞬态钳位特性。因而, 理论上期望系统级 ESD 性能满足考虑了工艺变化和 ESD 相关产出参数的规格要求。所以, 如果只是在几个样品上进行了 ESD 钳位设计验证, 几乎很难预期它在生产的多批次晶圆上会自动提供可重复的 $I-V$ 特性。

在集成工艺中半导体器件的特性各不相同这一事实在半导体业界很好理解。所以一般会利用监测每个晶片的划线测试模式 (SLTP) 的统计测试结果, 持续监测和评估相应的集成电路工艺参数, 以验证器件参数是否符合工艺规定的限制。

器件特性的重复性通常通过工艺能力指数 C_{pk} 反映, 它是特定工艺可再现性的统计度量。该论题的快速入门介绍可参看文献 [83-84]。 C_{pk} 定义为在一定的规范限制内工艺产出的能力。工艺能力指数概念只对统计控制到位的工艺过程有意义。它反映工艺参数相对于所采用的规范限制的变化水平, 而不是参数自身的变化。参数自身的变化可用标准差来表示。

一般地, 半导体器件参数的规范可包括规范的上限 (USL) 和下限 (LSL)。这些限制与测得的统计平均 μ 值比较, 并考虑到标准差 σ 。对一个给定的产品或器件, 在一定时间内, 通常只有一个规范限制可能是重要的。例如, 对于标准器件的击穿电压, 只有参数 LSL 是重要的, 而对于工作电压下的泄漏电流, 只有参数 USL 是重要的。因此, 不重要的限制可以总是指定离平均值充分远。在这种情形下, 参数的工艺能力决定于重要的那个单侧规范限制。对于 LSL 为重要限制的情形, 工艺能力指数可以计算为平均值和 LSL 的差, 并用三倍标准差值进行归一化:

$$C_{p,lower} = \frac{\mu - LSL}{3\sigma} \quad (3.1)$$

通常, LSL 和 USL 参数都是重要的。例如, 标准器件的阈值电压或 ESD 器件的击穿和触发特性。在这种情况下, C_{pk} 在逻辑上可以定义为相应的上、下工艺能力指数中的较小值:

$$C_{pk} = \min \left[\frac{USL - \mu}{3\sigma}, \frac{\mu - LSL}{3\sigma} \right] \quad (3.2)$$

C_{pk} 指数分别对每个特定被监控个体器件或工艺参数进行计算。这种方法覆盖了集成工艺技术支持的集成器件参数的大部分。例外的情况是工艺规范中未提及的所谓的免费或 II 类器件。不幸的是, 大多数 ESD 器件通常归于这一类别。因此, 由于缺少空间, 通常甚至不将它们放在标准器件的划线测试模式中。这一事实有助于描述下面讨论的问题。

在正态分布的情况下, 制程良率可以通过计算概率密度函数 $F(\sigma)$ 下方的面积而得到:

$$F(\sigma) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\sigma} e^{-\frac{t^2}{2}} dt \quad (3.3)$$

另外, 剩余的样本集超出了预期的规格界限, 以缺陷部分数量的形式表示工艺的影响。显然, 影响率取决于规范限制设置得有多接近平均值以及所测样品池的参数分布标准差。表示工艺影响的主要优值称为“百万分之几的缺陷机会数”(DPMO)或“百万分之几的缺陷数”(DPPM)。

对于已建立的健全的半导体工艺, 临界参数至少应该有一个 $1.33 = (4\sigma/3\sigma)$ 的 C_{pk} , 在逻辑上代表对每个给定的非关键参数值, 有一个可以接受的 99.7% 的制程良率。对于关键参数, C_{pk} 的目标值是约 $1.67 = (5\sigma/3\sigma)$ 。 C_{pk} 约 1.67 这一值表示的是仅有百万分之 (PPM) 一的失效 (表 3.7)。

表 3.7 制程失效的测量关系

C_{pk}	σ 水平	概率密度函数 $F(\sigma)$ 下的面积	制程良率 (%)	制程失效数 (DPPM)
1.00	3	0.997 300 203 9	99.73	2 700
1.33	4	0.999 936 657 5	99.99	63
1.67	5	0.999 999 426 7	99.999 9	1
2.00	6	0.999 999 998 0	99.999 999 8	0.002

同时, 一些汽车和高可靠性产品可能要求半导体工艺质量水平达到所谓的 0 PPM。这一要求只不过表示至少六西格玛的范围, 按照式 3.2 和表 3.7, 对应于 $C_{pk}=2 = (6\sigma/3\sigma)$ 。从物理的角度来看, 实际计算的失效预计将低于 0.002, 而不是真的为零。

图 3.64 给出了 100 V BCD 工艺多个晶圆批次击穿电压的实验变化以及工艺限制的 C_{pk} 计算值。击穿电压反映具有 N 埋层的 n 型外延凹层对具有 P 埋层的 p 衬底区的隔离。击穿电压取决于深 N 埋层和 P 埋层的间距, 因而对 N 埋层和 P 埋层的掩模对准颇为敏感。在生长 n 外延层前, 这些层用高能粒子注入。这需要相当厚的光刻胶层, 进而导致了较大的对准失配。随后造成在

n 外延生长和其他退火工艺期间的杂质大幅扩散。因此，击穿电压的标准差很大。与此同时，拉大 N 埋层与 P 埋层的间距以对击穿电压进行调整，可能会趋向于饱和。既消耗了芯片上更大的隔离空间，作为一个副作用，又有了一个不想要的低压闩锁。

在半导体制造设备和工艺开发组织中，许多标准操作程序都支持监测 C_{pk} 和提高半导体工艺的良率。历史上，这一议题被广泛讨论，分别在实验上对工艺变化建模，以及开发出统计方法对器件和电路的工作影响做出估计^[85-86]。例如，研究工艺变化对集成定时基准（环形振荡器）以及其他模拟电路的影响。然而，可以发现只有少数的研究涉及对 ESD 防护结构的这种影响^[87-88]，而大部分工作主要针对的是对耐受性的统计影响^[89]。

正如第 1 章中提到的，ESD 防护器件的设计常常基于附加注入和掩模的“免费”方法。这样，非自对准 ESD 器件架构通常是针对指定的 ESD 防护窗口的唯一选择。由于脉冲测量非常耗时且代价又大，典型的做法只对非常有限数量的测试结构进行评估。与标准器件采用的自动划线测试模式的电气测试相比，这种保证 ESD 器件参数的方法看起来几乎不像一个适当的方法。因此，如果真正考虑到将来晶圆批次间的变化，研发中涉及的 ESD 器件脉冲测试的统计内容几乎不能代表对高可靠性组件所需要的足够的置信度。同时，提升制程良率的工作通常在工艺用于产品后会持续很长一段时间，而 ESD 器件相应参数的偏差往往不受监控。

这一问题，或许对较老的半导体工艺技术来说并不重要。这样的工艺通常被整合起来为高压器件提供较大的裕量，而低压域主要依赖对工艺不敏感的有源钳位防护方法。与此同时，增加信心的主要假设之一是可以通过对标准器件进行转化来设计 ESD 器件。本章前面部分解释了这一方法。在这种情形下，希望 ESD 器件，至少在非 ESD 操作时，在电气特性变化方面与标准器件具有相同的趋势。例如，ESD 器件的击穿和触发电压将跟随标准器件的击穿和绝对最大额定电压。

具有功率优化器件的新一代模拟工艺的实施，导致了 ESD 防护窗口的极大收缩。汽车、医疗和其他六西格玛高可靠性质量应用的 IC 器件正在产生对 0 DPPM 结果的需求。当 ESD 器件的 C_{pk} 参数不得干扰被防护的功率器件参数时，这将自我转化为新趋势。而且在系统级情形下，它们也应该提供可重复的 ESD 瞬态特性。因此，为了避免对产出和可靠性的影响，对于一些应用来说，ESD 器件的工艺能力优值问题几乎不能再被忽视。

确实，对“自然的”工艺参数变化对 ESD 器件击穿电压和大电流特性影响的全面理解，

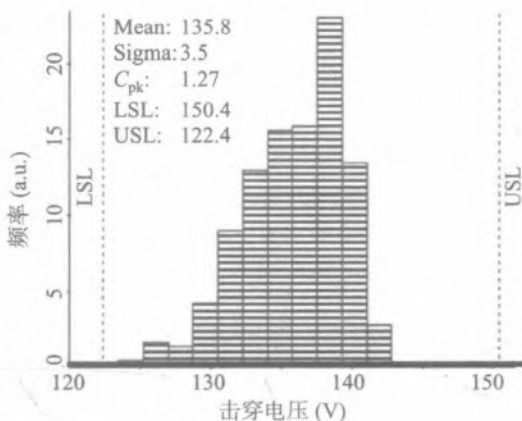


图 3.64 多批次晶圆 n 外延到 P 衬底的击穿电压变化实验及采用规范限制计算的 C_{pk}

有助于我们建立信心。尽管基于相当有限的的数据, ESD IP 还是常常被发布在工艺设计包 (PDK) 中。这个问题很少有人用正规的方法来处理。例如, 由于 TLP 测试的效率低, ESD 器件脉冲特性的常规监控相当困难。仅在近几年才有供应商开发出一些自动化的晶圆级测试仪来满足日益增长的需求。因此, 揭示工艺变化对 ESD 器件影响的进展仅能通过数值仿真的方法来获得。下一节将对此进行说明。

3.5.2 雪崩二极管击穿的 C_{pk} 仿真

通常器件的数值分析是手工定义的。虽然可以获得一些有限的敏感性数据作为工艺角参数, 考虑到可能的参数组合的多种变化, 这种方法很难输出足够的数据来进行变量统计分析。

为了描述晶圆和生产批次间 ESD 器件变化的主要方面, 已针对性地开发并应用了一种新的仿真方法^[90]。它基于参数化的混合模式器件-电路分析、基于附加的偶然的参数变化的自动生成输入。这样的自动生成输入是, 通过在定义的所需的标准差内, 对每个非独立参数应用蒙特卡罗法而获得的。在参数化器件模板的能力范围内, 任何工艺敏感的器件注入、区域甚至实际材料参数都可以变化。为了实现器件特性的统计仿真, 同时考虑到工艺和掩模的对准偏差, 仿真工具 DECIMM^[19] 对一种称为“DoE”工具界面的独特能力进行了升级。利用该独特工具支持的参数化器件定义方法, 实现了基于 Monte Carlo 算法的仿真运行参数表的自动生成。

将该方法应用于两个 ESD 设计的具体例子来分析高压雪崩二极管的击穿电压, 这在本节介绍, 而 NLD MOS-SCR 触发电压的 C_{pk} 仿真分析在后续的章节中论述。第一个例子给出传统双 RESURF 雪崩二极管 (图 3.65a) 与 p-i-n 二极管 (图 3.65b) 的比较。雪崩二极管 ESD 器件的工作原理类似, 已在 3.3.3 节描述过。

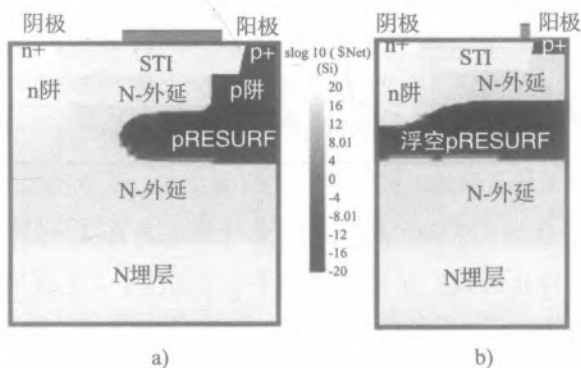


图 3.65 用于本节统计仿真分析的传统双 RESURF 和伪 p-i-n 二极管器件横截面与净掺杂剖面
a) 传统双 RESURF b) 伪 p-i-n

器件的参数化模板已用附加的几何参数进行了升级, 以表示仿真分析中关键器件参数的

实际“自然”偏差。假设具有给定标准差的参数的初始均值集呈正态分布，这些参数用于表示偶然的扩散峰掺杂分布的变化以及掩模套偏。标准差是根据实际工艺变化的一定控制范围来定义的。

选择的参数实际表示掩模套偏和掺杂峰值偏差，以小增量的形式添加到相应的模板参数上。对于非自对准扩散分布，nWell、pWell、pRESURF、nEpi 峰值掺杂的缩放系数分别添加为 K_{nw} 、 K_{pw} 、 K_{pr} 和 K_{ep} ，初始值设定为 1。在参数化的 DoE 运行中，峰值掺杂偏差被设定为 1%，与实际工艺偏差相对应。注入能量控制得相当好，因而杂质分布峰值深度的偏差可以忽略。对 nWell、pWell、pRESURF 横向扩散杂质分布的位置和有源区增加一个小的增量，包括对应的参数 x_{nwell} 、 x_{pwell} 、 x_{prsf} 和 x_{sti} 。这些参数初始设置为 0。为产生混合模式运行，这些参数的标准差选择 15 nm。最后将 y_{sti} 增量作为沟槽深度器件参数的添加量引入，以物理表征浅槽隔离腐蚀和氧化过程的工艺变化，标准差为 0.005 nm（表 3.8）。

表 3.8 用于自动运行 Monte-Carlo 产生的输入参数和定义的标准差

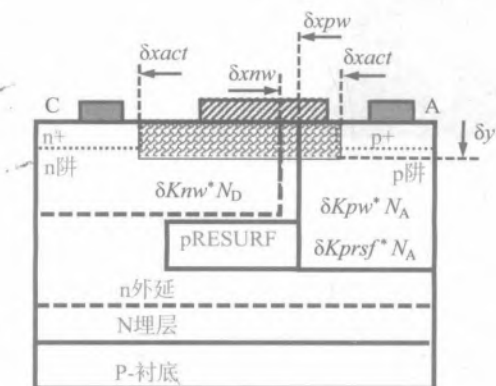
物理过程参数	变量	σ 水平
nWell 峰值掺杂比例系数	K_{nw}	1%
pWell 峰值掺杂比例系数	K_{pw}	1%
pRESURF 峰值掺杂比例系数	K_{rs}	1%
nEpi 峰值掺杂变量比例系数	K_{ep}	1%
浅槽隔离 (STI) 深度变量	y_{sti}	5 nm
有源区 (STI 位置) 套偏	x_{sti}	15 nm
阴极 nWELL 掩模套偏	x_{nwell}	15 nm
阳极 pWELL 掩模套偏	x_{pwell}	15 nm
阳极 nRESURF 掩模套偏	x_{prsf}	15 nm

仿真运行是在用户界面表中自动生成的，用于多个瞬态仿真，以计算 $I-V$ 特性得到击穿电压。另一个自动化的特性允许停止仿真，如果达到击穿电流的水平。它提取出运行表中击穿电压的数值。

使用集成的 DoE 工具界面^[19]（图 3.66a），已经产生并求解了 500 多个数值实验结果（图 3.66a），并且仿真和比较了两种二极管（图 3.65）击穿电压的统计分布。图 3.66b 给出了各种参数的图示说明。基于这些统计结果，实际工艺能力指数可以用仿真的平均值和标准差结果计算。



a)



b)

图 3.66 a) DECIMM DoE 工具界面及 500 次数值实验产生的部分数据及仿真后提取的击穿电压
b) 标明了各参数的简化的传统 RESURF 雪崩二极管横截面

为了评估器件架构变化的效果,对传统 RESURF 雪崩二极管(图 3.67a)与 p-i-n 二极管(图 3.67b)进行了比较。根据用随机产生的偏移值进行的约 500 次仿真的结果,分布接近于正态分布,对于双 RESURF 雪崩二极管,平均击穿电压值为 $\mu^{Vbr} = 41.7 \text{ V}$, 标准差为 $\sigma^{Vbr} = 0.33 \text{ V}$ (图 3.67a)。对于伪 p-i-n 雪崩二极管(图 3.67b),产生的值为 $\mu^{Vbr} = 43.1 \text{ V}$ 和 $\sigma^{Vbr} = 0.71 \text{ V}$ 。这两种二极管的瞬态 $I-V$ 特性分别见图 3.67c、图 3.67d。

根据仿真数据(图 3.67a、图 3.67b),伪 p-i-n 雪崩二极管或许有较小标准差的直觉预期并不正确。尽管非自对准扩散注入参数较少,这一器件对工艺变化的敏感度实际上看来更高(表 3.9)。因此,器件对工艺变化的敏感度决定于器件自身架构。此外,根据这些结果(图

3.67a、图 3.67b)，对于比较的器件，击穿电压的统计分布是以不同的方式非对称的。对于双 RESURF p-n 雪崩二极管，分布的尾部朝着 LSL 延展，而伪 p-i-n 雪崩二极管尾部朝着 USL 方向。

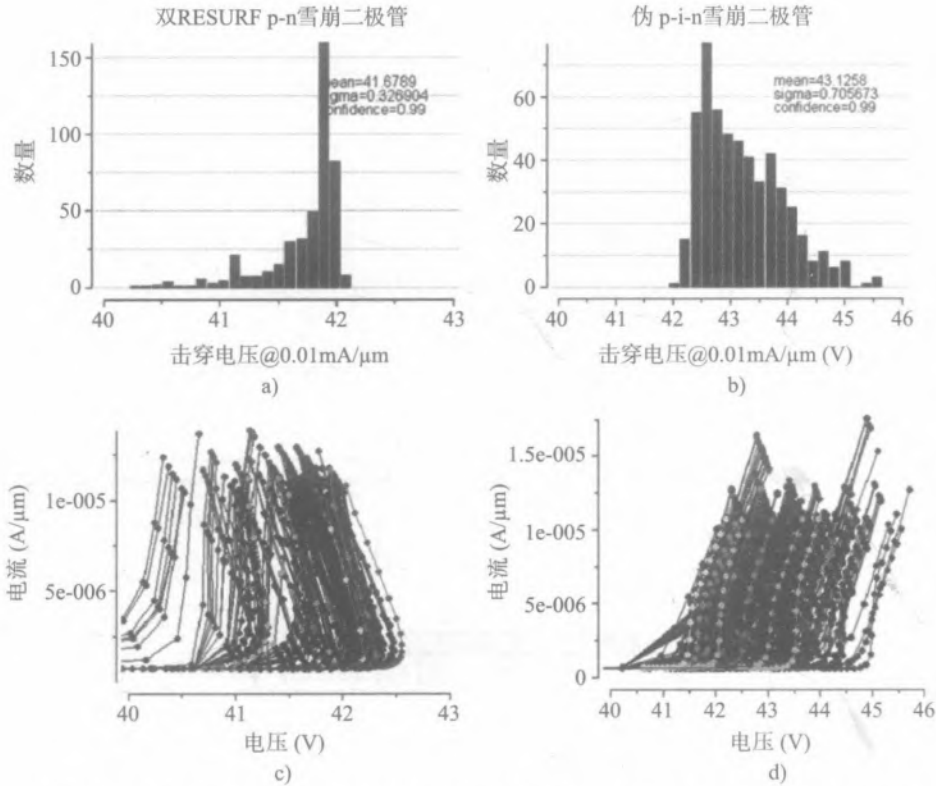


图 3.67 根据峰值掺杂浓度、STI 深度变化和掩模套偏统计变化（表 3.8）计算的结果 a) 横向双 RESURF 二极管击穿电压统计图 b) 伪 p-i-n 雪崩二极管击穿电压统计图 c) 横向双 RESURF 二极管击穿 $I-V$ 特性 d) 伪 p-i-n 雪崩二极管击穿 $I-V$ 特性

表 3.9 为满足击穿电压参数不同 C_{pk} 等级要求，从 500 次仿真（图 3.66）计算的雪崩二极管所需的规范限制

击穿电压所需的 C_{pk}	相应的余量	双 RESURF p-n 二极管规范限制， $\mu^{V_{br}} = 41.7 \text{ V}$ ， $\sigma^{V_{br}} = 0.33 \text{ V (V)}$		伪 p-i-n 二极管规范限制， $\mu^{V_{br}} = 43.1 \text{ V}$ ， $\sigma^{V_{br}} = 0.71 \text{ V (V)}$	
		LSI	USL	LSL	USL
1.33	4σ	40.4	43.0	40.2	45.9
1.67	5σ	40.0	43.3	39.6	46.7
2.00	6σ	39.7	43.6	38.9	47.4

相反的问题也可以从仿真结果导出。根据仿真分析，可以确定 LSL 和 USL 界限，依赖于希望的 C_{pk} 目标。在仿真的室温等温条件下， $C_{pk}=1.33$ 要求 p-n RESURF 二极管的 LSL 和 USL 分别为 40.4 V 和 43.0 V。为满足 $C_{pk}=2$ ，分别要求对应的界限扩展到 39.7 V 和 43.6 V。与实验

数据的限制不同, 仿真结果可以快速估计不同因素对工艺参数标准差的影响。例如, 对于双 RESURF p-n 二极管, 标准差的主要影响为阱的未对准 (表 3.10)。

表 3.10 100 到 200 次仿真计算的不同参数变化对双 RESURF p-n 二极管击穿电压特性标准差的影响

变化的物理过程参数	平均 μ^{Vbr} (V)	标准差 σ^{Vbr} (V)	$C_{pk}=1.67$ 所要求的 LSL	$C_{pk}=1.67$ 所要求的 USL
所有: $K_{nw} K_{pw} K_{rs} K_{ep} y_{sti} x_{sti} x_{nwell} x_{pwell} X_{prsf}$	41.7	0.33	40	43.3
仅峰值掺杂: $K_{nw} K_{pw} K_{rs} K_{ep}$	41.82	0.116	41.2	42.4
仅掩模套偏: $x_{sti} x_{nwell} x_{pwell} X_{prsf}$	41.81	0.167	41	42.6
仅 STI 深度变化: y_{sti}	41.86	0.031	41.7	46.7

与昂贵的实验分析不同, 仿真结果可以很容易地用于评估特定器件诸如掩模套偏的影响。只是套偏容限对于不同阱的标准差的影响比较被归纳于表 3.11 中, 计算出的相应的 LSL 和 USL 满足 $C_{pk}=1.67$ 的要求。

表 3.11 双 RESURF 雪崩二极管不同掩模套偏参数 $x_{sti} x_{nwell} x_{pwell} X_{prsf}$ 在 $C_{pk}=1.67$ 处要求的 LSL 和 USL

掩模套偏 (nm)	平均 μ^{Vbr} (V)	标准差 σ^{Vbr} (V)	$C_{pk}=1.67$ 所要求的 LSL	$C_{pk}=1.67$ 所要求的 USL
10	41.8	0.1	41.3	42.3
15	41.8	0.167	41.0	42.6
30	41.7	0.44	39.5	43.9
60	41.4	0.99	36.5	46.4

以上仿真数据表明了恒定室温效应。虽然对于低击穿电流水平, 仍然可以避免求解热方程, 但考虑到工作温度范围从 $-40\text{ }^{\circ}\text{C}$ 到 $125\text{ }^{\circ}\text{C}$, 将需要添加这些限制。然而, 即使在这种情况下, 由于雪崩击穿过程的温度系数, 这不是一个简单的效应。确实, 根据 $I-V$ 特性 (图 3.68), 可以观察到温度依赖性。

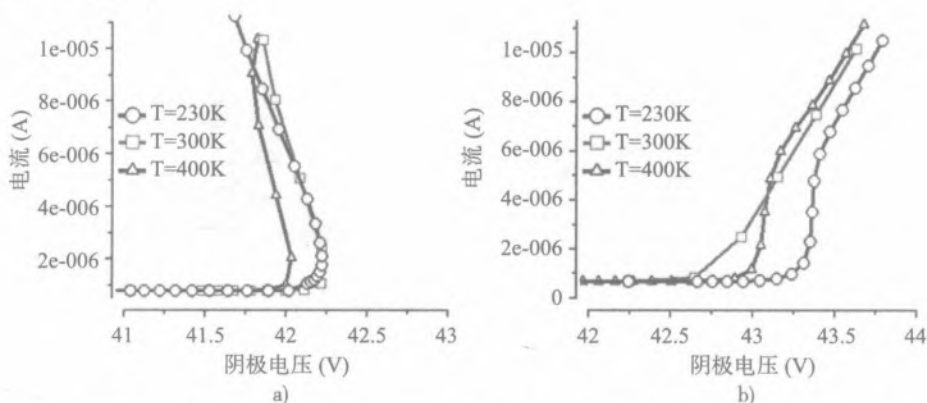


图 3.68 两种二极管不同温度的 $I-V$ 特性 a) 横向双 RESURF 二极管 b) 伪 p-i-n 雪崩二极管

然而,存在一个更复杂的依赖,与特定的雪崩二极管结构的效应相关,具有相当复杂的击穿、RESURF 和电导率调制效应的相互抵消。结果表明,在工作温度范围内,两种二极管的均值和标准差都是相同的,不影响 LSL 和 USL (表 3.12)。

表 3.12 参数变化 (表 3.8) 和不同结构温度的双 RESURF p-n 和伪 p-i-n 二极管的 300 次仿真分析结果

LAD	温度	平均 $\mu^{V_{br}}$ (V)	标准差 $\sigma^{V_{br}}$ (V)	$C_{pk}=1.67$ 所要求的 LSL	$C_{pk}=1.67$ 所要求的 USL
双 RESURF p-n 二极管	-40℃	41.55	0.33	39.9	43.2
	室温 (300 K)	41.7	0.33	40	43.3
	+125℃	41.60	0.31	40	43.2
伪 p-i-n 二极管	-40℃	43.17	0.71	39.63	46.72
	室温 (300 K)	43.1	0.71	39.60	46.65
	+125℃	43.2	0.67	39.85	46.53

3.5.3 NLD MOS-SCR 钳位的 C_{pk} 分析

第二个例子更是直接与回滞型 ESD 器件的脉冲特性相关。创建这个例子以研究一个 20 V NLD MOS-SCR ESD 器件的统计变化 (图 3.69a)。在这种情况下,与表 3.8 相同的参数,如光刻套偏、掺杂峰值浓度和沟槽深度偏差,都按照前面小节描述的方法包括在参数化数值分析中。

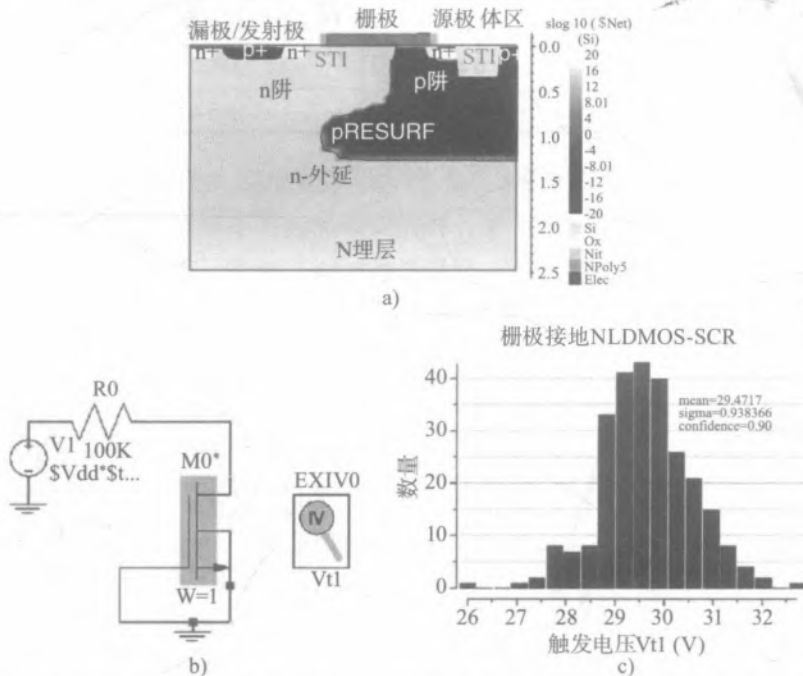


图 3.69 a) NLD MOS-SCR 横截面 b) NLD MOS-SCR 栅极接地混合模式电路 c) 考虑表 3.8 定义的峰值掺杂浓度、STI 深度变化和掩模对偏变量等 Monte Carlo 静态统计变化,以统计图的形式给出的 250 次仿真结果中击穿电压的分布

仿真的主要目的是仿真栅接地电路中的高压防护钳位的触发电压 V_{t1} ，而不是击穿电压。根据仿真结果分析与参数变化（表 3.8），栅接地 NLD MOS-SCR 钳位的触发电压（图 3.69b）对工艺参数变化相当敏感。在平均值 $\mu^{V_{t1}}=29.47\text{ V}$ 下，计算出的标准差很高， $\sigma^{V_{t1}}=0.94\text{ V}$ 。对这一器件和栅接地钳位，为保证工艺能力 $C_{pk} \approx 1.33$ ， LSL 以及 USL 应当分别设定为：

$$LSL^{1.33} = \mu^{V_{t1}} - 4\sigma^{V_{t1}} = 25.7\text{ V} \text{ 以及 } USL^{1.33} = \mu^{V_{t1}} + 4\sigma^{V_{t1}} = 33.2\text{ V}$$

如果指定六西格玛高可靠性 0 DPPM $C_{pk} = 2$ ，那么将要求规范界限进一步扩大至：

$$LSL^{2.00} = \mu^{V_{t1}} - 6\sigma^{V_{t1}} = 23.8\text{ V}; USL^{2.00} = \mu^{V_{t1}} + 6\sigma^{V_{t1}} = 35.1\text{ V}$$

在最后这种情形下，如果使用具有较小 ESD 防护窗口的激进的功率优化工艺，ESD 防护方案很难应用于高可靠性产品。

基于对芯片器件物理的理解，可以提出另一种已知的 ESD 钳位方案。可以使用具有高边雪崩二极管参考的钳位（图 3.70a）。钳位开启是基于 NLD MOS-SCR 触发电压与栅偏置的关系。偏置由栅电阻压降提供，来自高边参考雪崩二极管的低压击穿电流（图 3.70b）。结果，通过放大器件的沟道电流而不是 p-n 结的暗电流，在更低的倍增系数下达到了电流不稳定的临界条件。期待在这些条件下 NLD MOS-SCR 触发对 NLD MOS 器件的参数失配不那么敏感是合乎情理的。

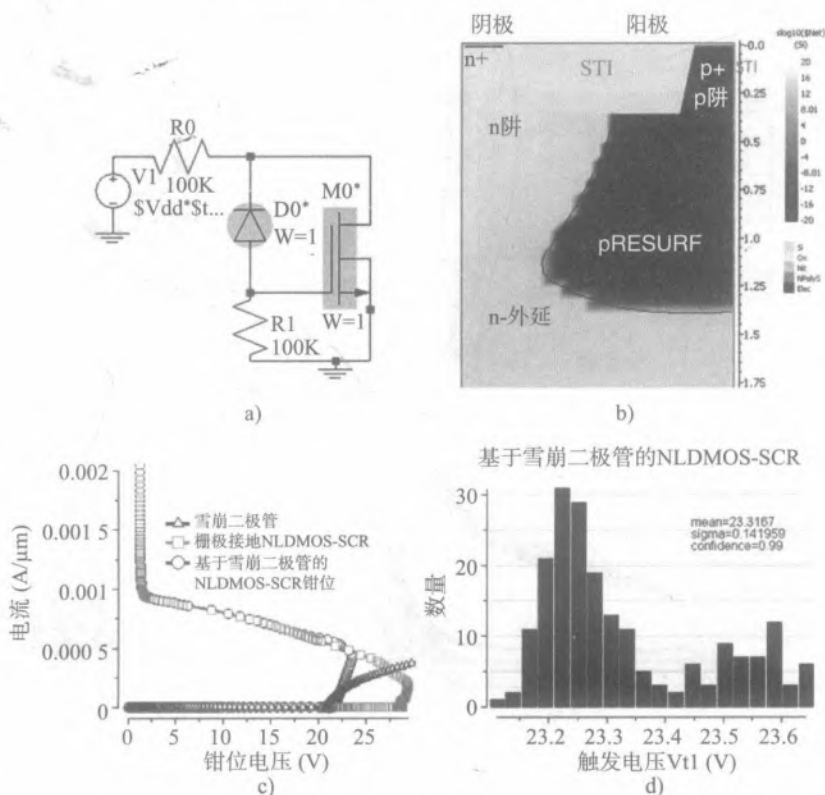


图 3.70 a) 基于雪崩二极管的 NLD MOS-SCR 钳位混合模式电路 b) 雪崩二极管横截面 c) 钳位和雪崩二极管 $I-V$ 特性 d) 以统计图的形式给出 200 次仿真结果中的击穿电压分布，参数如表 3.8 定义

为证明这一效应，将雪崩二极管参考的钳位（图 3.70a）“装进”了混合模式仿真实例中，其使用 NLD MOS-MOS 器件（图 3.69a）和横向雪崩二极管的有限元模型，调整后的参数约为 21 V。图 3.70c 给出了单独的 NLD MOS-SCR 和雪崩二极管钳位元器件以及最终钳位的 $I-V$ 特性比较。

为了更精确的比较触发电压的 C_{pk} 仿真，通过对栅接地的钳位器（图 3.69）重复使用前面生成的 DoE 完成了钳位（图 3.70a）。尽管雪崩二极管参数也可与 NLD MOS-SCR 同时变化，但为了有更令人信服的比较，雪崩二极管置入电路时未做任何参数变化。因此，通过仿真可以观察到“纯”效应，这表明在平均触发电压 $\mu^{V_{th}}$ 约 23.3 V 下，这种钳位预期的标准差显著较低，仅为 $\sigma^{V_{th}} = 0.14$ V。类似地，上述的这些结果可以转化成所需的 LSL 和 USL，充分保证 C_{pk} 为 1.33 或 2：

$$LSL^{1.33}=22.8 \text{ V 和 } USL^{1.33}=24 \text{ V; } LSL^{2.0}=22.5 \text{ V 和 } USL^{2.0}=24.2 \text{ V}$$

雪崩二极管中的套偏将会导致钳位器复制参考器件的标准差，但该标准差仍然比基于内部阻挡结的 NLD MOS-SCR 要小得多。

综上所述，由于工艺变化带给 ESD 防护的影响，可以通过用 NLD MOS-SCR 钳位器（图 3.69a）防护带有 NLD MOS 器件（图 3.71a）的 20 V 开漏电路来验证。这种防护方法假定 NLD MOS-SCR 钳位器的触发电压在实际电路的任何瞬态工作条件下，都低于 NLD MOS 器件的触发电压。

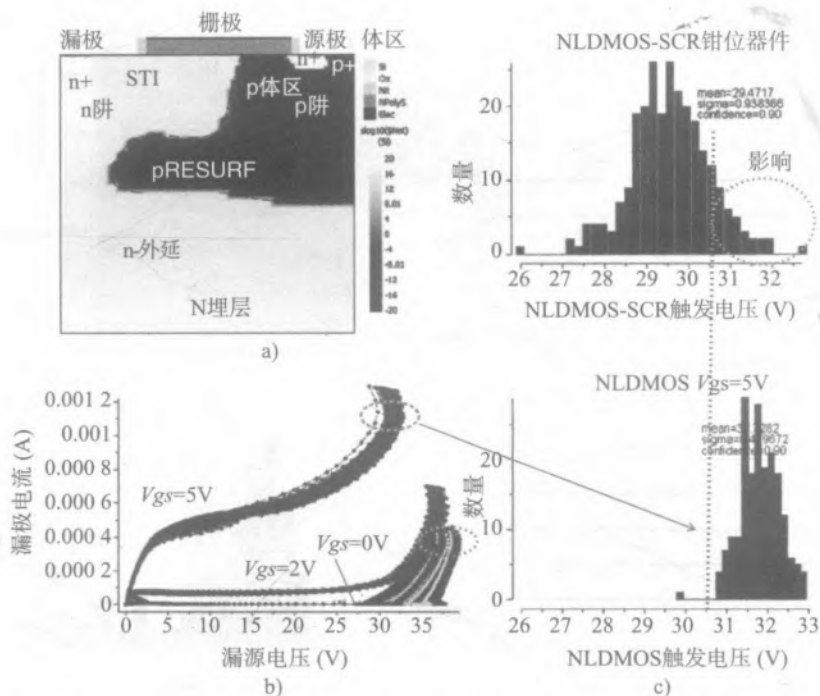


图 3.71 20V NLD MOS 器件的 200 次仿真 a) 横截面图 b) 对应 $V_{gs}=0$ V、2 V 和 5 V 的漏源输出 $I-V$ 特性 c) 在栅偏置 $V_{gs}=5$ V 下触发漏-源电压的频率图与 NLD MOS-SCR 的频率图的对比以展示漏极开路电路中受到影响的部分

下一步, C_{pk} 分析的不同方法应用于 NLD MOS 器件 (图 3.71a)。它返回给定栅偏压处漏-源触发电压的相应统计偏差 (图 3.71c)。对给定栅偏压的触发电压这一变化可以转化为 NLD MOS 器件的脉冲 SOA 变化。

影响情况取决于 NLD MOS 的栅耦合度。如果栅耦合度低, 那么实际电路的 NLD MOS SOA 变化可假设为类似于栅偏置 $V_{gs}=0$ 时的触发电压变化。在这种情形, NLD MOS 在标准差 $\sigma^{V_{gs0}}=0.68$ V 时的平均值 $\mu^{V_{gs0}}=37.6$ V。将这些数值与对应的 NLD MOS-SCR $\mu=29.47$ V 和 $\sigma=0.93$ V 对比, 可得出结论, 高良率的防护确实可以用 5-西格玛 $C_{pk}=1.67$ 实现。然而, 如果栅耦合度高, 则防护方案将变得不可靠。例如, 在 ESD 应力下, 瞬态栅耦合到 $V_{gs}=5$ V 时的情形, 器件的触发电压平均值 $\mu^{V_{gs5}}=31.72$ V 及标准差 $\sigma^{V_{gs5}}=0.59$ V (图 3.71c)。比较这两种器件的分布, 良率的影响与几乎不可接受的 2-西格玛 $C_{pk}=0.67$ 相对应。因此, 可靠的方案需要一种不同类型的钳位。例如前面提过的可使用具有高边雪崩二极管的 NLD MOS-SCR 钳位 (图 3.70), 但触发电压需调整进所希望的 20 V 域防护范围内。

该场景 (图 3.71) 是基于这个假设——NLD MOS 和 NLD MOS-SCR 参数是独立变化的。因此, 它代表了最坏的情形, 例如在 SiP 中共同封装的器件。然而, 由于两者实际是在同一芯片上, 在同一晶圆和同一批次中, NLD MOS-SCR 钳位和 NLD MOS 器件将共享相同的物理位置, 可以假设这两种器件的特定参数变化相似, 以减小对可靠性的影响。例如, 由于相似的阻挡结构设计, NLD MOS 触发电压的增加可能伴随着 NLD MOS-SCR 触发电压类似的增加。这种情况可以采用数值仿真进一步评估, 以验证和量化这些期望。它可以通过创建一个统一的模板来完成, 该模板将在相同的工艺敏感参数的同步变化下组合两个器件。混合模式分析可以通过监测流过 NLD MOS 器件的电流来确定相关的关联效应。

另一种改善上述最坏情景的努力是考虑对称叉指的多叉指阵列布局 (图 3.72)。在这种情况下, 掩模的对偏 δx , 会以相反的方式有效地影响器件的另一半。例如, 在 NLD MOS n 型漏区掩模对偏的情形, 多晶硅与 n 型漏区的交叠越小, 对所有叉指左侧形成 $L_{drift}L$, 对应着提升了的击穿电压和触发电压。同时在叉指右侧实现了较大的 $L_{drift}R$ 交叠, 导致相应的击穿电压和触发电压降低 (图 3.72)。作为相反的失配结果, 平均击穿电压和触发电压将保持在一个更低的水平, 因此有可能改进对工艺变化的敏感度。

类似于上述数值实验的方法, 可能的自抵消效应也可以通过数值仿真量化。具有全 pRESURF 层的参数化器件已被用于代表非对称 NLD MOS 器件的布局 (图 3.73a)

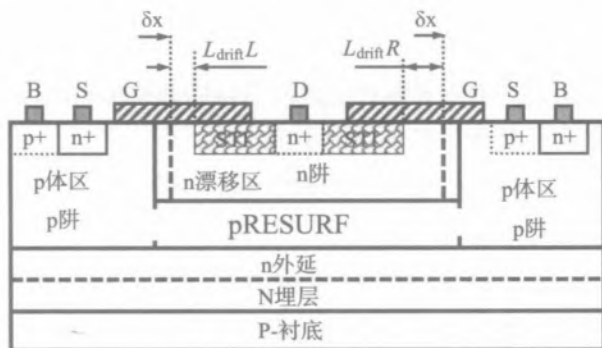


图 3.72 对称双叉指阵列布局中 n 漂移区掩模版套偏效应图示说明

和对称 NLD MOS 器件的布局 (3.73b)。

按照仿真结果, 与非对称布局的器件标准差 0.42 相比, 对称布局器件的标准差为 0.35, 低了约 20%。

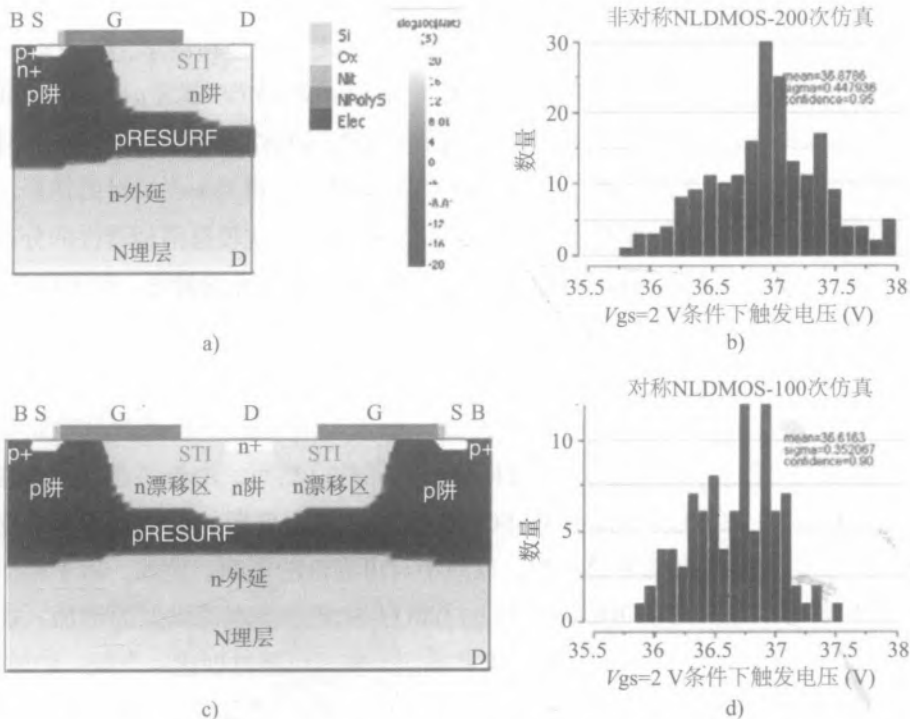


图 3.73 a) 非对称器件的横截面图 c) 对称 NLD MOS 器件的横截面图 b) 和 d) 触发漏源电压的相应统计图, 两种器件栅偏置 $V_{gs}=2\text{ V}$, 非对称器件宽度缩小因子 $W=2$

3.6 总结

对系统级引脚和晶圆级封装的模拟电路, 一个对引脚最佳的 ESD 防护网络是基于局部的钳位防护。嵌入式脉冲电源网络与局部钳位相结合, 用适当的电特性和能承受这些电流的金属化路由, 优化了系统级的电流水平。在这种设计中, ESD 钳位被简单地看作是以 PDK 中 ESD 库的形式释放出来的模拟电路模块。系统级设计的复杂性是由 ESD 电流路径与内部电路模块之间更大程度的交互决定的。

当不要求维持电压在电源水平之上时, 最有效的局部 ESD 防护器件是 SCR。片上系统级基于 MOS 的 SCR 工作原理是基于一个三级的多米诺效应, 包括初始通道的形成、位移电流注入的雪崩倍增以及初始嵌入的 BJT 结构的雪崩 - 注入电流不稳定达到某一电流水平, 接着是在大电流提供内部发射结偏置后, 第二个互补 BJT 的开启。在嵌入的 BJT 结构间的正反馈导致了

SCR 型的双注入电导率调制。在这种模式下, 阻挡结的碰撞离化水平被来自 p 型发射区的空穴注入所抑制和取代。

有几种已知可行的基于 SCR 的低压解决方案克服了低维持电压的问题。随着维持电压的增加, 大不相同的高压 SCR 钳位器的设计提出了更大的挑战。它可以用几种方法实现, 用极度隔离、多晶硅镇流降压或堆叠钳位方法限制发射极注入。当高维持电压的需求很重要时, 对 SCR 器件的替代包括横向雪崩二极管和横向 PNP ESD 器件。

关键的设计目标是降低对不稳定的器件区域中掩模对偏的敏感度。片上系统级 ESD 防护器件的一种基本衍生设计方法, 是用某些改造步骤来修改在给定工艺中已获支持的标准器件。该改造同时结合了优化电导率调制条件、ESD 器件中器件级的负反馈、对不稳定的空间电流的抑制和在临界电流密度下将导致不可逆现象的丝状结构。在 ESD 结构的高电流阶段, 可以通过多种方式诱导负反馈, 包括利用结注入替代雪崩空穴电流分量来抑制碰撞离化率, 嵌入镇流区域和利用衬底效应。

为了成功地开发 ESD, 需要对测芯片上的最终解决方案进行实质性的实验检验和确认。为了进行有效的实验, 物理设计需要对 ESD 器件、钳位电路和模拟外围电路模块进行深入的基于 TCAD 的混合模式分析。安装和运行数值实验的最现实的方式是使用 DECIMM 工具进行参数化的 TCAD 分析^[19]。

成功的系统级 ESD 钳位器结合了范围广泛的特性: 器件宽度缩小; 与衬底有横向隔离和纵向隔离; 通过保护环的门锁隔离; 钳位控制; 参考电压和动态耦合的驱动器和使能电路; 以及适当的多级防护方法的使用。

钳位器的电气参数是触发进入大电流状态的电流和电压、维持电压和二次击穿电压、瞬时响应(开启时间、动态电压波形、最小关断电流和恢复时间)、在长期可靠运行条件下的直流电压耐受性、泄漏电流、击穿电压、寄生电容、反向电流钳位以及其他特定应用下更具体的参数。主要的布图参数是钳位器所占空间尺寸以及有源器件和金属化所需要的掩模层次数。

除了有源的大电流 ESD 器件外, 钳位器一般需要有针对这些指定参数的组件。最典型的钳位组件包括:

- (1) 参考电压或动态耦合的触发电路, 其目标是在 ESD 防护窗口电压范围内的开启;
- (2) 控制维持电压的子电路元器件;
- (3) 大电流镇流、电流拥挤的预防、让所有的叉指均匀开启的措施;
- (4) 反向电流通路二极管;
- (5) 可选的关闭或启用功能的驱动器, 其实现取决于内部电路的状态。

钳位中的有源 ESD 阵列传统布局是多叉指分布阵列。确保所有叉指在 ESD 脉冲条件下均匀开启的单元级电流平衡, 在高压器件中很难获得, 需要考虑叉指阵列的 3D 设计、阵列金属化方案以及控制电路连接。从这个角度看, 当需要缩小系统级宽度时, ESD 器件的所有叉指都

应在共享的外延空间内缩小，而不是只做几个相同的钳位实例化。不遵循这一原则会产生由于多叉指开启而导致的通过电流不均的问题，或导致非线性的宽度缩小以及包括接触型与空气隙型标准 IEC 脉冲之间的误相关。

在晶圆级封装（用微型 SMD 表面贴装器件）设计中，芯片焊接凸块可散落在整个有源布局区的顶部。在系统级 ESD 事件的大电流处，从模拟电路钳位区的注入可扰乱更多相连的有源器件的工作。一个“潜行的”门锁电流路径可在内部电路元器件深处形成。因此，钳位器的门锁隔离是设计的重要部分。这些门锁现象在下一章讨论，作为上述材料的逻辑延续。

正如在最后一节所演示的那样，使用独特的仿真工具 DECIMM^[19] 的新仿真能力可以非常有效地解决 ESD 防护窗口的可信度问题。现在可以明白，一个有意义的和相当重要的对工艺能力指数影响的理解，与这两种 ESD 器件的良率和可靠性以及钳位设计有关。这可以通过由仿真结果指导的实验进一步证明。因此，一种用 Monte-Carlo 生成输入参数的参数混合模式方法弥合了 ESD 器件设计和半导体工艺技术集成优良实践之间的差距。期望这一新方法能广泛应用于评估和比较不同工艺开发工具的 C_{pk} 参数。

系统级应力下的闩锁

在芯片上集成经过验证的独立的 ESD 钳位器件以满足系统级要求，并不是一个简单的问题。需要对应用定义的细节和芯片功能进行全面的考虑，以避免在系统级 ESD 应力和正常操作中，钳位器件与内部电路产生相互作用。在由系统级 ESD 电流引起的大注入条件下，具有电导率调制效应的寄生器件可能会开启。从这个角度看，在上电条件下产生的系统级 ESD 事件可以在概念上看作类似于闩锁的现象。

实际上，这种类似于闩锁的现象尽管要比标准闩锁的时间短^[93]，但是在系统级应力下流过片上 ESD 钳位器的电流幅度要高两个数量级。显然，在上电情况下，该注入电流的等级会严重干扰内部电路模块。结果，版图中的寄生结构就会开启，并干扰数字、模拟或存储模块，导致形成了一个非专属的 ESD 电流路径。IC 版图中会形成寄生的纵向或横向 SCR 和 NPN 结构，并会被注入的载流子触发，尤其是在高压电路中。大量的系统级案例研究发现，尽管它们有不可逆的特性和不同的时间域，但是它们外围的电流传导机制类似于闩锁事件。

下面的场景可能会导致可逆或不可逆转的事件发生。时常，CMOS 核或者 I/O 闩锁是可逆的，这是因为受限制的流过寄生 SCR 的电流和比较低的维持电压。相反，BCD 工艺中寄生 n-p-n 器件的高压闩锁会导致不可逆的毁坏。但是，很难界定到底是由于在闩锁测试中注入的脉冲引起的高检测电流还是注入脉冲后形成的永久性闩锁引起了毁坏。即使是传统的 CMOS 闩锁结构，由于薄弱的互联设计，也可能无法承受闩锁工作模式。在本章中，我们将闩锁看作由短期电流注入引起的永久性改变的物理事件（在恒定电压条件下）。

在片上设计中考虑闩锁是非常关键的，因为为了通过闩锁测试或者系统级 ESD 测试，就必须对芯片版图进行重新设计，以增加芯片上的空间并隔离寄生电流路径。

因此，理解 IC 中主要的闩锁现象与理解系统级应力现象是直接相关的。这是处理片上系统级设计的一个重要步骤。尽管这些现象在文献中被广泛地阐述^[94]，但是对许多工程师来说，物理上的理解仍然是一个挑战。由于闩锁对本书的主题有重要的相关性，本章不仅编辑了直接适用于系统级设计的内容，并且试图系统地解释该现象。为了达到这一目标，使用混合模式数值仿真工具 DECIMM^[19-20]，对闩锁的物理现象进行了逻辑阐述。

在本章的以下几节中，我们将区分三个主要的闩锁现象，它们代表了不同的物理机制。

在常规 CMOS 闩锁中（4.1 节），寄生 SCR 高电流的开启条件是由 PMOS-NMOS 反相器对（或者任何高边和低边连接的 n-p 区域对）中的电流注入形成的。该现象由两个子案例来阐述：基于内部注入的 I/O 缓冲电路和基于远端注入的核心电路。

在高压 N 外延到 N 外延的闩锁中（4.2 节），高电流状态下寄生 n-p-n 结构的开启，是由其中一个 n 型外延区的注入电流引起的。在这种情况下，版图中两个 n 型外延区被一个 p 型衬底横向隔离环所分开，形成了 n 外延 -p 衬底 -n 外延结构。从低边区域中注入的电子和从高边区域中注入的空穴都会考虑在内。

最后，瞬态闩锁（4.3 节 ~ 4.5 节）结合了一类物理现象，即钳位器件由于短暂的电压过冲而开启。这里，回滞现象就代表了闩锁状态。

4.1 常规的 I/O 闩锁和核心电路闩锁

4.1.1 闩锁仿真结构

常规的闩锁现象的物理表示是，版图中寄生的 p-n-p-n 结构因短暂的电流注入而形成永久性开启的事件。永久性开启是由电源电压支持的，同时负载电阻提供了双注入电导率调制条件下的电流，直到电源关闭或重启。而 SCR 的高电流状态与第 3 章中讨论的回滞现象一致，但是开启现象不同。SCR 中闩锁模式的开启是由于载流子注入触发的，而不是 ESD 脉冲中的三阶段现象。开启 SCR 的注入载流子可以由 SCR 区域内的内部二极管产生，也可以由与 SCR 分离的外部二极管产生。

一般而言，版图中总是存在寄生 SCR 的 p-n-p-n 结构。该结构可以由高边 n 阱中的 n 和 p 接触扩散区以及低边 p 阱中的 n 和 p 接触扩散区构成。SCR 结构的闩锁能力取决于发射极的隔离，后者决定了开启状态下最小维持电压和最小维持电流。

在 CMOS 工艺中，形成闩锁结构最常用的方法，是在版图中将 NMOS 和 PMOS 放置在相互靠近的位置。根据发射极和基区的版图布局，寄生 SCR 结构可以具有相当低的维持电压，低于电源电压 VDD。SCR 的 p 发射极、n 基区、n 发射极和 p 基区分别由 PMOS 的源、n 体区和 NMOS 的源、p 体区构成。对于 I/O 缓冲、模拟输出或者开放漏极，其余的 PMOS 和 NMOS 的漏极扩散区都连接到压焊块。在这种情况下，SCR 结构内部这些漏极 - 体区二极管就构成了注入二极管。当在内部数字或模拟电路中形成 SCR 结构时，可以由 I/O 或者连接到模拟电路的 pad 注入来开启。

对于 CMOS 工艺或者 BCD 工艺中的 CMOS 模块，不管如何变化，常规的 CMOS 闩锁可以归结为两种主要的情况——I/O 闩锁和核心电路闩锁。

在 I/O 门锁中, PMOS-NMOS 对的一个或两个漏极都与 pad 连接。如果连接到 PMOS 漏极 pad 上的电位被上拉到高于电源电压 VDD, 正向偏置的体二极管将会直接注入空穴到 SCR 的 n 基区中, 如图 4.1a 所示。如果连接到 NMOS 漏极的 pad, 其电位被下拉到低于 VSS 水平, 那么 NMOS 中正向偏置的体二极管将会直接注入电子到 SCR 的 p 基区中, 如图 4.1b 所示。因为在寄生结构中直接产生了注入, 唯一有效防止 I/O 门锁的方法是禁用 SCR 结构。SCR 通常是通过 NMOS 和 PMOS 区域顺序地排布实现的, 以形成 p 发射极 -n 基区 -p 基区 -n 发射极。根据版图设计, I/O 缓冲电路中所有的 NMOS 器件都需要放置在 p 阱中, 并被 p 体区扩散保护环包围。同时, 所有的 PMOS 器件都需要放置在 n 阱中, 并被 n 体区扩散保护环包围。环代表 SCR 的基区, 增加保护环的宽度会减小寄生 n-p-n 和 p-n-p 的增益, 这个增益会在 SCR 双注入电导率调制期间起到正反馈作用。增加环的宽度, 既隔离了注入源, 又增加了 SCR 的维持电压。

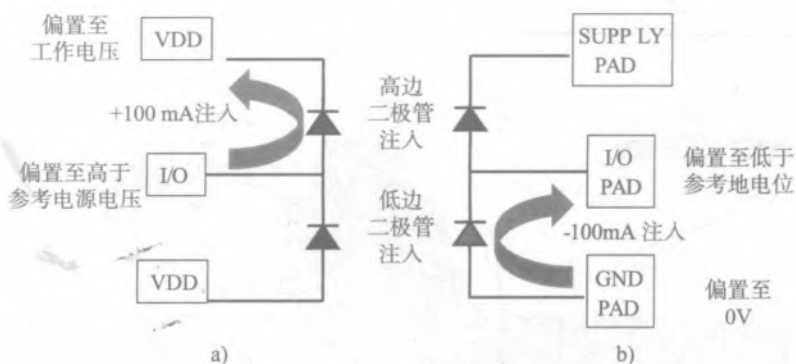


图 4.1 I/O 缓冲电路中由高边和低边注入触发的门锁的测试情况说明 a) 高边 b) 低边

在核心电路门锁中, 核心数字模块与 IC 引脚之间没有直接连接。为了获得更高的逻辑密度, NMOS 的 p 阱和 PMOS 的 n 阱的体扩散位置是随机的, 因此不构成保护环。此外, p 体区和 n 体区的接触孔区域通常都设置在工艺设计规则裕量之内, 一般小于 10~20 μm 。因此, 核心电路的寄生 SCR 的 n 基区 - p 发射极 - n 发射极 - p 基区是由 NMOS 和 PMOS 区域排列构成的, 在最坏情况下有最大的发射极 - 基区间距。该 SCR 结构具有最低的维持电压, 并且只需要最小的载流子注入即可开启。在核心电路门锁中, I/O 中注入载流子的产生与和引脚直接相连的数字核心模块或者其他模拟功率器件有一定的距离, 而且能够传导注入电流。

在物理设计方面, 对于实验和仿真门锁, 有两种不同的问题陈述。对于 I/O 缓冲, 问题的关键在于确定 p- 保护环和 n- 保护环的宽度, 要足以防止 I/O 缓冲形成门锁状态。这可以通过合理设置缓冲器件的位置, 并用扩散环完全包围它来实现 (芯片外围的除外)。

在核心电路门锁中, 问题的关键在于找到 I/O 注入二极管 (或模拟注入器) 与核心数字 (或模拟) 模块之间的最小间距, 以保证在给定的注入电流和初始温度下, 核心电路不会发生门锁。当然, 这是假设 I/O 缓冲电路 (或在模拟电路中的功率器件注入) 已经被保护环包围, 且保护

环的设置满足 I/O 缓冲电路防闩锁的设计规则。

闩锁测试通常是根据 EIA/JEDEC (EIA/JESD78) 标准^[93]进行的, 注入电流为 100 mA 或 200 mA, 环境温度为室温到 125 °C。

利用混合模式仿真分析可以很容易理解闩锁的物理现象, 因为混合仿真既可以表示电路的外部状态, 也可以表示半导体结构的内部状态。

用于仿真 I/O 缓冲电路闩锁的 FEM 器件的剖面图如图 4.2a 所示, 它由 PMOS 和 NMOS 结构结合形成。在仿真中, 可以改变的参数是 n 体区的长度 L_{nbase} 和 p 体区的长度 L_{pbase} 。电路中通过高边 (图 4.2b) 和低边 (图 4.2c) 注入, 可以对闩锁效应进行混合模式分析。在图 4.2b 和图 4.2c 所示的电路中, 首先加上 3.3 V 恒定电压 VDD 脉冲, 接着从反相器的共漏节点施加短暂的注入电流, 如图 4.3 所示。在脉冲期间, 在电源中观察到了额外的检测电流。但是, 该电流的存在并不意味着闩锁即将发生。

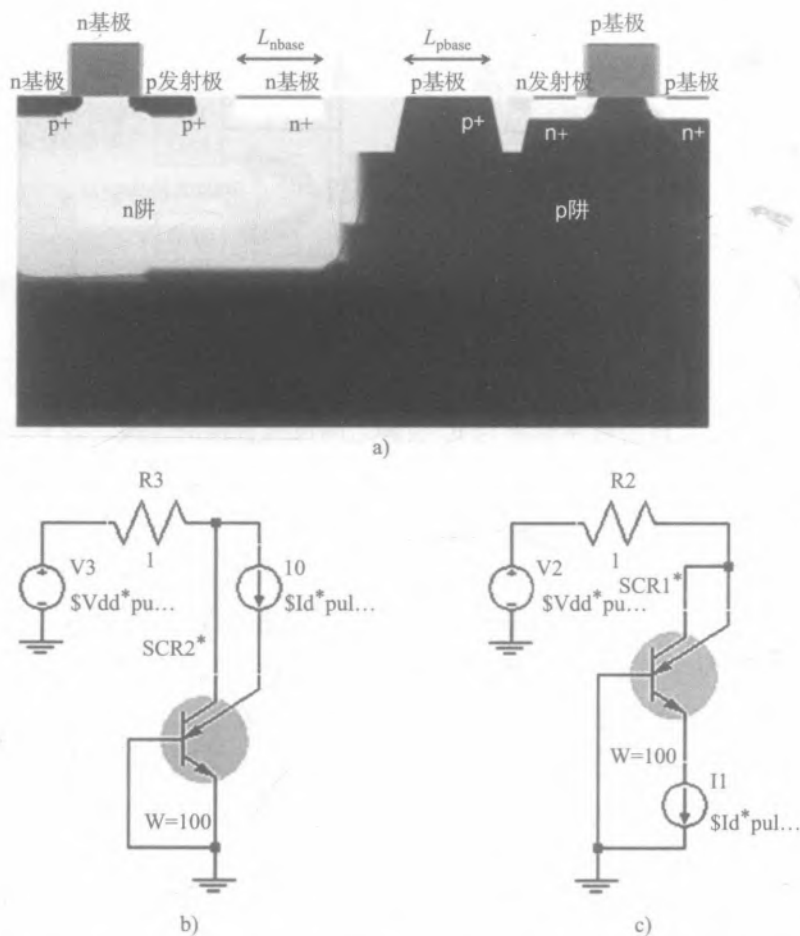


图 4.2 I/O 缓冲电路闩锁仿真 a) 互补 MOS 对 b) 高边注入混合模式仿真电路 c) 低边注入混合模式仿真电路

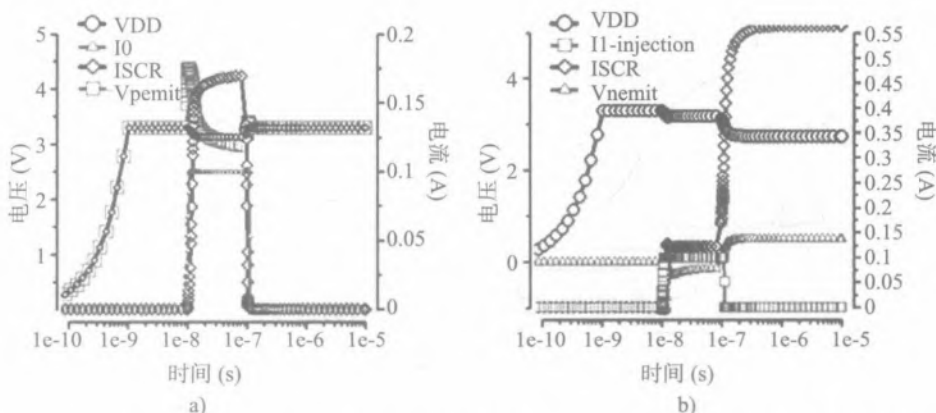


图 4.3 混合模式仿真输出在高边电流注入情况下没有发生闩锁, 在低边电流注入情况下发生闩锁, 其中 VDD 为 N 基区上的电压, I_0 为高边注入电流, I_1 为低边注入电流, V_{pemit} 为 p 发射极的电压, V_{nemit} 为 n 发射极的电压, ISCR 为流过整个 SCR 结构的电源电流 a) 高边电流注入 b) 低边电流注入

在混合模式分析中有效的信息部分是, 当注入的电流脉冲幅度减小到零后, 流过 SCR 的电流 ISCR 的变化。如果没有发生闩锁, 那么检测电流将会回到电流注入之前的幅度, 如图 4.3a 所示。如果发生闩锁, 那么 VDD 电源电流将会保证 SCR 维持在永久的大电流状态下, 如图 4.3b 所示。

通过仿真可以生产表格数据, 以显示在给定的注入电流等级、结构参数和温度下, 哪种环的间距可以通过闩锁测试, 如表 4.1 所示。然而, 一种更先进的研究闩锁的方法是利用 DECIMM 工具进行混合模式仿真^[19], 目的是确定每一组器件参数对应的关键闩锁电流值。特别是对于系统级片上设计而言, 这种类型的输出会更有效, 并且更接近于标准的 JEDEC 测试结果。

表 4.1 高边和低边注入条件下的闩锁特性, 其中 I/O 结构为全 CMOS 器件, 引线孔的宽度为 $100\ \mu\text{m}$, 注入电流为 $100\ \text{mA}$, 而且被双保护环包围, $n+$ 环在 n 阱中, $p+$ 环在 p 阱中

T (K)	LAAN (μm)	LAAP (μm)	LANAP (μm)	Lnbases (μm)	Lppases (μm)	高边注入	低边注入
450	0.25	0.25	0.5	0.25	0.25	闩锁	闩锁
450	0.25	0.25	0.25	2	2	闩锁	通过
450	0.25	0.25	0.25	3	3	通过	通过
450	5	5	0.5	0.25	0.25	闩锁	闩锁
450	0.25	0.25	10	0.25	0.25	通过	通过
300	0.25	0.25	0.5	0.25	0.25	通过	通过
300	0.25	0.25	0.25	2	2	通过	通过
300	5	5	0.5	0.25	0.25	闩锁	闩锁
300	0.25	0.25	10	0.25	0.25	通过	通过

自动化的闩锁仿真混合电路可以通过参数化工具 DECIMM 结合闩锁测试仪 (LUT) 来建立^[19-20]。在同样的电路模块中, LUT 将电源电压和闩锁注入电流源结合在一起。然后, 通过自

动调整注入电流的方式进行一系列自动瞬态仿真，以便快速找到触发闩锁的关键注入电流，如图 4.4 所示。通过改变一系列不同幅度的 LUT 电流脉冲并进行大量的仿真，以追踪满足给定条件的 DUT 闩锁曲线。

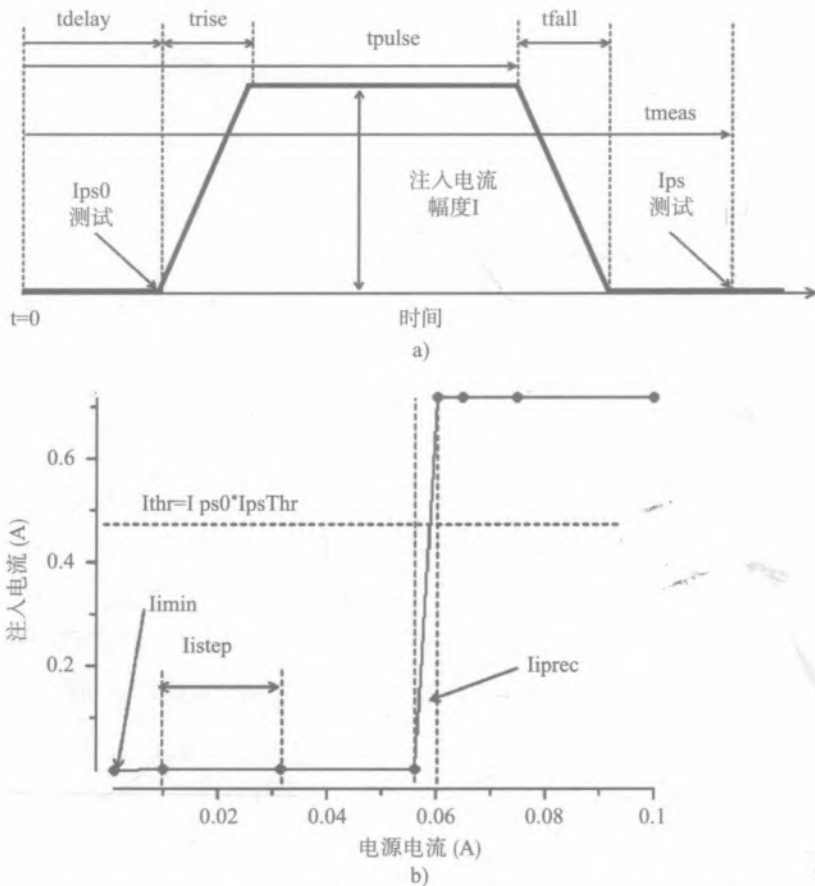


图 4.4 a) 用户可访问的 LUT 时间域参数 b) 基于自动跟踪算法绘制的电源电流与注入电流的关系曲线

根据图 4.2a 中的包含 FEM 器件的混合电路数据仿真结果和图 4.5a、图 4.5b 中包含的 LUT 源，可以绘制保护环宽度与关键注入电流之间的关系，为了简单起见， L_{nbase} 与 L_{pbase} 设置为一样，如图 4.5c 所示。从系统级设计角度来看，在高电流系统级应力下评估关键条件是非常重要的。如果注入电流为 100 mA，为了防止触发闩锁，数值仿真结果表明保护环的安全宽度约为 $5 \mu\text{m}$ 。这与 $0.13 \mu\text{m}$ CMOS 中的实验结果吻合。

根据上面的解释，几个实验从物理上说明了核心电路的闩锁与 I/O 的闩锁是不同的。在本案例中，含有 I/O 注入二极管的反相器由图 4.6a 所示的剖面结构表示，图 4.6b 给出了以该结构为核心的多端口混合电路。CMOS 反相器的端口包括电源 VDD、地 VSS、p 体区接触 PB 和 n 体区接触 NB。注入二极管的端口包括阳极 AN 和阴极 CA。

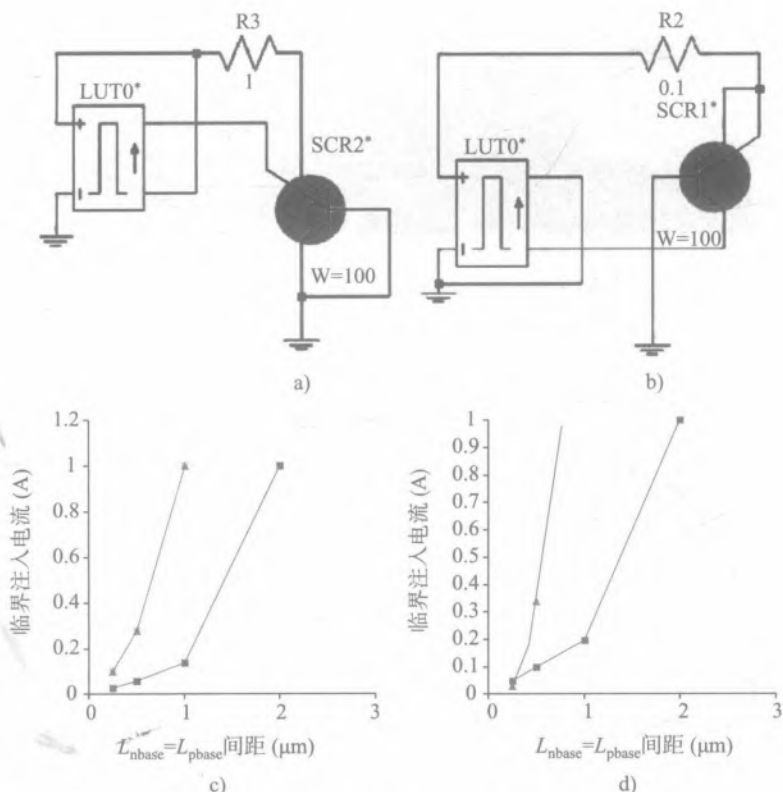


图 4.5 基于图 4.2a 中结合 FEM 结构的 I/O 闩锁混合仿真电路和闩锁关键电流与 $L_{nbase}=L_{pbase}$ 参数的关系曲线
a) 高边注入 b) 低边注入 c) 室温 d) 高温

为了克服物理上列举的最坏情况下反向器的技术困难（具有最大可能的体端到源端的间距），分离的体端 NB 和 PB 分别与电阻相连并连接到 VDD 和 VSS 轨。电阻实际上代表了真实版图中累积的体电阻。

核心电路闩锁的数值仿真类似于上面讨论的 I/O 仿真方法。图 4.6c 给出了临界电流与注入器到反相器间距 L_{II} 的关系，结果预测注入二极管与敏感核心逻辑电路之间可以有效防止闩锁的安全距离为约 $20\mu\text{m}$ 。这与 $0.13\mu\text{m}$ CMOS 中的实验结果吻合。

这种针对简单 CMOS 工艺并含有自动闩锁电路元器件的混合模式仿真方法可以应用于一个更复杂的情况。如果 CMOS 反相器被深 n 阱或者 n 外延隔离，核心电路处于高电位，那么闩锁可能会因低边电子注入而触发。在这里，注入二极管的阳极处于地电位，而阴极被下拉到地电位以下，从衬底注入了空穴。类似地，如果注入二极管阴极处于高电位，同时阳极被拉到高电位以上，那么就会实现从高侧注入空穴。

为了将这些结果与 SCR 联系在一起，图 4.7 给出了完整的 $I-V$ 特性曲线。在大电流状态下载流子的分布和电流流向与相应的 SCR 结构是一致的，但却是由过电压触发而获得的，见图 4.7b 和图 4.7d。

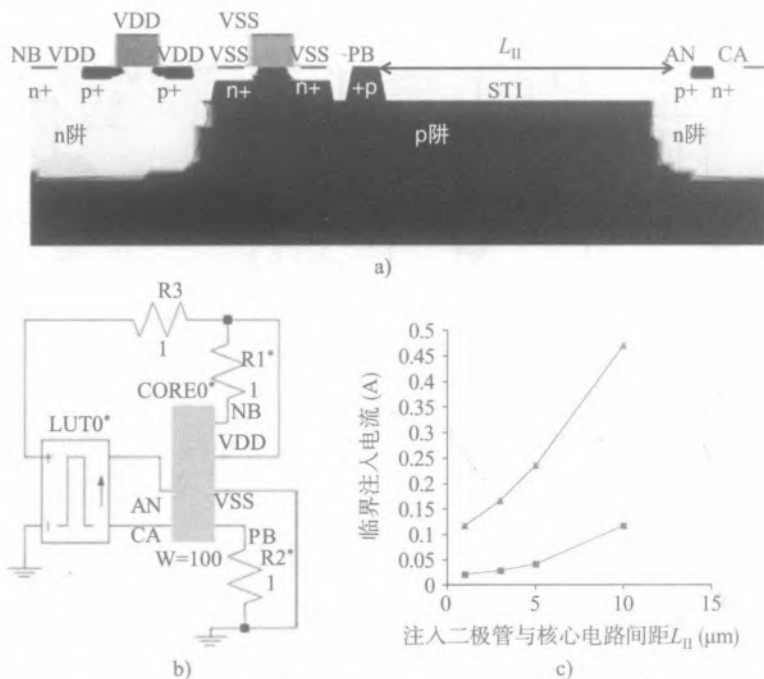


图 4.6 a) 核心电路闩锁的 FEM 结构 b) 含有 LUT 的混合模式仿真电路 c) 闩锁的典型瞬态特性及计算的临界电流与注入器到反相器间距的关系

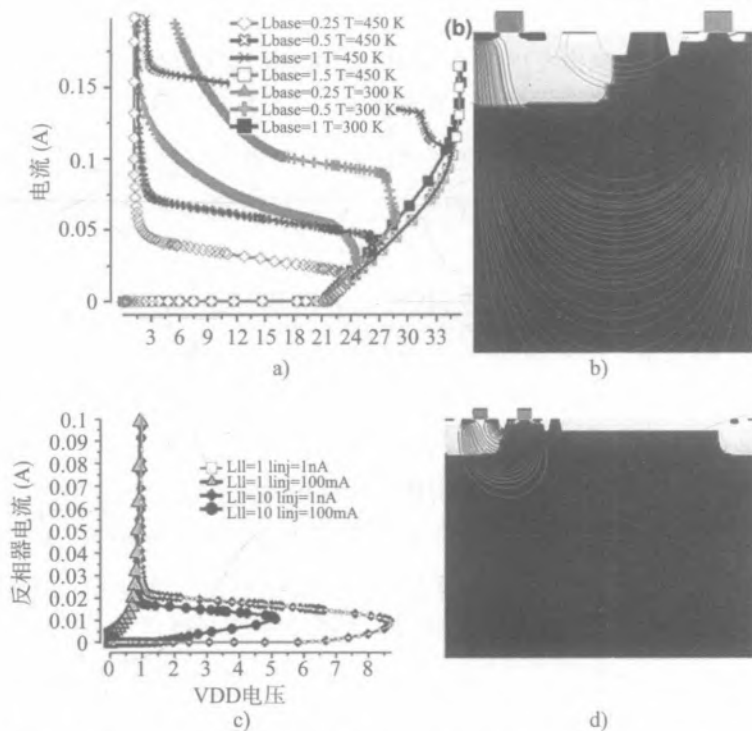


图 4.7 大电流状态和低维持电压条件下仿真的 $I-V$ 特性曲线和电流流向 a)、b) I/O 缓冲的闩锁结构 c)、d) 核心电路结构

4.2 高压闩锁

在前一节中，阐述了常规低压闩锁触发，即寄生 $p-n-p-n$ SCR 结构开启并进入高电流状态。SCR 结构是由于芯片版图中集成了 n 型和 p 型器件而无意中形成的。闩锁的触发要么是由于 SCR 自己内部正偏结的注入电流，要么是由于外部闩锁测试的电流或者系统级 IEC ESD 测试的电流。原则上，过电压会产生类似的 SCR 触发效应。这将在下面瞬态闩锁章节中进行单独讨论。

在常规闩锁中为双稳态提供正反馈的物理现象是双注入电导率调制。另一种可以提供强烈正反馈导致双稳态特性的结构是寄生 $n-p-n$ 结构。与 SCR 不同的是， $n-p-n$ 中的正反馈是在高电压下实现的，这是因为雪崩注入电导率调制效应需要大电场支持碰撞离化。

实验结果表明，与常规闩锁类似，寄生 $n-p-n$ 结构可以通过电子或空穴注入开启。该电流注入是由标准闩锁测试条件下的测试电流或者上电情况下系统级 ESD 应力电流产生的。尽管时间域不同，但是这两种应力都会导致物理上的闩锁效应。由于 $n-p-n$ 处于高电压下，所以闩锁是在相对较高的集电极 - 发射极电压下触发的。因此，该现象被归为高压闩锁，以区别于常规低压 CMOS 闩锁。

在 BCD 工艺中，寄生 $n-p-n$ 结构可以由芯片版图中两个 n 型外延区域构成，且 n 型外延区中有源器件的 n 接触区需连接到独立的压焊块上以承受应力。如果两个 n 型外延区足够接近，且至少其中一个压焊块处于高电压，那么就可能因短暂电流注入而发生闩锁。特别是，当其中一个 n 型外延区接地，另一个 n 型外延区接高压压焊块，那么就可能发生闩锁。在闩锁应力条件下，较高电压的压焊块是寄生横向高压 $n-p-n$ 结构的 n 集电极，低压这边是寄生横向高压 $n-p-n$ 结构的发射极。基极是由外延区域之间的 p 型衬底和 p 环隔离区域构成。即使在没有雪崩击穿电流注入的情况下，足够高的集电极 - 发射极电压也可以触发闩锁。

为了避免闩锁，版图中需要采取一定的防护措施，并通过实验验证，然后在高压半导体工艺中进行 IC 设计。当然，这些规则通常是由有限的实验结果来决定的。在解释了与高压闩锁有关的物理现象之后，本节最后对一个设计规则实例进行了概述。闩锁规则主要集中在通过使 $n-p-n$ 结构失效或者减少 n 型外延阱中的结注入电流来防止寄生的高压 $n-p-n$ 开启。对于带有高边 p 区的 n 型外延阱，当 $n-p-n$ 结构开启的时候，最终的闩锁情况会形成一条与常规低压闩锁类似的寄生 SCR 电流路径。

因此，本节的目的是提供关于高压闩锁这类复杂主题的简要概述。为了达到这一目标，我们利用 DECIMTM 工具^[19] 阐述了一个混合模式参数化数值分析的例子。总的来说，这些内容同样适用于 BCD 工艺和具有深 N 阱隔离的扩展 CMOS 高压工艺。

4.2.1 n 外延 - n 外延闩锁

对高压 BCD 工艺的闩锁仿真分析方法在某种程度上类似于前面章节中提到的常规闩锁方

法。根据恒定电流注入条件下物理 FEM 闩锁器件的集电极 - 发射极特性，可以对高边 (HS) 空穴注入和低边 (LS) 电子注入进行分析。另一种方法是，采用恒定集电极 - 发射极电压和注入脉冲进行更精确的瞬态分析。

第一种方法提供了临界电压对注入电流水平的依赖关系信息。然而，由这些数据可能并不容易推断出期望的闩锁测试结果。在恒定注入电流条件下集电极 - 发射极曲线只提供了对临界高压闩锁条件的粗略理解。通过比较 S 形 $I-V$ 特性曲线开始阶段的临界电压，可以进一步预测不同的注入电流和器件结构参数。在这种情况下，我们从本质上分析了在一个向基区恒定注入电流的情况下，n-p-n 的脉冲式安全工作区。

第二种方法更加精确。它显示了注入脉冲末端电流状态与注入电流和结构参数的关系。因此，通过基于参数化 FEM 器件的混合模式数值实验，可以获得对相关物理现象的深入了解。这同样的两种方法都可以应用于测试结构的闩锁实验分析。

然而，高压闩锁的仿真和实验分析均与自热效应有关。由于电压降和电流等级较高，不能简单地忽略自热效应。因此，必须要在设计中考电电热电导率调制和电流不稳定性效应。

从设计角度来看，将电路与相邻 n 型外延区域隔离是另一个需要考虑的问题。由于区域的隔离涉及芯片上的距离，因此该问题可以被概述为找到两个区域之间的最近隔离距离。原则上，这个距离可以用于区域内的次级保护环（增加它们的尺寸），一个外延区域的扩展用于阻止 N 阱和 NBL 的扩散，一个有源保护环用来提高对低边注入的免疫^[95]，或者以上两个的组合。

为了解决闩锁仿真分析中所涉及的复杂性问题，传统的 TCAD 仿真方法是不切实际的。因为仿真复杂度和计算量增加，大多数实际案例都需要很长的仿真时间。复杂度增加的主要原因是 FEM 器件的长度达到 40~150 μm ，深度达到 100 μm ，还需要明显改变器件的结构参数。

为了克服这些挑战，在全面的器件 - 电路混合模式分析下，采用器件几何参数和掺杂分布的全参数化，基于参数化工具 DECIMM^[10] 的新仿真方法（第 3 章）被成功应用。该分析结果被直接用于解释高压闩锁事件的主要规律。它包括标准闩锁测试下的电热条件和系统级 ESD 应力下的绝热条件。

n 外延 - n 外延结构的真实案例是非常复杂的，因此很难用它来解释基本的高压闩锁机制。相反，本节首先介绍了一种基于简化结构的通用的闩锁例子，揭示了复杂的高压闩锁问题背后的主要物理效应。下一节中，在有限器件结构参数改变的条件下，对一个具有保护环区域的更加复杂和真实的器件结构高压闩锁实验数据进行了比较。

含有被接地 p 环分开的两个隔离高压二极管的简化结构如图 4.8a 所示。二极管阴极同时将阳极区与 p 衬底隔离开。垂直隔离是由 n 外延、N 阱和 N 埋层 (NBL) 形成的。100 V 电压的横向隔离是由 N 阱、从 NBL 延伸至 P 阱的 n 外延和 P 埋层构成 (PBL) 的。因此，该对称结构只有 5 个电极，即高边二极管阳极“AH”和阴极“CH”，低边二极管阳极“AL”和阴极“CL”，以及 p 衬底接触“GND”，如图 4.8a 所示。

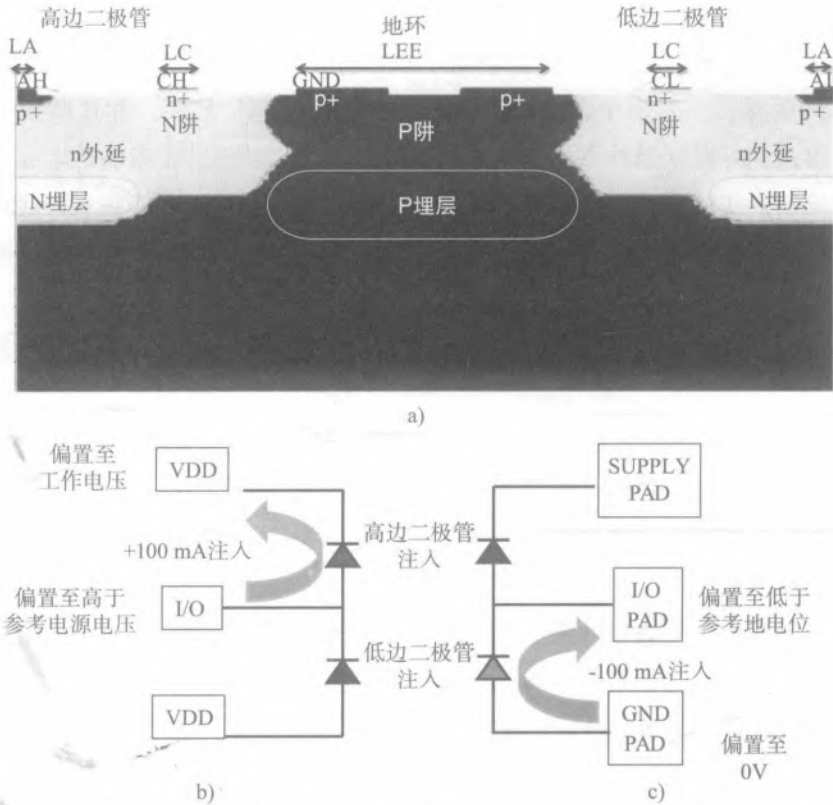


图 4.8 a) 用于高压门锁分析的简化 FEM 结构 b) 高边门锁测试电路 c) 低边门锁测试电路

如果高边二极管的阳极与低边二极管的阴极相连形成 I/O 二极管对，那么在标准的 JEDEC 门锁测试中两种载流子注入场景可以在图 4.8b 看到，类似于低压门锁 I/O 例子。图 4.8a 中对于高边（HS）和低边（LS）注入更加通用的电极条件在表 4.2 中进行了总结。

表 4.2 针对高边空穴注入和低边电子注入的简化 FEM 门锁结构（图 4.8a）的电极条件

注入情况	HS 阴极	HS 阳极	LS 阳极	LS 阴极	衬底
高边	电源电压	在正向电流模式下高于电源电压	接地或浮空	接地	接地
低边	电源电压	电源电压或浮空	浮空或短接至 LS 阴极	在正向电流模式下低于地	接地

对于低边电子注入，低边二极管的阴极 CL 被偏置在衬底电位以下，这引起了寄生 n-p-n 结构中 n 外延 -p 衬底之间的电子和空穴流动。在由高电压 V_{power} （电源电压）形成的电场中，注入的电子漂移通过轻掺杂衬底直到高边 n 外延。

直观地说，可以假设，在低边注入的情况下，寄生 n-p-n 中触发的门锁机制类似于普通共发射极晶体管电路，而且门锁的特性与 BJT 结构的特性直接相关。改变基区长度、集电极基极雪崩倍增特性以及发射极 - 基极结的注入能力，都能影响门锁触发的临界条件。尽管其中的一些假设

是真实的，但在低边注入闩锁条件下，结构中的工作机制并不那么简单，下面将对其进行阐述。

当高边二极管的阳极“AH”被偏置到高于 HV 电压 V_{power} 时，就会产生高边空穴注入。与低边注入不同的是，在本例中，载流子被注入高边 N 外延区域中。在这些条件下，只有一小部分空穴会渗透到外延区域外并漂移到低边外延区域中，以进一步影响寄生 n-p-n 结构中雪崩注入电导率调制效应的临界条件。显然，当整个集电极-发射极空间被 p 衬底环占据时，注入空穴的收集是最好的。同时，通过外延区域中的环来限制注入载流子水平被证明也是非常有效的。

为了分析低边和高边触发的闩锁事件，利用混合模式仿真，对具有不同 n 外延到 n 外延距离 LEE 的参数化 FEM 器件（如图 4.8a 所示）进行了研究。图 4.9a 给出了因高边注入触发闩锁的电路，相应电极条件如表 4.2 所示。除了改变 LEE 参数之外，该结构还在恒定温度 $T=300\text{ K}$ 和初始温度 $T=450\text{ K}$ 条件下进行了恒温和热耦合特性仿真。为了更好地仿真物理效应，对闩锁触发的温度升高标准定义为比典型值（约 400 K ）高 50 K 。混合模式电路重现了恒定电流注入条件下的曲线追踪结果。

因此，在恒温条件下对高边曲线追踪的仿真分析结果的主要结论与 n-p-n 结构中雪崩注入的基本认识是一致的^[5]。这个器件的恒温临界电压与注入电流是呈负相关函数关系，如图 4.9b 所示，而增加基极长度，会导致触发电压和维持电压增加，如图 4.9c 所示。

然而，当在毫秒时间域中启用热耦合分析时，相比于等温电流不稳定条件，器件在很低的电压下就到达了临界温度，如图 4.9b 所示。因此，有理由认为，闩锁将受到热失效的限制，此时器件达到了临界温度和相应的局部烧毁条件。此外，这些条件不是在注入的激励电流移除后达到的，而是在注入脉冲期间，由 n 外延到 n 外延电路中的高检测电流引起的。

实际上，在标准 [93] 中对 JEDEC 闩锁测试进行了定义，脉冲的上升时间和宽度范围是非常宽的，从 $5\mu\text{s}$ 至 5 ms 。在这一时间域中，整个芯片的自热效应就变得非常重要。因此，器件主要被电热效应所限制，而不是电流非稳定性。相反，在系统级 ESD 应力下， 100 ns 时间内即达到临界条件并接近于等温电流不稳定条件下的电学物理极限。接下来，将利用参数化混合模式仿真来分析电学和电热条件下（考虑自热效应）的闩锁现象。

在等温条件下，维持电压与 p 基区长度 LEE 的依赖关系与 n-p-n 器件的雪崩注入一致，如图 4.9c 所示。然而，在高边注入下阳极 AH 电压高于 V_{power} ，该结构就可以表示为一个 SCR 器件，其 p 型发射极电流由闩锁测试注入电流限制。这就解释了在大电流和低 LEE 间距条件下维持电压较低的原因。

类似于高边注入触发的闩锁，可以采用相应的混合模式仿真电路分析低边注入触发的闩锁，如图 4.10a 所示，同样采用图 4.8a 中简化的 5 端口 FEM 结构。由于寄生 n-p-n 结构中的非均匀区域，即使在等温条件下，低边注入触发的闩锁现象也相当复杂。

在无注入电流时，有限元结构的 $I-V$ 特性与低边注入时相似（图 4.10b）。临界电压对注

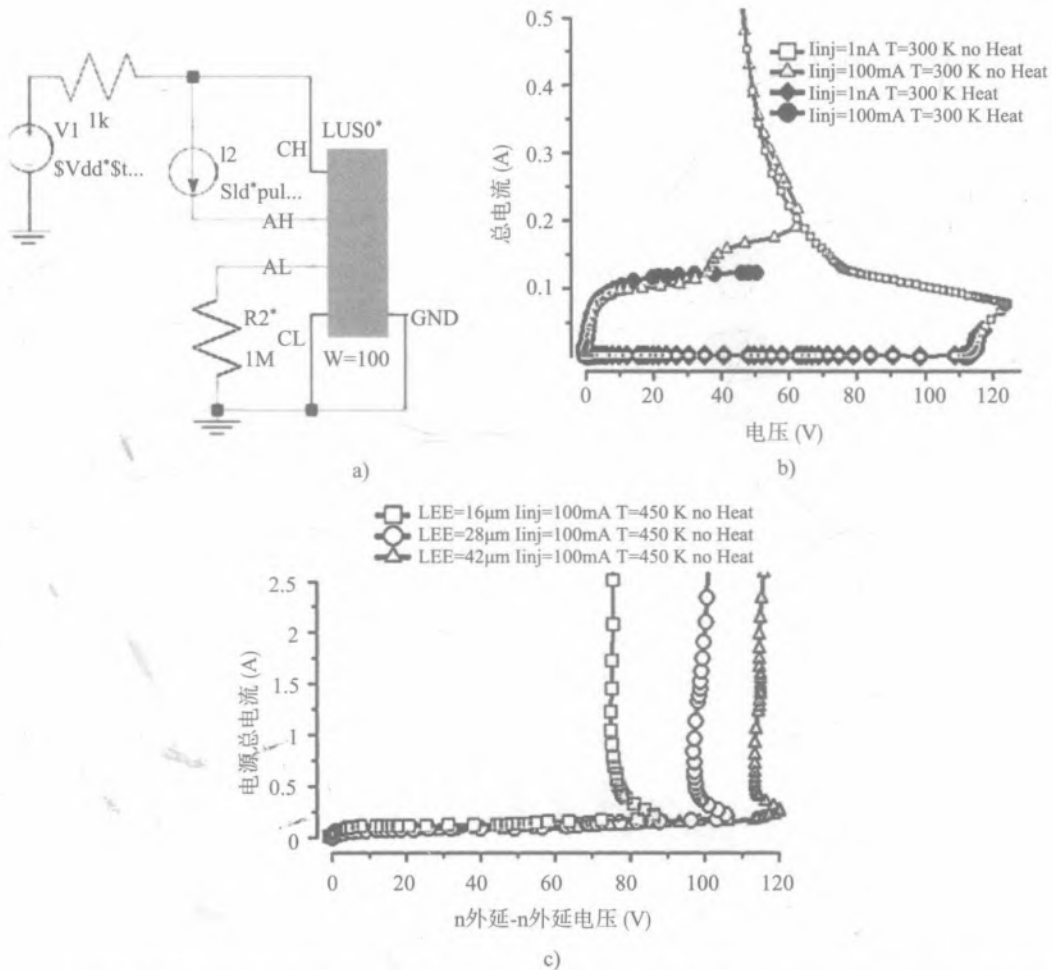


图 4.9 a) 高边恒定电流注入条件下用于曲线追踪的混合模式仿真电路 b) 在恒温 $T=450\text{ K}$ 条件下, 在 $LEE=16\ \mu\text{m}$ 情况下, 不同阳极注入电流等级下的 $I-V$ 特性仿真结果, 包括考虑自热效应和不考虑自热效应 c) 在恒温 $T=450\text{ K}$ 条件下, 不同 LEE 参数的 $I-V$ 特性仿真结果

入电流的依赖关系 (图 4.10d) 也符合雪崩注入电导率调制的一般理解。在注入电流作用下, 我们观察到相当非线性的 $I-V$ 特性 (图 4.10b)。 $I-V$ 特性的非线性是由于两种不同的效应。

当高边阳极“AH” (图 4.8a) 未连接时, 对 n-p-n 结构实现雪崩注入电导率调制。由于 n-p-n 结构具有 n 外延扩展, 首先观察到受电流限制的 S 形特征。这里, 雪崩倍增区域条件是在相当淡的 n 外延-P 衬底形成的 (图 4.10e)。然后, 在电流饱和后, 在约 90V 电压下对 n 外延区域进行调制, 直到在某一临界电流下扩散结处形成电场最大值。这个结能够提供更高的电流密度, 并在约 130 V 和 100 mA 的负微分电阻下提供一个临界状态 (图 4.10b)。

如果高边阳极电极“AH” (图 4.8a) 有连接, 则它充当 SCR 的 p 型发射级。p 型发射极在一个低得多的电压下提取注入电流, 从而显著降低电导率调制的阈值电压。这种效果有点类似

于高边注入，可以通过分离高边阳极“AH”和阴极“CH”电流对 n 外延- n 外延所加电压的依赖性的仿真输出来理解（图 4.10c）。可见，高边二极管阳极区的注入能力取决于二极管的设计。

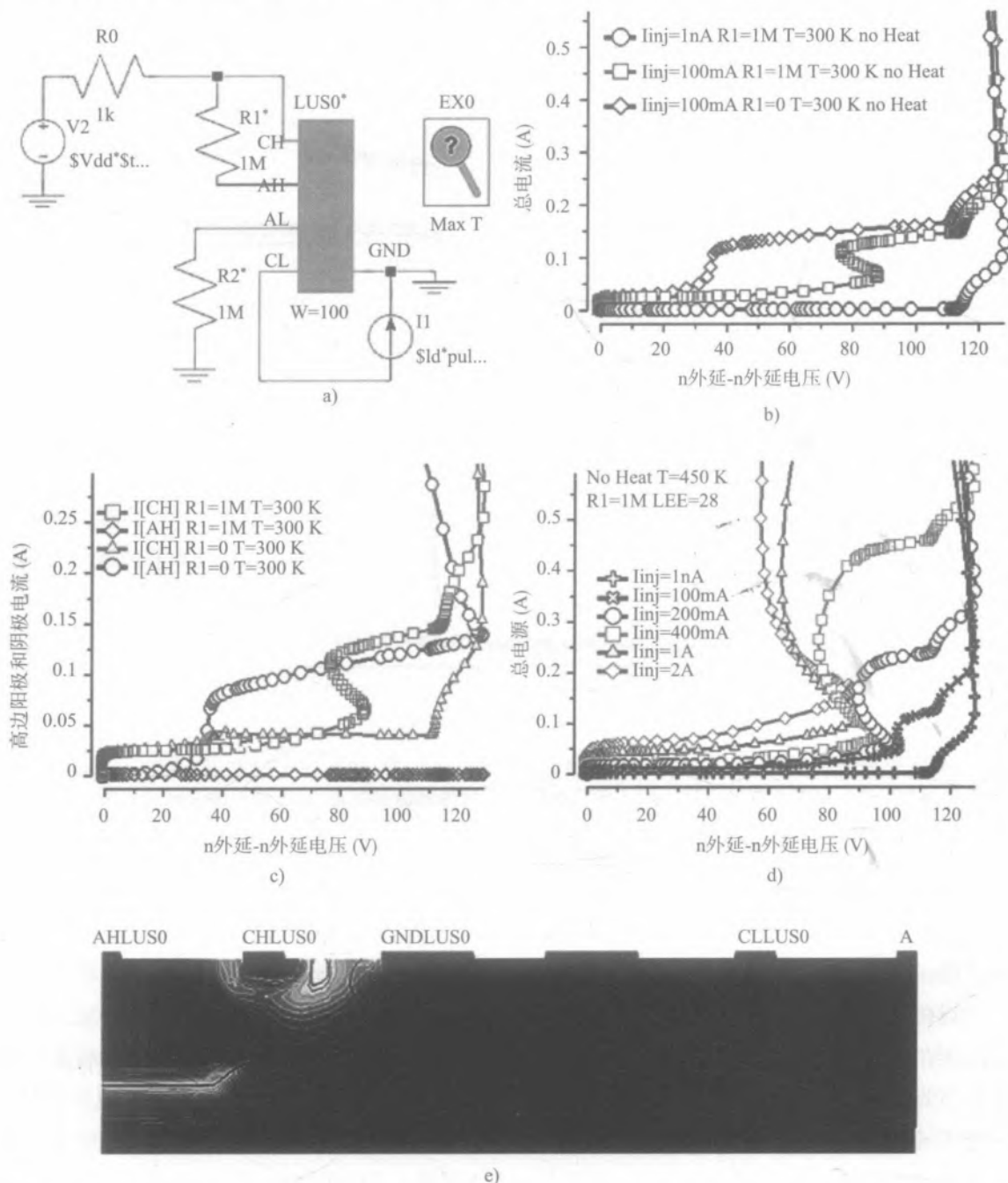


图 4.10 等温条件下低边触发闩锁的混合模式仿真 a) 曲线追踪电路 b) 在 $LEE=16\ \mu\text{m}$ 和不同注入电流等级下且阳极连接到 AH 时的仿真 $I-V$ 特性 c) 阳极 AH 和阴极 CH 各自的输出电流 d) 不同电流注入等级下的曲线追踪特性 e) 闩锁状态下碰撞离化的深度分布

与高边诱导门锁一样，最小维持电压是 n 外延 - n 外延间距的函数，表示寄生 n - p - n 结构的基区长度。特别是，在电流为 100 mA~200 mA 的近似等温条件下，标准 JEDEC 门锁试验（图 4.10d）的结果不会导致结构在整个电压区域内高达 100 V 的锁。同时，该结构还会受到几个安培的系统级注入电流的影响。

热耦合仿真增加了锁现象的复杂性。根据结构设计，连接的“AH”电极作为 p 发射极的作用被放大了，如图 4.11 所示。

“AH” p 发射极可以成为 n 外延中有源电路的一部分或者可以作为连接到 n 外延节点的环，以吸收高边空穴注入中的部分空穴。该例子将在下面章节中进行阐述。

尽管通过曲线追踪分析获得的 I - V 特性，可以对锁现象有一个深刻的见解，但是，单脉冲注入条件下发生瞬态锁的信息还是非常有限的。因此，仿真结果与测试结果之间的对比还是不清楚的。

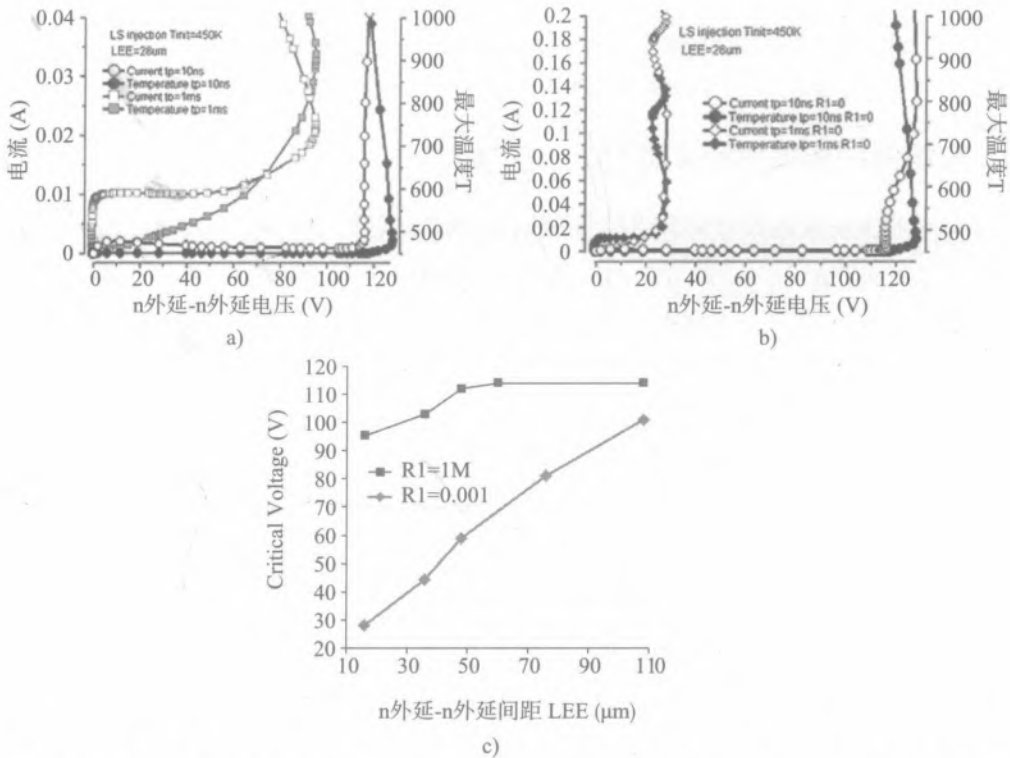


图 4.11 低边注入热耦合混合模式仿真，考虑了不同脉冲时间和自热效应，“AH”电极作为寄生 SCR 结构的 p 发射极，说明“AH”浮空和“AH”连接时的热失控情况 a) “AH”浮空 b) “AH”连接 c) 临界电压与 n 外延到 n 外延距离 LEE 的关系

一个带有锁测试仪 (LUT) 源电路的混合模式仿真会更加精确。图 4.12a 给出了在恒定电源电压下和单注入脉冲下的瞬态锁混合仿真电路。数值实验结果表明，锁触发的临界注

入电流是电源电流和结构参数的函数。图 4.12b 给出了在 $LEE=16\mu\text{m}$ 和 $20\mu\text{m}$ 条件下，一个计算临界注入电流与电源电压 V_{power} 依赖关系的例子。

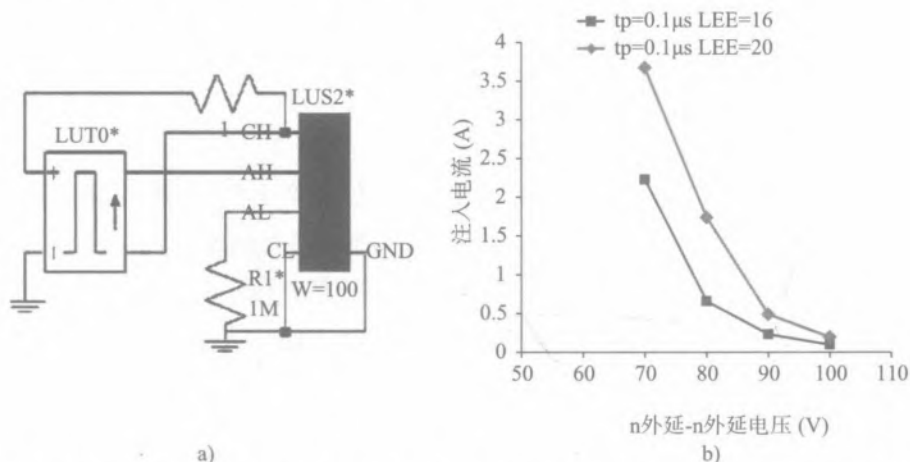


图 4.12 a) 针对高边注入触发闩锁的等温高边混合模式临界注入电流分析仿真电路 b) 在 $T=450\text{ K}$ 的等温条件下，提取的注入电流与 n 外延到 n 外延距离 LEE 的关系

4.2.2 有源保护环隔离和实验对比

通过临界电压曲线追踪方法和进行标准的 JEDEC 闩锁测试以及在给定电压下增加注入电流，可以获得实验数据。对于低边注入的曲线跟踪是用恒定的电流源和电压线追踪完成的。而在标准的 JEDEC 闩锁测试中，所施加的脉冲时间为 3 ms ，注入电流为 100 mA ，逐渐增大测试电压直至闩锁。高压闩锁是不可逆的失效模式。

图 4.13 给出了低边注入触发闩锁的曲线追踪特性实验数据。对 n 外延之间两种类型的隔离环—— p 衬底环和有源环，进行了测试。结合数值仿真分析结果，将在下面对有源环做详细介绍。基于工业测试仪器 MK2 Thermo Fisher 对低边注入触发闩锁的测试数据与曲线追踪实验的数据一致。实验结果表明，对于 p 衬底环，即使 LEE 间距大于 $150\mu\text{m}$ ，其临界电压都很低，只有 $50\sim 60\text{ V}$ ，远低于期望的 $80\sim 100\text{ V}$ 的设计目标。

由于与高边电流源连接，高边注入触发闩锁事件的曲线追踪分析方法存在技术困难。所以，仅在图 4.14 中给出了标准的高边注入触发闩锁的测试数据。不同于低边闩锁，当增加 LEE 距离至 $50\mu\text{m}$ 以上后，高边注入触发闩锁事件的开启电压很高。因此，尽管相

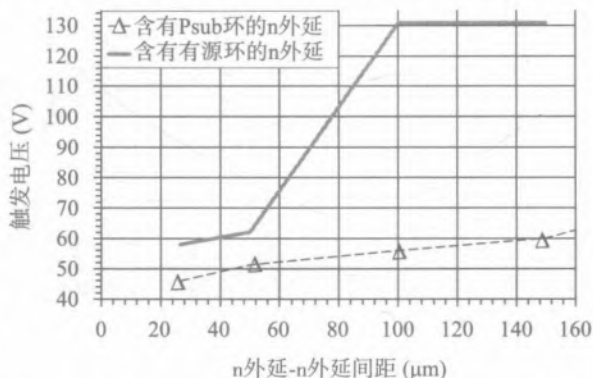


图 4.13 针对低边注入触发闩锁的基于曲线追踪和标准闩锁测试方法的实验数据^[96]

同的 n-p-n 器件横截面表示了相同的闩锁物理特性，但是高边和低边注入触发闩锁事件的临界电压是有明显区别的。

用于实验分析的测试结构横截面如图 4.15a 所示，结构中具有较高的 n 外延到 n 外延区域。该结构与之前章节中的简化结构的主要区别在于该结构中有一个高压二极管，而且在 n 外延中存在多晶硅 RESURF 和额外的 n、p 环，并且直接与阴极相连。p 环的最初目的是为了吸收部分注入的空穴，而外部的 n 环完成了 p 环之外的表面隔离。内部阱内 p 环的作用是为了减小金属的连接电阻。n 外延和内部 p 环的金属层相同，而阱内隔离 p 衬底环通常是通过一个高阻路径连接到地的。

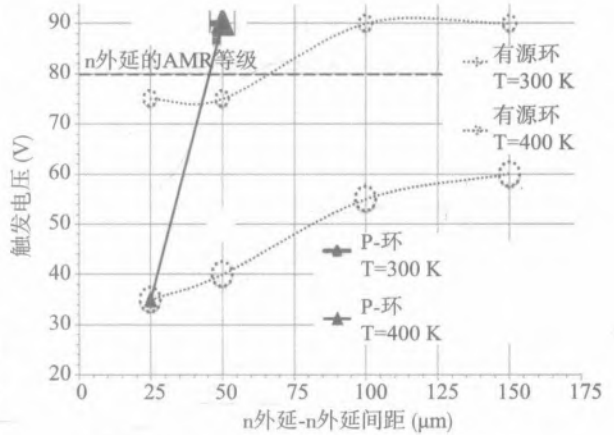
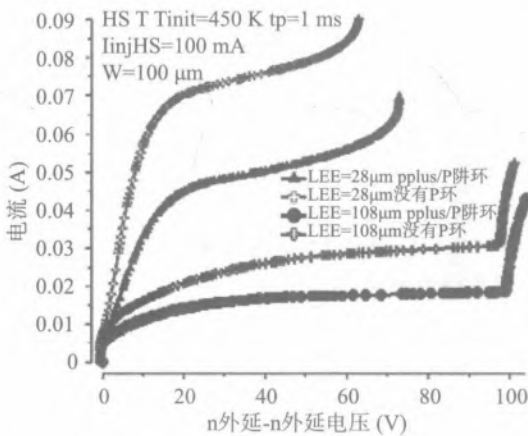


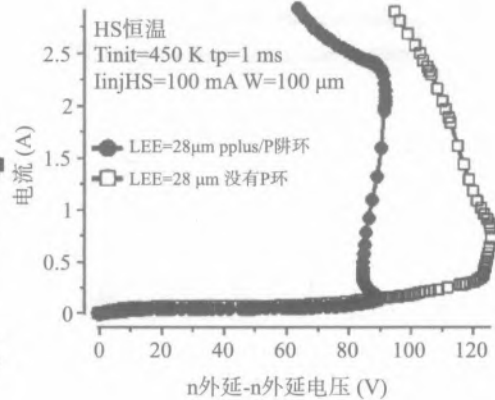
图 4.14 高边注入曲线追踪的实验数据 (由 Joseph Sheu 提供)



a)



b)



c)

图 4.15 高边注入触发的闩锁仿真，其中热耦合特性是器件的峰值温度直至 $T=1\ 000\ K$ 为止 a) FEM 结构的参数化横截面 b) 热耦合条件下在 1 ms 电压脉冲下的曲线追踪 $I-V$ 特性 c) 等温条件下在 1 ms 电压脉冲下的曲线追踪 $I-V$ 特性

为了理解高边和低边闩锁与临界电压之间的关系，对图 4.15a 所示结构进行了数值仿真分析。因为该分析适用于标准闩锁电热条件和 ESD 测试电气条件，图 4.15 给出了含有热方程的热耦合仿真和等温仿真。

对于 LEE 间距较小的结构，由高边注入触发闩锁的临界电压是由器件自热效应和热失效限制的，如图 4.15b 所示。由高边注入引起的 n 外延电路中的高检测电流是一个关键因素。所以，p 环会吸收这些空穴以减小检测电流，如图 4.15b 所示。因此，临界电压通常由峰值温度 $T=100\text{ K}$ 所限制。

如果热方程被禁用，那么就可以观察到电学限制与 n 外延到 n 外延的间距呈函数关系，如图 4.15b 所示。然而，相比于 ESD 应力，高边内部 p 环具有更高的电流密度，它的作用就是 p 发射极。结果，寄生 SCR 结构会在一些超过了热效应极限的临界电压和电流密度下开启，如图 4.15c 所示。因此，在高边阱内的 p 环参数必须仔细选择。一种选择是只用 p 接触扩散做 p 环，消除 p 阱扩散。

对于低边注入触发的闩锁，热耦合和等温仿真曲线追踪结果与实验数据是相关的，如图 4.16 所示。在临界温度 $T=1\ 000\text{ K}$ 下，随着 LEE 间距的增加，检测电流减小了，并得到了更高的临界电压，如图 4.16a 所示。基于适当的设计，在等温条件下没有闩锁发生，如图 4.16b 所示。

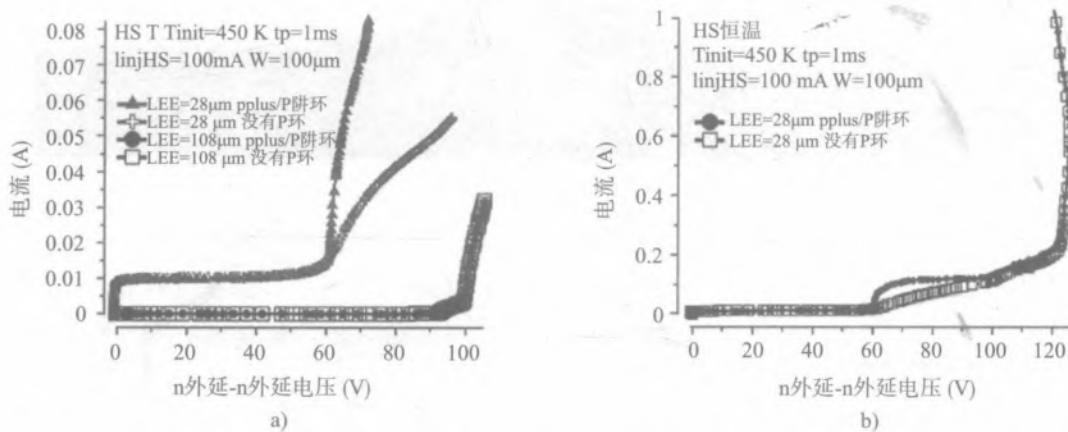


图 4.16 低边注入引起的闩锁仿真的 $I-V$ 特性曲线，电压脉冲宽度为 1 ms（热耦合特性被计算至最高温度 $T=1\ 000\text{ K}$ ） a) 热耦合仿真 b) 等温仿真

文献 [95] 中提出了一种减小低边注入效应的方法。在 n 外延到 n 外延之间引入了有源保护环以吸收注入的电子。该方案通过将额外的深 n 外延区域与 p 衬底相结合，改进了环吸收电子的能力。因此，形成了一个新的注入电子吸收路径。图 4.13 和图 4.14 分别给出了低边注入和高边注入的有源保护环实验数据。改进低边注入条件的主要作用是增加临界电压。相反，它的缺点是减小了高边注入的临界电压。

图 4.17a 给出了含有简化有源环结构的横向截面图，该图用于说明有源保护环的作用。有

源保护环处于器件结构的中间，由长度为 LN_{ring} 的 N 区域和相邻的两个 p+ 区域相连构成。在实际应用中，这三个区域都是相连的，但仍然是浮动的，如图 4.17c 所示。当 n 外延到 n 外延之间施加电压后，有源保护环的 n 区域势垒被拉到地电位之上。这就为注入电子提供了一条新的电流路径。

正如预期的那样，由于对注入电子吸收能力的改进，有源保护环对于低边电子注入起到的保护作用是可观的。相反，在高边空穴注入例子中，由于失去了空穴吸收能力，有源保护环对抑制闩锁只起到了很小的作用。

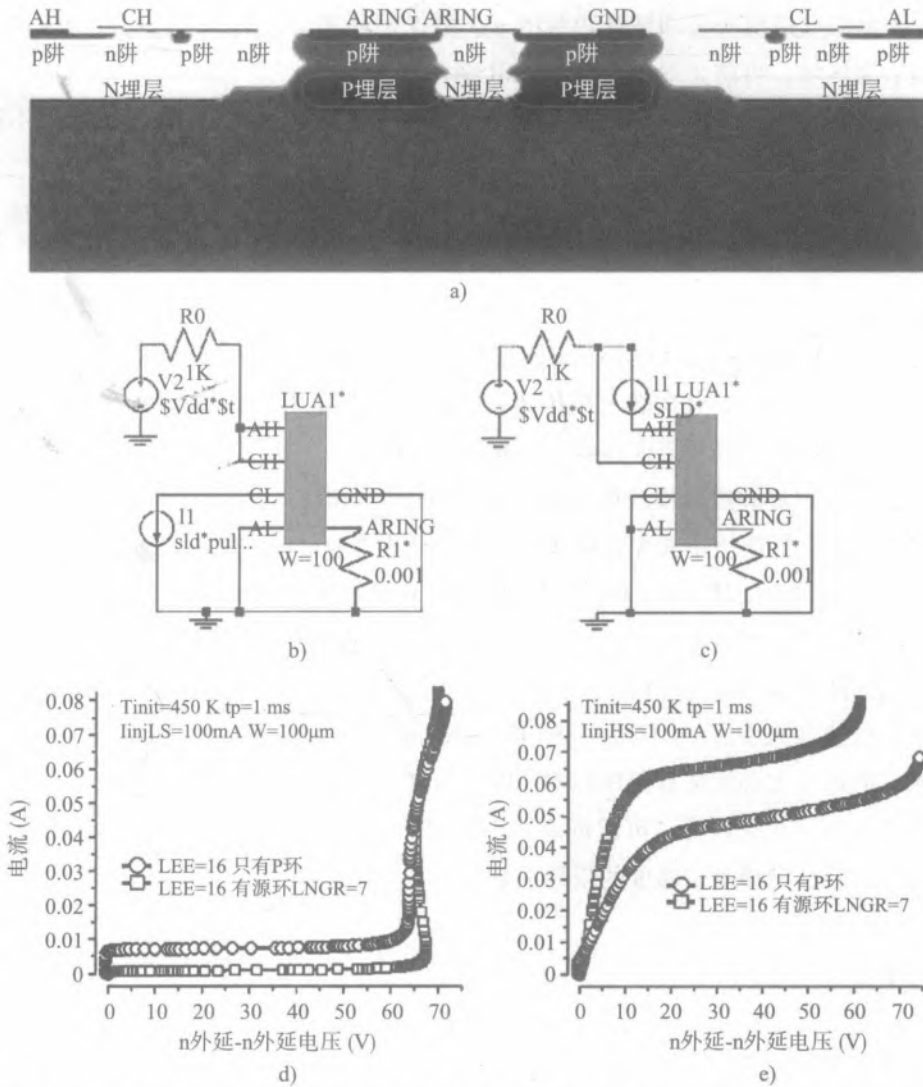


图 4.17 不同注入条件下有源环的热耦合仿真 $I-V$ 特性对比，其中电压脉冲为 1 ms、n 外延到 n 外延间距 $LEE=16\mu\text{m}$ ，当结构内部的峰值温度达到 1 000 K 时曲线追踪停止 a) 含有参数化有源环的 FEM 闩锁结构横截面 b) 高边注入 c) 低边注入 d) 高边注入 e) 低边注入

4.2.3 高压闩锁抑制规则

结合实验结果和仿真分析,验证平台的主要准则可以进一步推导并形成脚本编码。高压闩锁规则可以作为 CAD 的一部分在自动化版图布局验证工具中实现。

含有连接到不同压焊块的有源器件以承受电流注入或过电压闩锁测试的不同电位的 n 型外延区,必须在版图中分开。区与区之间的隔离距离,是需要通过的闩锁测试电流(通常 100 或 200 mA)和闩锁测试温度(通常室温或 125 °C)的函数。通过增加 n 外延之间的隔离距离,减小了由外延和衬底形成的寄生 n-p-n 结构的增益,因而使得闩锁触发的临界电压增加了。

n 外延区里的电路模块必须被区边缘的 n 扩散保护环完全包围。通过更好的隔离与压焊块相连的高边 p 型区域,可防止形成有效的 SCR 结构。

每一个 p 扩散区域和 n 外延区都必须被独立的 p 衬底环包围。但是, p 衬底环不能被多个 n 外延区共享。该规则的目的是为了减少由衬底 p 环积累引起的空穴注入效应。

同样的规则也适用于低边 n 外延的设置,尤其是接地 n 外延。因此,低边或接地 n 外延需要与连接到注入 I/O 引脚的高压 n 外延区分离开。

n 外延扩散环可以直接与 5 V 电源压焊块相连,或者通过一个阻隔二极管相连。

n 扩散环和电源压焊块之间的电阻应该足够小,例如小于 10Ω。

与这些措施相关的是,任何含有模拟或数字电路的区域必须与注入电流区域隔离开。内部电路必须被 n 扩散环包围且环需连接到 5 V 电源压焊块。

注入区的 n 扩散环和逻辑模块的 n 环不能共用连接到电源的金属走线。相反,应该绘制两个单独的金属线,它们应该足够宽以能承受闩锁测试中 200 mA 的电流。

注入区中的高边接地环和包围内部电路模块的 p 衬底环不能共用连接到地的金属走线,以避免在电流注入条件下产生电压降。事实上,如果走线电阻在 30~40Ω 时,200 mA 的电流会产生足够大的电压降使得二极管开启。

为了减小低边注入引起的闩锁,一种可选的措施是使用有源保护环。在该情况下,自动规则检查证明,低边注入必须被有源环包围,同时与高压偏置区有足够的间距。

一般来说,为了优化设计,可以创建一个规则参考表,以定义要求间距对区域之间最大应用电压、注入电流、闩锁测试温度的依赖关系。

4.3 TLU

通过对文献 [97] 中瞬态闩锁 (TLU) 的重新定义和扩展,可以进行如下阐述。TLU 是由低阻电流通路和相应的由电源支撑的导通状态构成的,导通状态由瞬态过应力引起,即使移除瞬态过应力,导通状态至少会短暂地维持一段时间。在该定义中,与常规闩锁的主要区别是造成 TLU 的过应力是在低于 5 μs 的时间内发生的。因为根据 JESD78D JEDEC 标准^[93]的常规闩锁测试,

常规闩锁是在 $5\ \mu\text{s}\sim 5\ \text{ms}$ 内产生的。低阻电流通路是由寄生晶闸管 (SCR) 或者 n-p-n 晶体管形成和支撑。这些寄生结构可以在一个给定的版图图中无意地形成并成为 ESD 结构的一部分。瞬态过应力可以由过电压和注入表示。该注入可以在结构内部启动,从而提供了低阻抗 TLU 的条件。

尤其是在正常工作条件或者电过应力事件中,当导通状态可以由电源电流支撑时,TLU 可以表示为回滞钳位中的意外开启效应。TLU 的具体定义与上电 IC 被瞬态脉冲触发的条件相关,该瞬态脉冲与常规闩锁测试脉冲相比其上升时间和宽度都很短。

瞬态闩锁与本书的主题是相关的,其重要性在于其与上电模式下系统级应力条件是相关的。本节将从几个不同的角度对物理级层面的瞬态闩锁问题进行讨论。主要是,局部 ESD 钳位中的 TLU 事件可以因正常工作模式下短暂的电学状态偏移或者片上和片外防护网络元器件的相互作用而被触发。

第一个小结中介绍了 IC 的 TLU 特性的实验设置。随后介绍了在正常工作条件下瞬态引起的闩锁,并利用一个简化的低压同步降压电压调制器的功率级例子来阐述主要的规则。

接下来的小节将从不同的角度讨论 TLU。在这个例子中,闩锁事件是因系统级 ESD 应力脉冲触发的。通过基于片外 TVS 防护网络的 IC 案例研究,说明了在系统级事件的某些条件下引脚对 TLU 非常敏感,而在另一些条件下引脚可以通过 JEDEC 闩锁测试。

4.3.1 TLU 闩锁测试

在过去几年里,已经观察到许多与 TLU 相关的失效,并针对 TLU 设计了相应的防护措施^[97-102]。TLU 触发脉冲的标准上升时间比静态 JEDEC 闩锁测试中允许的最小上升时间还要快几个数量级。这允许使用快速上升的 ESD 脉冲作为 TLU 的触发脉冲。目前,还没有标准来定义用于 IC 的 TLU 特性描述的方法。因为机器模式 (MM) 测试仪器具有正向和负向的应力波形,所以它被用作触发源^[101]。TLP 测试仪和固态脉冲器^[102]也被采用,因为它们具有不同的上升时间和脉冲宽度。

TLU 特性测试的另一种设置如图 4.18 所示。HMM 测试仪器用来作为闩锁触发源。DUT 由 DC 电源上电至正常工作的电源电压。在 DC 电源和应力路径之间放置了一个雪崩二极管,以阻止在 ESD 应力下电流流向 DC 电源^[101]。连接的感应电流探头监测从触发源和 HMM 测试仪到被测器件的电流。电压探头通过监测应力引脚上的电压来检测 DUT 可能的闩锁状态。

该设置用于测试真实产品的 TLU 鲁棒性。IC 被上电至数据手册中定义的典型工作电压 10 V。HMM 应力施加在电源引脚上。类似于静态闩锁测试,DC 电源的最大电流限制在 100 mA。图 4.19 给出了 HMM 应力下电源引脚之间的电压波形。在 2.5 kV 应力下,电压会下降至电源电压以下。当 HMM 应力减小之后,电压并不会恢复到工作电压,而供电电流会永久性地从 9 mA 增加至 15 mA。重复进行相同等级的 HMM 应力测试,供电电流会进一步增加直至器件烧毁,该现象可以在开路电路中电源引脚之间测得。

下面的小节将讨论 TLU 如何在不同的场景中发生及相应的 TLU 防护解决方案。

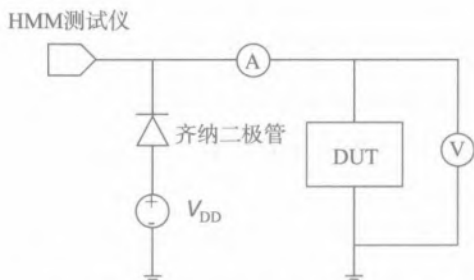


图 4.18 TLU 测试设置, V_{DD} : DC 电源, 齐纳二极管: 分立雪崩二极管, 可选器件: 与 DUT 并联的去耦电容

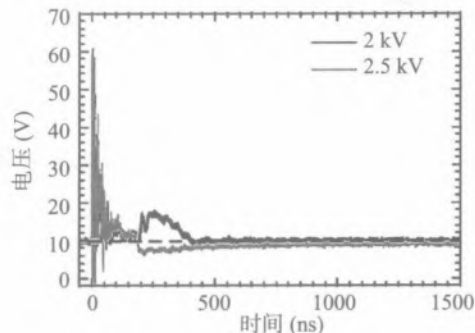


图 4.19 一个 IC 产品的 TLU 测试: IC 上电至 10 V 时 HMM 应力下电源引脚之间的电压

4.3.2 电源轨中开关引脚的 TLU

瞬态引起的闩锁主要是由于电过应力下局部 ESD 回滞钳位产生的意外触发、短暂负载变化或失配, 以及短时间偏离设计阶段通过仿真验证的正常电学条件。

这种类型的瞬态闩锁可以通过一个开关引脚的局部回滞防护例子进行解释^[5]。因栅极耦合至阈值电压以上, 检测到的瞬态电流使钳位器件进入回滞区, 并形成瞬态闩锁模式。含有简化电源轨的输出电路如图 4.20a 所示, 包括 $L_F C_F$ 为外部滤波器件、 C_P 为电源去耦电容、 L_W 为键合线电感以及 NMOS 和 PMOS 阵列栅极的驱动时钟信号。当 V_{DD} 提升至 6~6.5 V 时, 该 5 V 实验电路在切换过程中出现了不可逆的失效。

引起瞬态闩锁的主要原因是芯片封装中的寄生电感和外部器件之间的连接。由于感性负载, 防护节点的电压波形并不理想, 包含有大量的电感电压噪声。

随着输入电压、功率 NMOS 阵列的临界电压的增加或者局部钳位器件的回滞, 振荡波形的振幅会增加, 如果施加到引脚, 会导致 TLU 事件。利用混合模式数值仿真分析, 可对该物理效应进行阐述。该仿真的负载电阻 R_L 约为 3.6Ω , 最大工作电压 $V_{DD}=5.5 \text{ V}$, 占空比为 50% 以限制输出负载电流为约 $(5.5/2)/3.6=0.763 \text{ A}$ 。由驱动器(图中未显示)提供的波形将控制信号“pgate”施加到高边 PMOS 管 MP, 使其在“ngate”信号较低时仍处于低电流状态。相反, 只有当“pgate”信号为高电平时, “ngate”信号才会为高。非重叠时间为 50 ns, 如图 4.20b 所示。初始时, 输出 NMOS 和 PMOS 器件是关闭的。然后, V_{DD} 节点被设置为任意电压, 并使用相同的初始条件将输出电容预设为一电压。这样, 电感器的两端都是由输出电容的初始条件设定的。

在混合模式数值仿真中, NMOS 开关阵列的物理级 FEM 结构如图 4.21a 所示, 结构中 p 体区的接触区域与源极之间的距离可以高达 $10 \mu\text{m}$ 。这个最大间距是由特定工艺中的设计规则定义的。作为混合模式仿真矩阵的一部分, FEM NMOS 器件的 2-D 横截面半导体方程的解支持雪崩注入电导率调制的物理效应(第 3 章)。NMOS 阵列的临界电压是 p 体区-源区间距(SWS)(图 4.21b)和栅极偏置(图 4.21c)的函数。

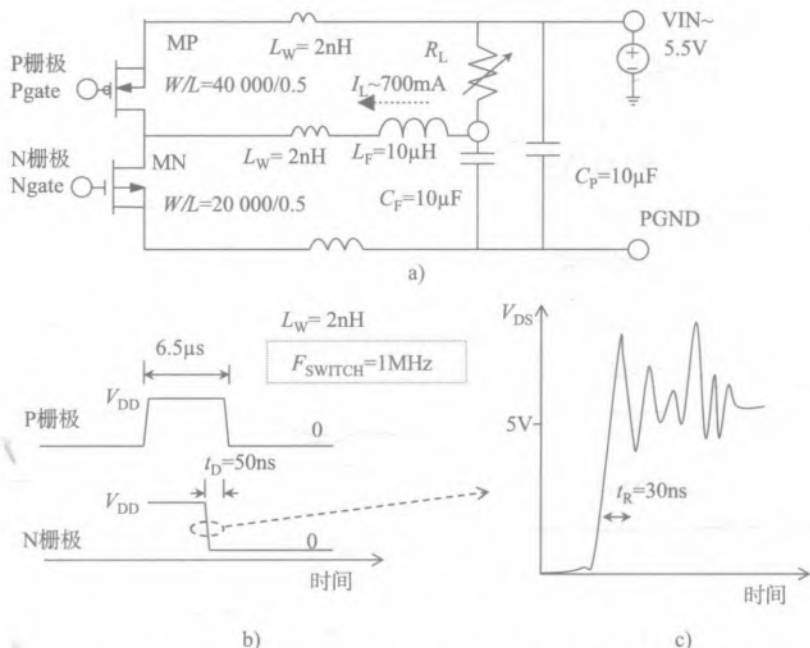


图 4.20 a) 含有外部元器件的简化输出电路模块 b) 栅极上驱动信号的理论波形 c) NMOS 和 PMOS 阵列输出

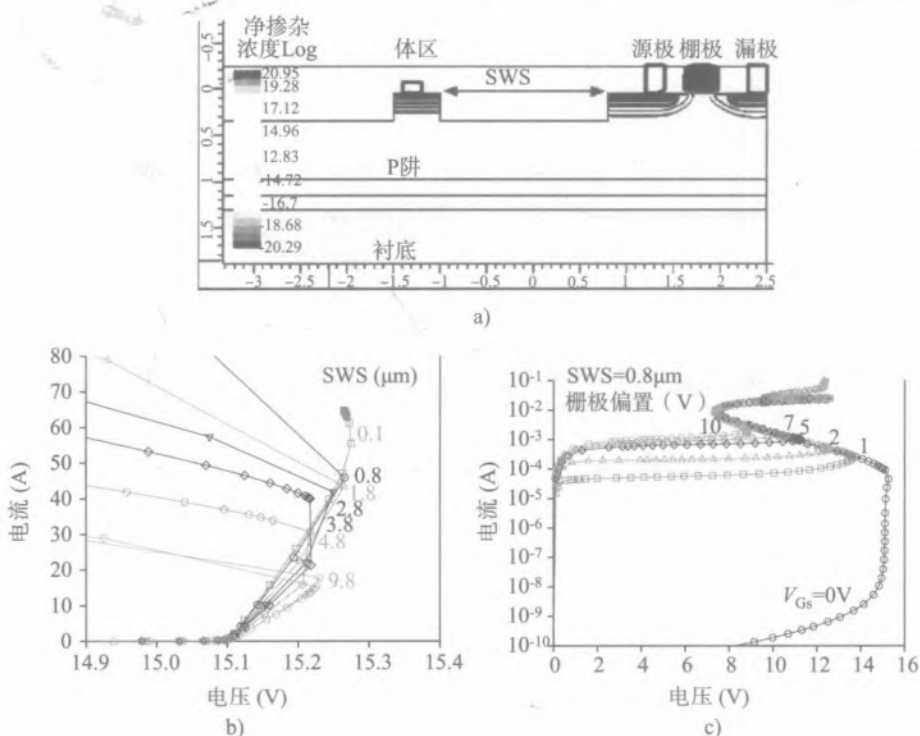


图 4.21 a) 代表功率开关阵列的用于混合模式仿真的 FEM NMOS 器件的横截面图 b) 不同 SWS 间距下计算的静态等温 I_D-V_{DS} 特性 c) 不同栅极偏置 V_{GS} 下计算的静态等温 I_D-V_{DS} 特性

TLU 效应是电源轨和接地电路中寄生电感的直接结果。由于存在感性负载，在 NMOS 阵列上产生的电压过应力明显超过 V_{DD} 电压，如图 4.22 所示。瞬态电压噪声是输入电压的直接函数。因此，尽管输入电压仍在绝对最大值范围内，但是在有感性负载的工作条件下，可逆和可调节的输入电压会导致功率阵列的 TLU 事件。

减小 p 体区 - 源区扩散间距 (SWS) 至 $0.1\sim 0.8\ \mu\text{m}$ ，会使得开关过程中回滞模式临界电流密度增加约 10 倍。临界电流的增加可以用来减小 TLU 效应。

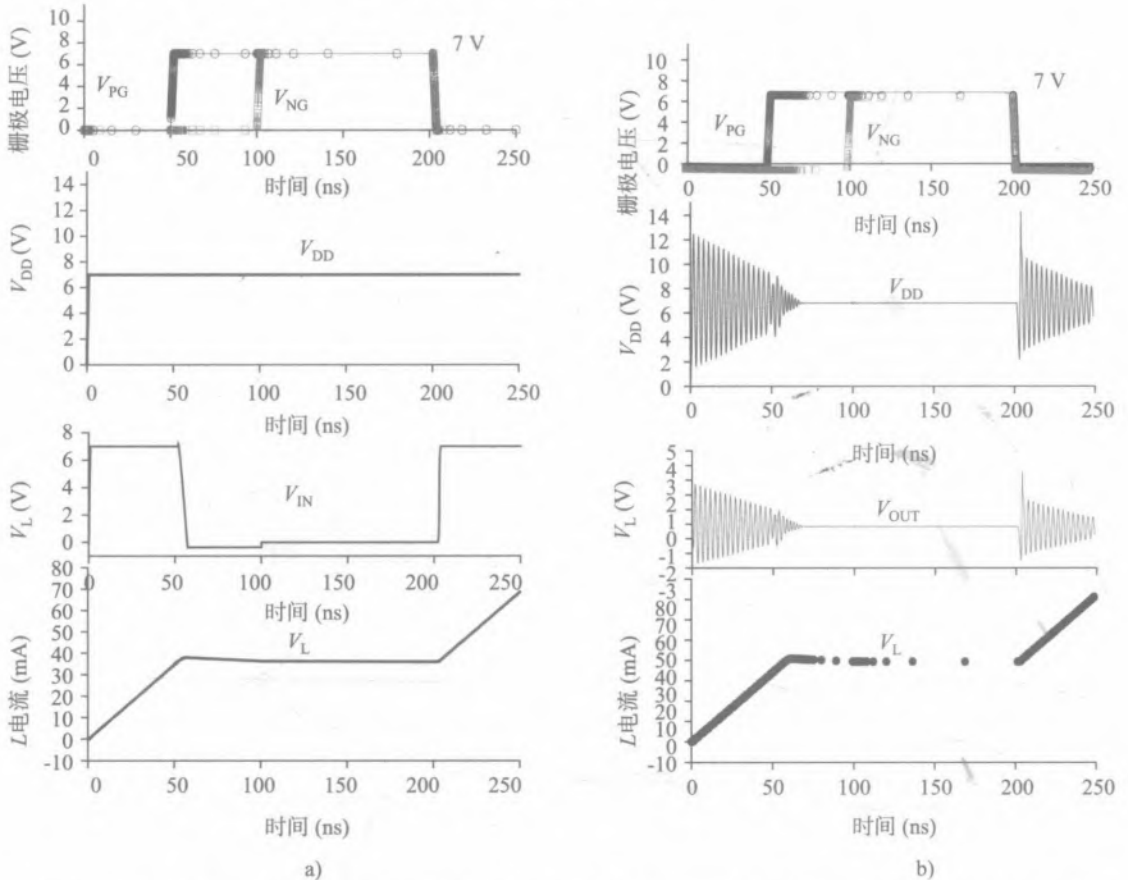


图 4.22 在 $V_{DD}=7\text{V}$ 条件下的栅极输入电压、 V_{DD} 节点、输出节点 V_L 的电压波形以及流过电感的电流波形
a) 未包含键合线电感 b) 包含键合线电感

一个类似的带有感性负载的 TLU 场景，为具有回滞型 NMOS 钳位器件防护的 V_{IN} 引脚的电源轨电路实现。因为相比于功率阵列，钳位器件的触发电压很低，钳位器件开启产生的过电压会直接导致 TLU。该事件是先于阵列中的 TLU 发生的。

作为一个更简单的例子，可以利用 5 V 异步 DC-DC 降压调制器中简化的功率级对钳位器件的 TLU 进行阐述，如图 4.23a 所示。在该电路中，开关引脚有回滞型 NMOS ESD 钳位器件防护。类似于之前的例子，因为在开关引脚上有感性负载，钳位器件会经历一个超过临界电压值的过

冲电压，这使它进入回滞区。图 4.23b 中观察到的瞬态闩锁事件，是由于 NMOS ESD 钳位器件进入回滞，并且是 V_{IN} 电压的函数。

上面给出的 TLU 例子是直接适用于系统级事件的。当上电条件下施加系统级 ESD 应力时，电容和电感耦合以及 EMC 效应可能会产生一个意想不到的电流路径。类似于带有电感负载的工作方式，产生的电压振铃会导致 ESD 钳位器件或有源器件开启。从这个角度来看，对短期过应力下片上和片外系统级稳定性的理解是非常重要的。

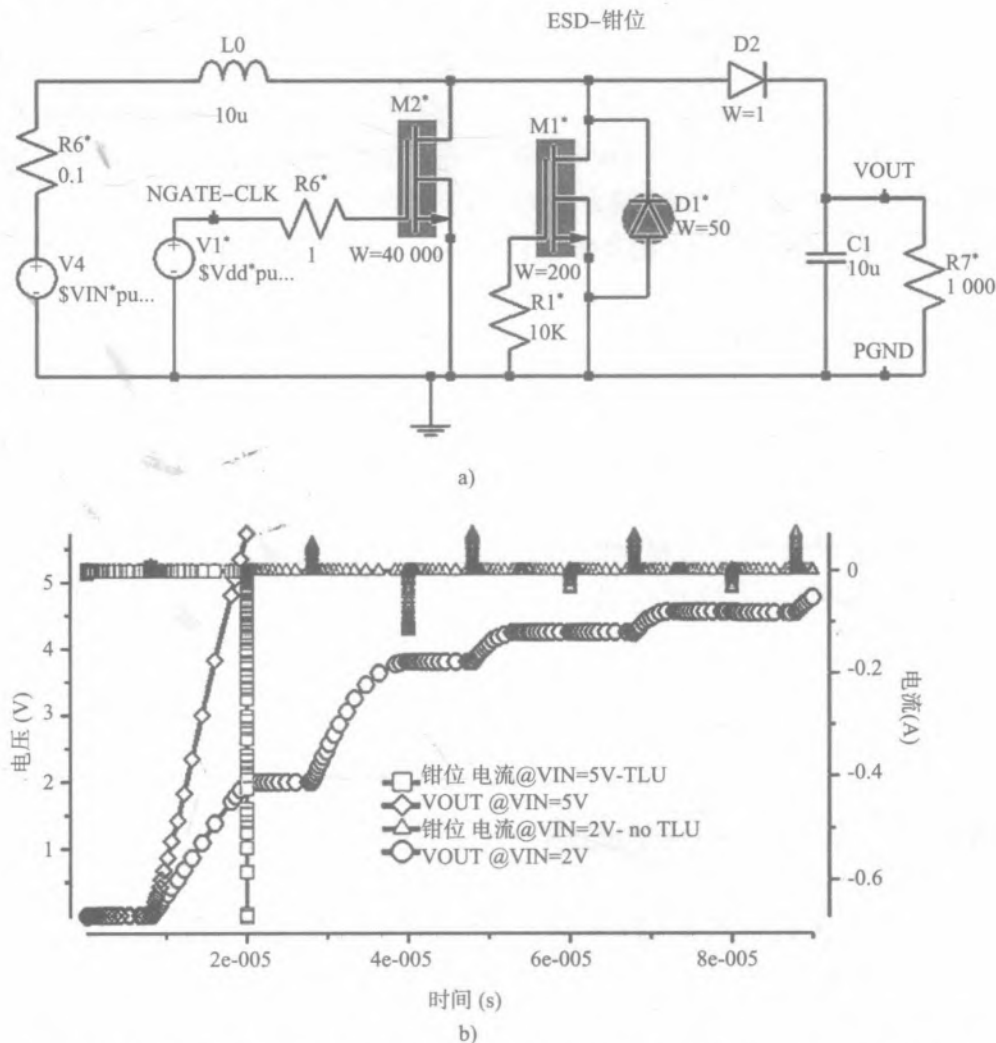


图 4.23 a) 5 V 异步 DC-DC 降压调制器的简化输出级混合模式仿真电路 b) 输入电压 $V_{IN}=2\text{ V}$ (无 TLU 事件) 和 $V_{IN}=5\text{ V}$ (有 TLU 事件) 时正常工作条件下的仿真结果

4.3.3 TLU，基于独立 ESD 器件的简单网络

在系统应力下，一个 ESD 器件处于开启状态的事实并不意味着当器件的维持电压低于电源

电压时必定会发生瞬态闩锁。在开启状态下，ESD 器件只能支持最低的电流。这在物理上意味着 ESD 器件的维持电压是器件电流的函数。尽管在 3-D 例子中，丝状电流可以明显改变最小临界电流，但是最终的闩锁仍然是与电流相关的事件。

一个瞬态闩锁依赖片外系统防护网络的复杂案例将在下一小节阐述。一个更简单的情况，即由图 4.24a 中的混合模式电路表示的电源负载下的双向有源 DIAC 器件，用来说明负载效应对瞬态闩锁的影响。该电路将一个 HMM ESD 脉冲源的等效电路元器件与 DIAC FEM 器件结合并与电压源 V2 相结合。

两步仿真分析包括：第一步，通过缓慢瞬态仿真设置供电系统状态，第二步是对 HMM 脉冲进行快速瞬态仿真。图 4.24c 所示的结果表明，ESD 应力是否会产生 TLU 效应，取决于负载和 DIAC 器件的 ESD 设计。例如，当电源电阻 R7 等于 $50\ \Omega$ 时，产生了 TLU 效应。然而，如果将电阻值增加到 $100\ \Omega$ ，当 HMM 应力消失后器件回到关闭状态且没有产生 TLU 效应。导通状态下最小的维持电流取决于器件的参数设计，因为其决定了结构中的正反馈程度。在高压器件中，在保持高电流能力的同时增加最小绝对维持电压是相当困难的。另一方面，增加最低维持电流似乎是一个更现实的目标。

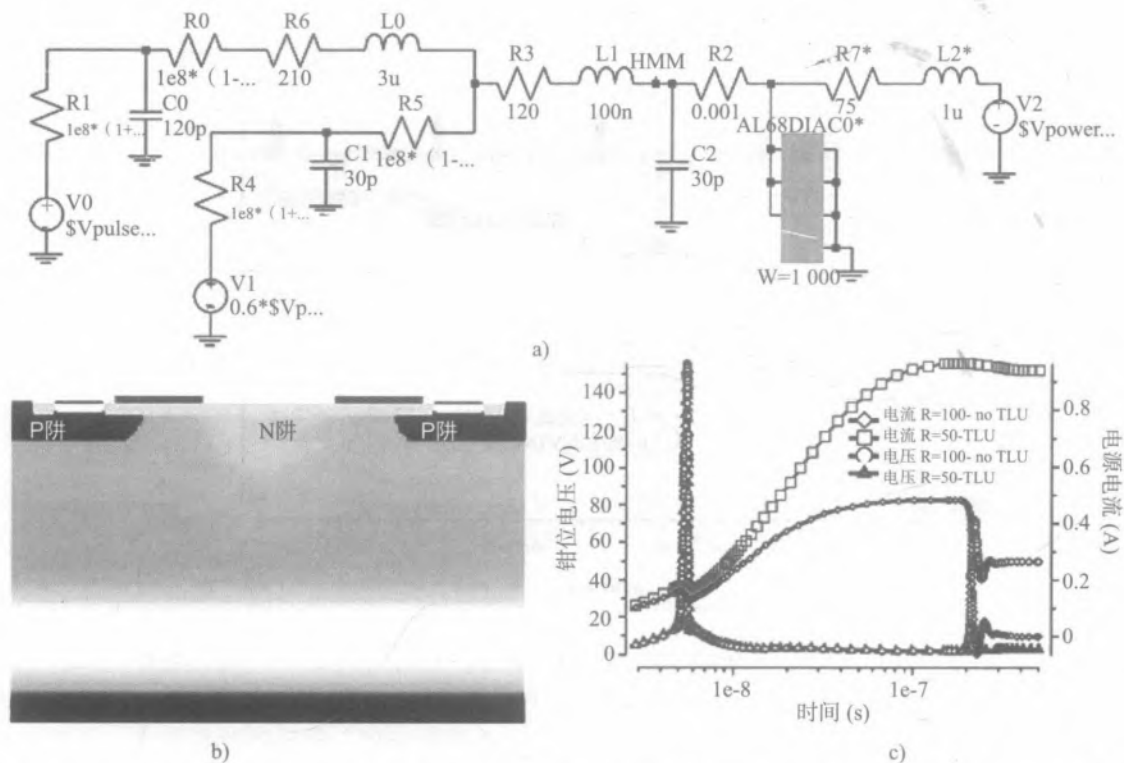


图 4.24 a) 用于 TLU 研究的混合模式 HMM 脉冲等效电路 b) DIAC FEM 结构 c) $50\ \Omega$ 和 $100\ \Omega$ R_7 负载下的电源电压和电流波形

基于类似的原理,一种防止瞬态闩锁的元胞级措施是调整ESD器件本身。在下面的例子中,通过沿着I/O和GND上的n+和p+注入条分布多晶硅镇流区域来修改DIAC元胞,如图4.25a所示。在50V DIAC元胞的情况下,该方案的实验结果表明,增加维持电压产生的效果相当于增加电源电阻以及ESD器件的最小维持电流,如图4.25b所示。

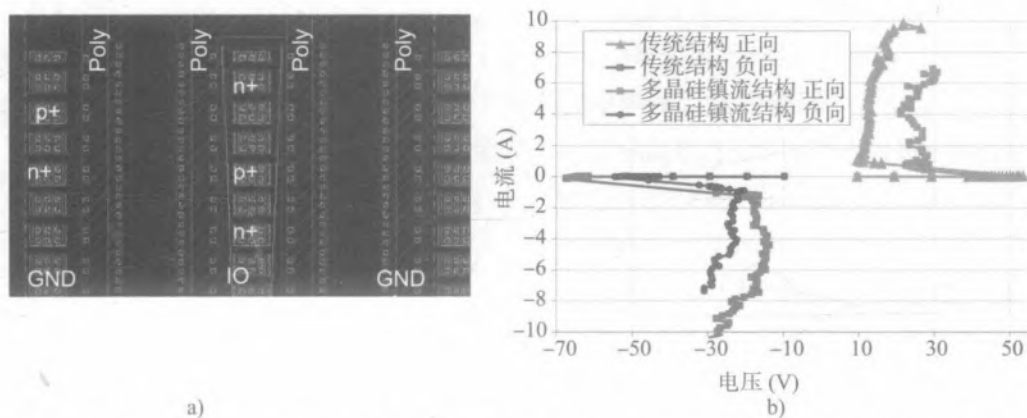


图 4.25 a) 集成发射极的多晶硅镇流 DIAC 元胞版图 b) 传统结构与多晶硅镇流 DIAC 元胞的 TLP 实验结果对比

4.3.4 TLU, 片上和片外防护网络的影响

上电 IC 中的瞬态闩锁是由瞬态脉冲触发的,相比于标准闩锁测试脉冲^[93, 97],瞬态脉冲的上升时间和宽度更短,因而在标准 JEDEC 闩锁测试中不会被检测到^[97]。同时,具有亚纳秒上升时间的系统级 ESD 应力会为 TLU 创造条件。最后的事件可能是过电压和电流注入的结合,以至超过了标准 JEDEC 闩锁测试的定义,触发了寄生结构并产生了与该测试不同的电流路径^[97, 102]。

准确的瞬态闩锁情况和内部模块的灵敏度,取决于片上或片外 ESD 防护的设计。在下面特殊 TLU 案例研究中,测量和仿真结果说明了 IC 中寄生 SCR 与片上和片外防护网络元器件之间的相互关系。对闩锁敏感的 IC 由基于 TVS 的片外网络进行防护,如图 4.26 所示,片外防护网络由电源去耦电容和 3.3 V TVS 二极管组成。整个网络将片外元器件和片上寄生 p-n-p-n 结构结合在一起,寄生 p-n-p-n 结构由 CMOS 电路和有源钳位器件 (AC) 组成。

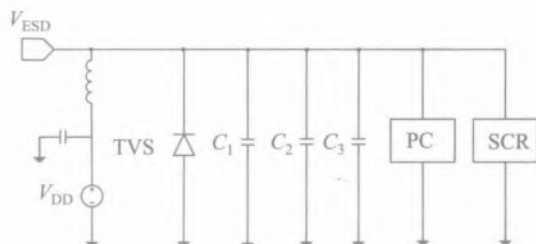


图 4.26 用于 TLU 案例研究分析的含有 V_{ESD} 引脚片外防护网络的简化电路

为了对电路(图 4.26)进行足够的分析,DC 电源通过 T 形偏置施加到电路中,包括 $700\mu\text{H}$ 的大电感和 $0.2\mu\text{F}$ 的并联电容,以防止 ESD 电流流入电源中。在 T 形偏置中,将电容代替隔离二极管串接到 RF 信号上,用来保证负向 ESD 应力的实现和限制 DC 电源输出电路对测试电路门锁行为的影响。

图 4.27 比较了有源网络器件的电学特性。在标准的门锁测试中, $0.13\mu\text{m}$ CMOS 逻辑电路测试引脚的最大电压维持在工作电压 3.3V 的 1.5 倍。因此,不可能达到 SCR 约 15.5V 的触发电压,如图 4.27 所示。在系统级 ESD 应力条件下,TVS 二极管的钳位电压高于 SCR 和有源钳位器件。根据设计,在系统级的 ESD 应力事件中,TVS 二极管将提供主要的电流路径,因为 SCR 电压仍然低于触发阈值,而有源钳位器件只能泄放有限的电流。

分立 SCR 在 DECIMM 工具^[19]下的混合模式仿真波形与在 IEC61000-4-2 应力下的片上 HMM 测试波形,在初始电压峰值上是吻合的,如图 4.28 所示。然而为了精确分析,将 TVS 二极管的电容和寄生元器件考虑进去是非常重要的,如图 4.29 所示。

如果 SCR 与 TVS 二极管并联,并且没有片外或片上去耦网络,那么在正向和负向应力下,观察不到 TLU 事件。在某些 HMM 应力下,SCR 和 TVS 二极管会开启。在正向应力下,SCR 回滞会导致 TVS 二极管关断^[103]。由于 DC 电源和电路之间的 T 形偏置网络,电源的输出电容在 HMM 电流完全衰减之前是不会放电的。因此,在电源电流显著上升之前,SCR 就会关闭。在负向应力下,TVS 二极管和 SCR 的工作机制类似于正偏二极管,并在触发后分担 HMM 应力电流。

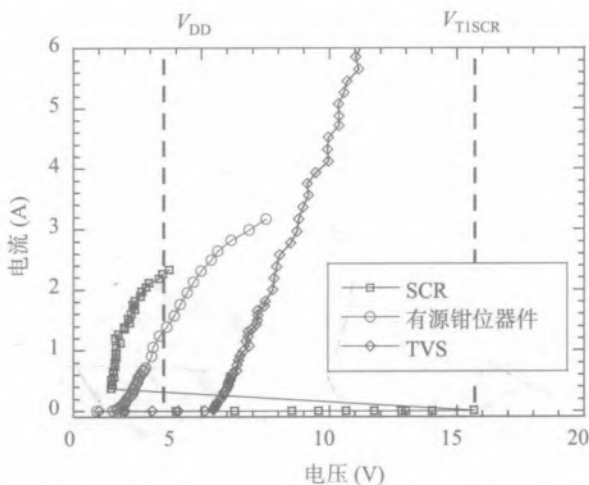


图 4.27 SCR (宽度为 $50\mu\text{m}$)、有源钳位器件 (NMOS 宽度为 $800\mu\text{m}$) 和 TVS 二极管的 TLP $I-V$ 特性

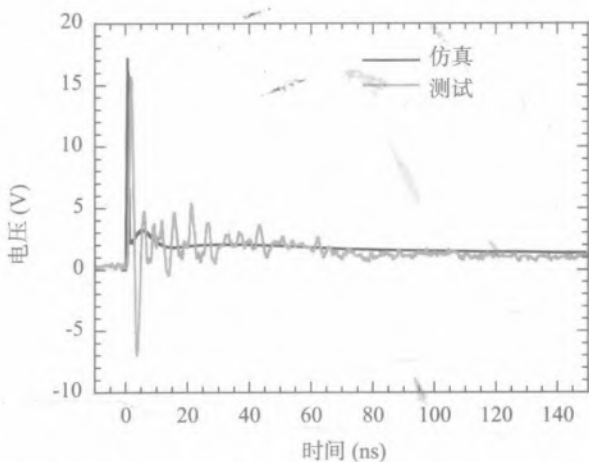


图 4.28 1 kV HMM 应力下 SCR 的仿真和测试电压波形比较

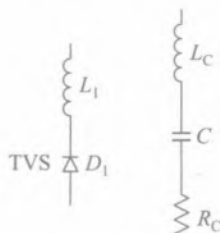


图 4.29 片外 TVS 二极管和电容的等效电路,包含表示过冲的电感 L_1 和寄生元器件 L_C 、 R_C

相反，带有片外防护网络的电路对门锁非常敏感。独立 SCR 器件会在 4 kV 正向和 2 kV 负向 HMM 应力下产生门锁。该门锁是 SCR 节点网络上产生的振荡电压波形所特有的。

不管是正向还是负向应力，在 HMM 脉冲最初的几纳秒时间内，由于去耦电容和 TVS 二极管的寄生电感，会有一小部分残余电流流入片上器件，但是片外防护网络泄放了大部分电流。因此，在一些正向或负向的 HMM 应力等级上，SCR 会开启并保持门锁状态。

在负向 HMM 应力下，SCR 会在很低的 HMM 应力等级开启。这是由于 SCR 节点上振荡电压造成的两级多米诺效应。负向 ESD 脉冲迫使电源电压降至地电位以下。在负电压的情况下，由于 p 阱 -n 阱阻挡结正向导通，大量载流子注入 SCR 体区内，如图 4.30a 所示。然后，紧接着的是快速正向电压波动，有载流子注入的 SCR 的开启电压要明显低于图 4.27 中单独 SCR 的触发电压。结果，SCR 开启并进入双注入电导率调制模式，如图 4.30b 所示。导通状态下 SCR 产生的低阻抗路径会导致系统中寄生电容快速放电并使得电源引脚上的电压极性快速变化。然后 SCR 的 p 阱 -n 阱结变为反偏，并扫出过剩的少数载流子，如图 4.31 所示。

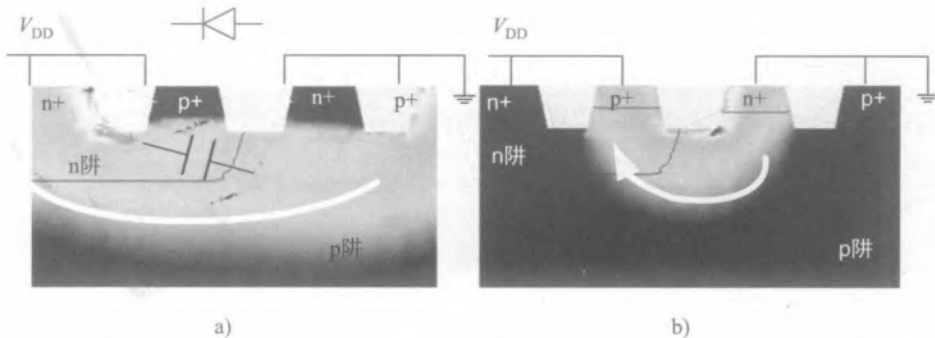


图 4.30 在 TLU 事件中 SCR 的电流密度仿真，白色箭头为电流走向，HMM 应力为 -2 kV， V_{DD} 为 3.3 V
a) 1.5 ns 后 b) 3 ns 后

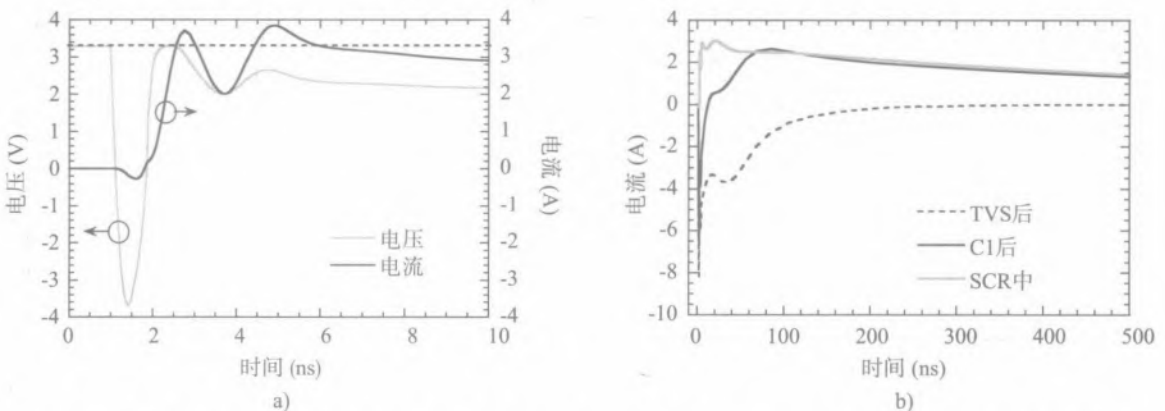


图 4.31 a) 负向应力下 SCR 的电压和电流仿真，在 HMM 脉冲为 -2 kV 和 3.3 V 电源电压下产生 TLU
b) 图 4.26 中不同电路节点的电流波形

当图 4.26 所示的电路中不包含有源钳位器件时，在正向 HMM 应力下观察到了不同的 TLU 情况。这种情况下，由于网络元器件中寄生电感上有压降，所以当片外防护网络的电压超过 SCR 触发电压 15.5 V 时，就会发生 TLU。如果没有有源钳位器件，那么在 4 kV HMM 应力等级下就会达到该触发电压。

只要片上存在有源钳位器件，那么当正向 HMM 应力达到 8 kV 时，也没有观察到 SCR 被触发以及 TLU。有源钳位器件限制了峰值瞬态电压，使其低于 SCR 开启电压。

在负向应力下，SCR 的 p 阱 -n 阱二极管和有源钳位器件 NMOS 阵列的体二极管泄放应力电流。由于注入电流降低，TLU 临界触发电压从 -2 kV 提高到 -5 kV，TLU 临界触发电压取决于有源钳位器件阵列的宽度，如图 4.32 所示。

在未上电的 IC 中，片上电容可以明显影响 ESD 钳位器件的触发和失效行为^[104]。如果将一个片上电容（图 4.33a 中的 C_{oc} ）并联到 SCR 中，那么 TLU 就会发生改变。然而，只有当电容值高于约 10 nF 时，才会观察到防护等级明显改进，但是该电容值对于片上集成是不现实的。

因此，单独的片外防护网络可能不足以防护发生瞬态闩锁的风险。足够的二级片上防护或去耦可能是更有效的措施，或者实现抗闩锁鲁棒性更强的数字和模拟电路模块（如 4.1 节中所述）。基于片上和片外防护网络精确寄生元器件的混合模式仿真提供了验证这些设计方案的方法。

4.4 应用案例

本节阐述第 3 章和第 4 章中的理论知识如何应用到实际的设计案例中。汽车系统的收发机设计被作为讨论的典型。

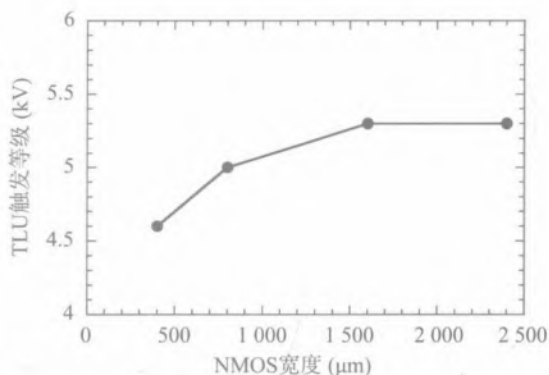


图 4.32 负向 HMM 应力下，触发电压等级与有源钳位器件中 NMOS 管宽度的关系

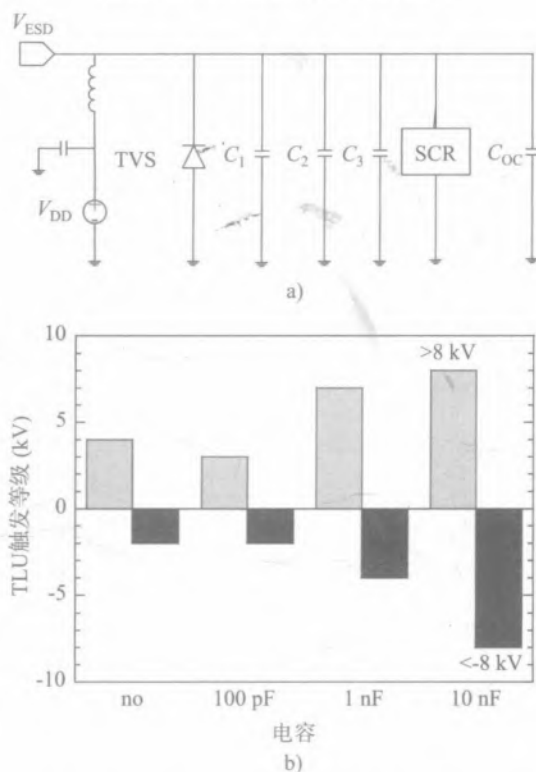


图 4.33 a) 含有片上去耦电容 C_{oc} 的仿真电路
b) 不同片上去耦电容值与 TLU 触发等级的关系

4.4.1 LIN 和 CAN 收发机

在过去二十年,汽车工业采用了高度集成的智能功率 IC。这些 IC 不仅包含很多模拟、功率、数字功能,而且引脚上还具有系统级防护能力。这些数字核心电路和模拟模块(运算放大器、比较器、数据转换器和电压/电流基准)都集成在同一个硅芯片上,并且具有控制电机、开关的能力,而且为内部、外部电路产生开关电源和线性电源。在这些集成电路中,引脚具有系统级防护能力的例子是 CAN 和 LIN 收发机,防护部分只占很小一部分硅面积。

板级汽车网络包括很多系统,如图 4.34 所示,结合了 CAN 和 LIN。CAN(控制器区域网络)覆盖了大部分前端模块,包括仪表盘、防抱死刹车和巡航控制。CAN 是汽车应用中最常用的通信引脚之一^[105]。CAN 的速度从 125 kbps 到 1 Mbps,所以系统可以在任何时候同时进行通信,并通过仲裁来确保信息被理解。LIN(局部互连网络)包含一个低成本的 < 20 kbps 的串行总线,并且 LIN 控制器从受控系统中启动响应。因此,LIN 主要是针对后端模块,例如安全灯、门锁、电动窗和环境控制。

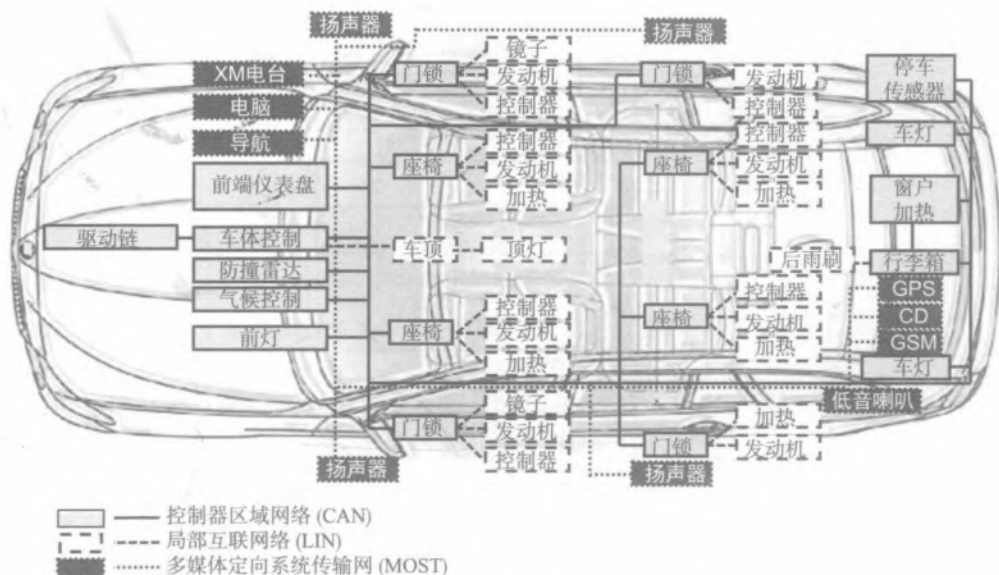


图 4.34 汽车系统的构成

典型的 CAN 在系统级的 CANL/CANH 需求为 ± 6 kV 的接触和没有空气隙的 ISO 7637 1/2/3a/3b 规范。对于 12 V 汽车系统,引脚处 DC 电压的耐量是期望在双向范围 ± 40 V 以内且涉及附加的测试。这些具体的汽车系统测试包括一条短接到电池的总线、一个 DPI(直接功率注入)和在传输过程中向 CAN 总线注入共模 AC,以检查故障或抖动的输出。

这些汽车系统会存在于极其恶劣的环境中,包括系统交互、系统级 ESD 和 EMI。此外,IC 产品的高质量必须由零 DPPM(每百万零件不合格数)失效率目标来保证。这些需求影响了整

个集成元器件的设计，从选择硅工艺特性开始，以维持成本目标。

尽管收发机为汽车系统提供了一个重要的通信功能，但仅是它们的功能电路还不足以为系统级 ESD 定义特殊的工艺技术^[106]。高集成度的模拟和数字功能需要高密度的逻辑模块、高精度的模拟器件和高压功率优化器件，但低成本的需求仍然存在。

因此，这些系统级 ESD 防护的挑战必须在片上 ESD 器件级方案上解决，以使这些解决方案可以容忍电池和地直接的短路失效、短路负载条件和在 CAN 总线上出现的高于预期的瞬态电压（由用于改进辐射干扰兼容性的扼流圈引起）。

由于在装配或维护过程中处理不当，模块引脚有可能会暴露在不受保护的環境中。因此，必须针对零 DPPM 增加芯片防护，以消除由 ESD 问题造成的损伤。

在电池短路的测试条件下，CAN 总线上的电感产生了瞬态过电压，如图 4.35 所示。CANL 引脚上的驱动器转换到了电流限制状态并在电感中形成了电流。当驱动器关闭时，CANL 节点上有高阻抗，而总线电感上仍然保持电流以及相应的电压增加，直到电磁能量全部耗尽。

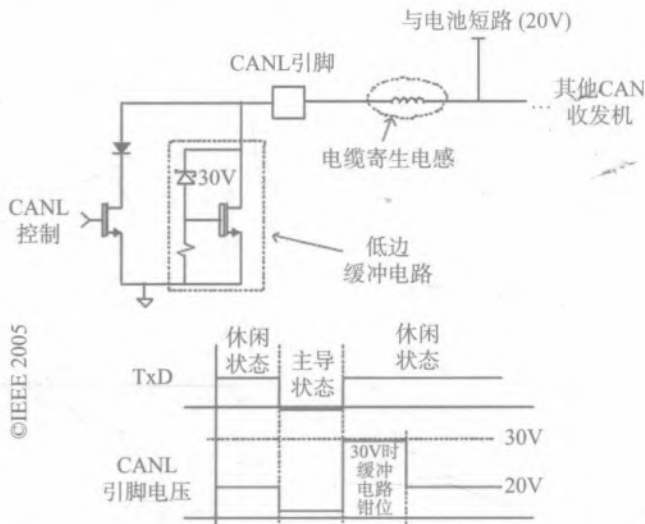


图 4.35 用于防护瞬态电压的电路，电路中给出了短路条件和 ESD 钳位^[106]

如果使用 SCR ESD 钳位器件作为局部防护，那么由瞬态电压峰值引起的瞬态闩锁（如 4.3 节中所述）就会造成损坏。当低阻电源引起短路时，SCR 会一直导通直至损坏。因此，一个更合适的解决方案是有源钳位器件，即大面积的雪崩二极管或横向 PNP、DIAC，或者用维持电压高于 20 V 的雪崩二极管钳位器件（如第 3 章中所述）。

扼流圈被用于减少对外辐射和改进接收机的免疫能力。在 CAN 应用中，扼流圈是一个用同相绕组组成的变压器，是为了屏蔽电路中的高频交变电流（AC）而设计的，只允许低频或者 DC 电流通过。不同于总线上的布线，CAN 扼流圈可以具有高达 100 μH 的电感。这个感性元件可以存储足够的电磁能量，并在非 ESD 测试条件下通过 ESD 钳位器件将能量泄放掉。

图 4.36 阐述了扼流圈中总线一侧发生的 20 V 短路情况。当驱动器进入主导状态时, CANL 侧的扼流圈建立了电流路径。因为大部分收发机都是有电流限制的, 这部分波形不会对器件造成任何问题。

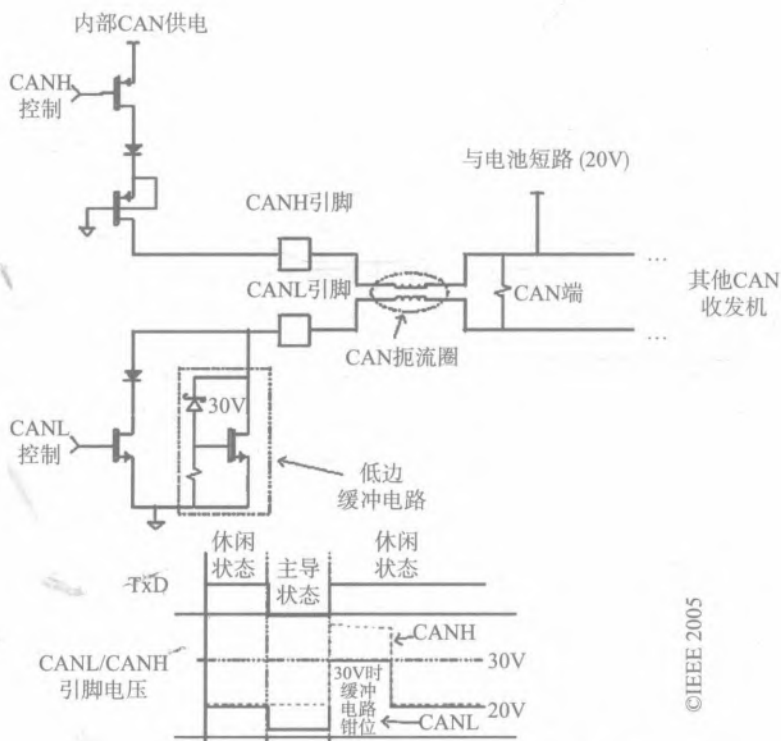


图 4.36 CAN 扼流圈中的 CAN 短路情况^[106]

然而, 当进入隐性状态时, CANL 引脚开始向正电压转变, 因为变压器中的电流不会立刻改变。电压一直增加直至变压器的极性改变, 此时电流开始减小。

然而, 这个电流变化镜像到了另一个绕组上, 并且增加了 CANH 上的电压。在这个条件下, 可以看到 CANH 和 CANL 的电压变化几乎是相等的。问题是, CANH 会达到短路电压条件 (本例中是 20 V)。如果 CANL 的电压被允许上升到 30 V, 这个电压由缓冲电路决定, 那么 CANH 也将上升到 30 V, 导致最终的电压为 50 V。如果这个电压超过 ESD 钳位器件的触发电压, 那么必须降低它。

解决这个问题的一种方法是在 CANH 引脚上加一个额外的缓冲网络。尽管 CANH 绕组需要的能量很小, 但是为了保证良好的信号质量, 保持 CANH 和 CANL 之间的电气匹配是很重要的。

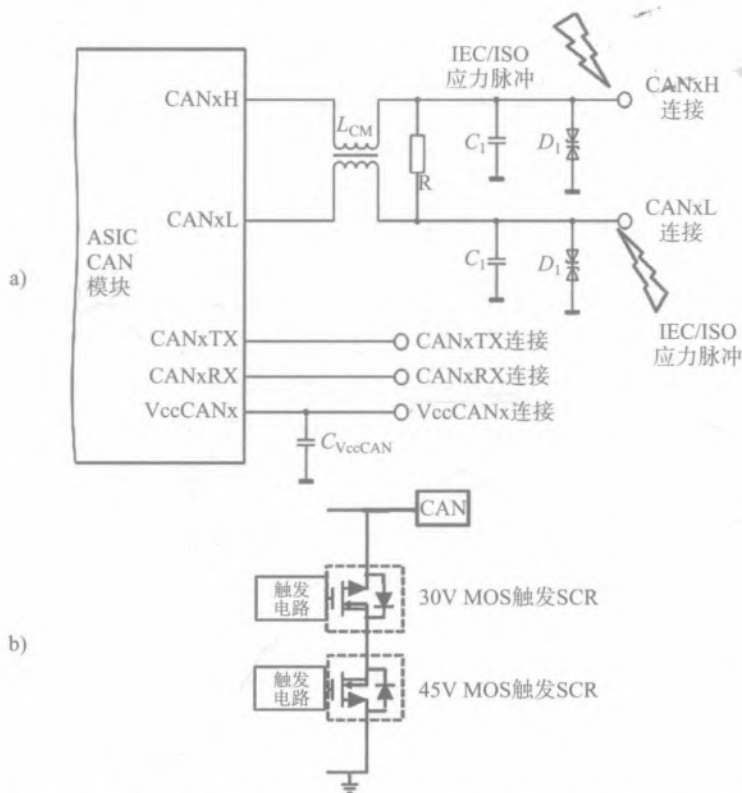
另一个常见的问题是地损耗。在这些条件下, 模块的地面与汽车底盘是断开的, 但是与电池仍然保持连接。然而, CAN 总线引脚会被连接到汽车底盘的地上, 对于单板机的地而言是一个非常负的电压。因为在负载突降的情况下, 电池电压可能会高达 40 V, 所以在高阻抗条件下,

CAN 总线引脚必须设计成能够处理 -40 V 的电压。因此，为了满足这个要求，需要双向的解决方案（如第 3 章中所述）。

4.4.2 CAN 收发机案例研究

CAN、LIN 和其他通信引脚除了要通过 IEC、ISO 和 EMC 的 ESD 测试外，还需要通过 IBEE-Zwickau 的测试^[107-108]。汽车应用的 EMC IBEE-Zwickau 测试包括直接的和间接的应力。在直接应力测试中，IEC 枪直接施加到集成电路的引脚上；而在间接应力测试中，IEC 应力是通过 100 nH 共模 (CM) 扼流变压器施加的^[107]。这些测试中不同波形形状使得 IC 级别的 ESD 防护验证变得更加复杂^[107-108]。

文献^[109]中阐述了关于汽车系统 CAN 引脚片上系统级设计中的所有应用问题。研究结果表明，感性 IEC 应力下定义的失效模式与电感饱和效应有关，该效应使得上升时间从 1 ns 增加到约 20 ns 。EMC IBEE Zwickau 感性系统级应力通过 CM 扼流变压器施加到 IC 引脚上，如图 4.37a 所示，IC 引脚由 $+45/-30\text{ V}$ 双向 ESD 钳位器件防护，该器件为背靠背堆叠的 NLD MOS-SCR 钳位器件，如图 4.37 b 所示。



© EOS/ESD Association Inc. 2013

图 4.37 a) CAN 引脚电路，电路中的 CM 扼流圈 ($L_{CM}=100\text{ }\mu\text{H}$) 是汽车 IC 的一部分 (EMC IBEE-Zwickau)
b) 钳位电路^[109]

尽管之前已经验证了低上升时间 ESD 脉冲下的元器件性能，但是钳位性能并没有达到预期的效果。对于汽车质量的电脉冲，表 4.3 给出了扼流圈相关的测试结果，表 4.4 给出了 IEC 测试中的窗口效应。

表 4.3 在 CAN 引脚有或没有 CM 扼流圈时的 IEC 测试结果^[109]

	没有扼流圈 (kV)	有扼流圈 (kV)
正向 IEC	> 8	> 8
负向 IEC	> 8	-3

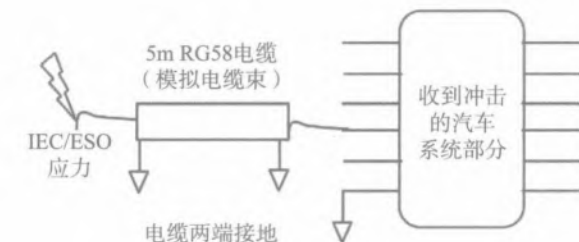
表 4.4 单独 IEC 冲击测试结果，失效窗口为 -3 到 -5 kV^[109]

IEC 冲击等级 (kV)	结果
-1	通过
-2	通过
-3	失效
-4	失效
-5	失效
-6	通过
-7	通过
-8	通过
-9	通过

当 CAN 引脚通过一个同轴电缆 (5 m) 施加 IEC/ISO 脉冲应力时，在另一个汽车测试中检测到一个类似的失效。通过电缆放电事件 (TCDE) 与电缆放电事件 (CDE) 是不同的。在 CDE 中，电缆首先充电至一定电势然后进行放电，这会导致更长的应力时间^[110]。TCDE 模仿引脚上的不同事件，引脚是通过电缆连接到应力源的。该测试被定义为模仿汽车应用，在该应用中，不同电子部件的引脚都通过环绕汽车的电缆连接在一起。

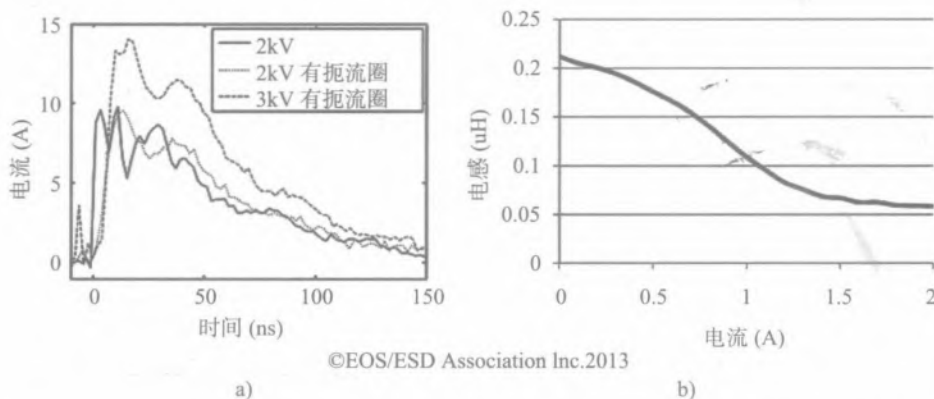
评估 TCDE 事件 ESD 性能的系统级设置如图 4.38 所示，采用 5 m 长且两端都接地的 RG58 电缆。实验阐述了常规 IEC 和 Zwickau 测试之间的相互关系。

由于上升时间更长，显著的非均匀开启效应使得只有部分 NLD MOS-SCR 钳位器件开启。带有电感为 100 μ H 的 CM 扼流圈时，测试到的 IEC 脉冲上升时间为约 25 ns。尽管该值是仿真中采用的理想电感的 1/4，但是与没有连接扼流圈相比，它的上升时间仍然是显著增加的，如图 4.39a 所示。与此同时，理想的与实际的扼流圈电感与电流之间的非相关性已由钴扼流圈磁心饱和效应进行了解释，如图 4.39b 所示。



	直接式	TCDE
正向 ISO (2kΩ/330pF)	>15kV	>15kV
负向 IEC (2kΩ/330pF)	>15kV	-2kV

©EOS/ESD Association Inc.2013

图 4.38 CAN 引脚通过电缆放电验证的电路框图和应力测试结果，RG58 电缆 5 m 长且两端都接地^[109]

©EOS/ESD Association Inc.2013

图 4.39 a) 在 IEC 打击下测得的电流波形 b) 电感与电流的关系阐述了造成快速 dI/dt 的磁心饱和效应

另一种具有较慢上升时间的 TLP 数据同样验证了背靠背双向 NLD MOS-SCR 钳位器件的非均匀导通效应。文献 [109] 中，上升时间的增加导致了 ESD 防护器件导通均匀性的改变。开启状态下不同的导通电阻值是 NLD MOS-SCR 叉指器件部分开启的指标，如图 4.40a 所示。这一效应类似于本书之前章节中阐述的 DIAC 结构中的非同步多叉指开启。随着上升时间的增加，该效应在 TLP (图 4.40a) 和 HMM (图 4.40b) 测试的 $I-V$ 特性中都可以观察到。

在文献 [109] 中，以双向钳位器件叉指级镇流技术的形式，提出了改进 ESD 设计的修复方法建议。与图 4.41a 中高边和低边 NLD MOS-SCR 采用公共节点连接方式不同，图 4.41b 中采用了单独叉指连接方式。图 4.41c 中的长上升时间 TLP 测试和系统级测试结果表明，为了改进导通均匀性，放弃了对钳位器件 ESD 性能的追求。

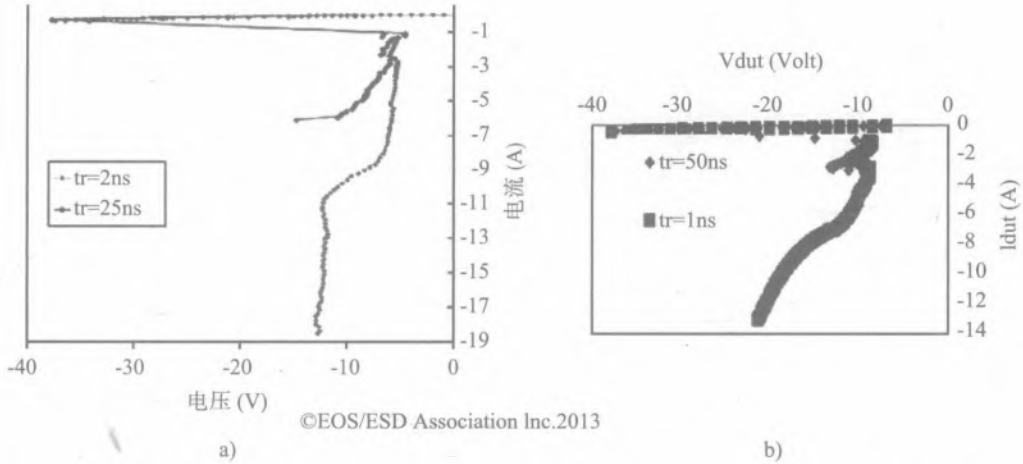


图 4.40 双向 ESD 钳位器件 $I-V$ 特性 a) 负向 TLP 脉冲, 上升时间分别为 2 ns 和 25 ns b) 负向 HMM 应力, 上升时间分别为 1 ns 和 50 ns

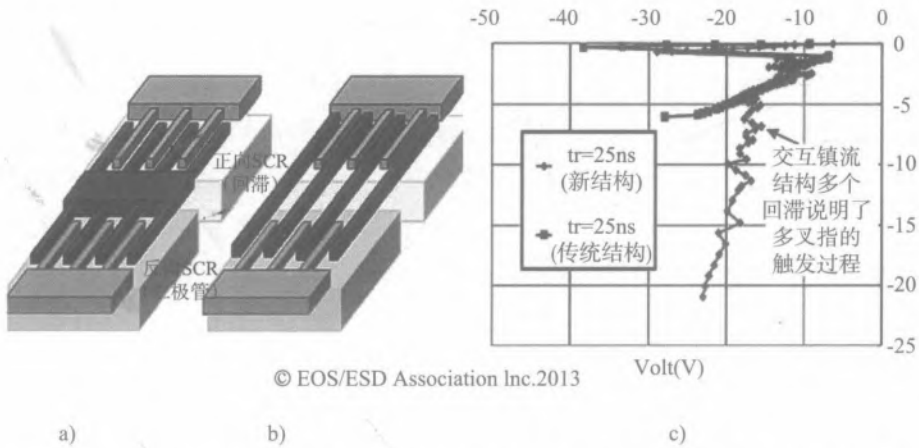


图 4.41 a) 正向 SCR (回滞模式) 和反向 SCR (二极管模式) 之间中间节点采用传统的金属连接方式 b) 交互镇流技术中正向 SCR 的每个叉指连接到相应的反向 SCR 叉指 c) 传统的和新的 SCR 版图结构的 TLP 测试结果对比, 上升时间为 25 ns^[109]

4.5 总结

本章阐述了很多片上设计方法, 使得芯片可以集成经过验证的独立 ESD 钳位器件以应对系统级脉冲。需要对应用要求和芯片功能进行充分的考虑, 以避免在系统级 ESD 应力下正常工作时以及特殊的系统测试中 (有可能会触发瞬态闩锁和产生难以在独立钳位器件上验证的脉冲条件), 钳位器件与内部电路模块之间发生相互反应。

随后, 版图中形成的寄生结构的开启需要对 IC 中主要的闩锁现象有所了解。为了避免闩锁,

需要制定一定的抗闩锁版图规则，这些规则通过实验验证并加入到高压半导体工艺中。这些规则通常是由有限的实验结果决定的，主要是通过使 n-p-n 结构本身失能或者减少来自 n 外延区域中的离子注入，来防止高压寄生 n-p-n 结构的开启。

瞬态闩锁是正常工作条件下回滞器件的意外开启或者是开启状态可以获得电源电流的进一步支持的电过应力事件。瞬态闩锁与本书的主题是相关的，其重要性在于其与上电模式下系统级应力条件是相关的。

在过去二十年，汽车工业中采用了高度集成的智能功率 IC。这些 IC 不仅包含很多模拟、功率、数字功能，而且引脚还具有系统级防护能力，例如 CAN 和 LIN 收发机。板级汽车电子网络的通信引脚除了要通过 IEC、ISO 和 EMC 的 ESD 测试外，还需要通过 IBEE-Zwickau 以及通过电缆放电事件 (TCDE) 的测试。这些测试产生的应力脉冲波形，与器件级的 ESD 应力波形有明显的区别。较慢的上升时间可能会导致 ESD 防护器件的非均匀开启，因此需要特别的设计措施来克服这些问题。

IC 与系统的 ESD 协同设计

在芯片上将系统功能模块高度集成的趋势消除了器件与系统之间的隔膜。目前，片上系统（System-on-Chip, SoC）和系统级封装（System-in-Package, SiP）的设计常常包含各种直接与系统端口连接的模拟和数字电路，因此需要系统级 ESD 防护能力。这就要求设计模式的转变，即对不同 IC 引脚进行系统级 ESD 防护需求的定义。一般而言，满足器件级低能量 ESD 防护标准（CDM、MM 和 HBM），并不能保证 IC 能承受住由系统级 30 kV 预充电脉冲引起的高能量 ESD 的瞬变能量。为了避免对产品可靠性产生影响，特别是在较小的便携式系统里，IC 产品的定义通常包括系统级要求。随着半导体工艺发展到先进技术节点，器件和互连线能承受的大电流能量变得越来越小。因此，作为一种更有成本效益的方法，片上系统级 ESD 防护设计变得越来越具有挑战性，并且常常需要与片外防护相结合。

第 2 章讨论了器件级和系统级的 ESD 测试方法，并阐述了如何从捕捉到的瞬态电压和电流波形中提取出器件在 ESD 应力下的瞬态响应。本章将结合第 2 章的 ESD 测试方法和第 3 章、第 4 章的片上 ESD 防护设计方法，开发一种有效的、可靠的系统级 ESD 防护设计方法。这种新方法结合了器件和电路仿真，以及测试板和晶圆上的瞬态测试。这样做的目的，是为了在 IC 的早期设计阶段且在最终的系统设计定义之前完成系统级 ESD 防护的设计和验证。

本章第一部分介绍可用的片外 ESD 防护，同时提供器件和电路建模的方法和例子。建立的仿真模型用于两种关键的系统级 ESD 设计方法：基于数据表的设计和协同设计。随后，结合优点和缺点讨论每种方法的输入要求，并通过多个案例的研究提出系统级 ESD 防护设计的建议。最后，通过对所介绍的设计方法进行比较、基准测试和讨论，得出最终结论。

5.1 采用硅基 TVS 元器件进行片外 ESD 防护

片外 ESD 防护设计的整体策略已经在第 1 章中进行了介绍，并突出了片外防护原理。本节主要聚焦在利用硅基瞬态电压抑制器（Transient Voltage Suppressor, TVS）二极管进行片外 ESD 防护设计的方法。

基于防护器件是有源的还是无源的,可以采用不同类型的 TVS 用于片外或板级 ESD 防护。在半导体结击穿的情况下,有源器件 TVS 二极管通过分流 ESD 电流对 IC 进行防护。所讨论的器件能够承受不止一次的 ESD 泄放电流,因此可以在整个生命周期中保护 IC。

本节将介绍常用的片外 ESD 防护器件,并讨论器件的准静态或瞬态特性及器件电容等属性。

5.1.1 硅基 TVS 器件结构

本节简要介绍 TVS 器件级设计的一些内容^[111-114],目的是为了从概念上区分片上 ESD 防护器件和片外 TVS 防护器件之间的不同,而不是为了追求真正理解 TVS 如何设计。

目前市场上的 TVS 主要有两种,即单向 TVS 和双向 TVS,如表 5.1 所示。双向 TVS 器件是通过在同一个芯片上集成两个单向的 TVS 二极管而形成。在多端口 TVS 器件中,多个单向 TVS 封装在一起,如图 5.1 所示。

表 5.1 不同厂商的单向 TVS 二极管在高速应用下的比较

TVS 模型	钳位电压 @ 1 A (V)	对地电容 (pF)	漏电流 (μA)	封装
PESD5V0FIBLD	11	0.4	0.1	SOD882D
ESD748IMUT5G	10	0.25	0.05	X3DFN2
TPD1E05U06	10, 单向	0.42	0.01	2X2SON
Rclamp0531T	12	0.5	0.1	SLPI006P2T
BSDI0I-BI-02	8	0.1	0.05	TSSLP-2-4

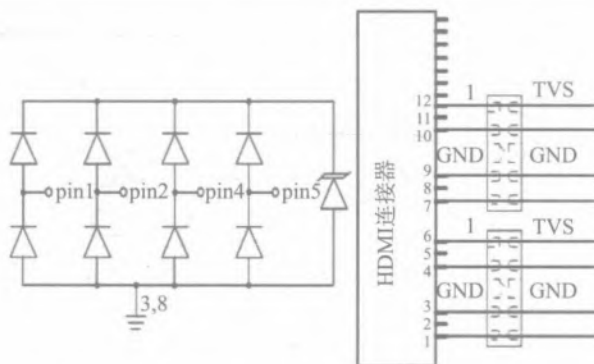


图 5.1 应用于 HDMI 端口防护的 TVS 阵列实例

TVS 的制造工艺技术追求的是低成本和少的掩模版 / 工艺步骤数量。其垂直的器件工艺技术类似于分立二极管或者三极管。一般而言,单极 TVS 二极管通常利用高掺杂的 n- 或 p- 衬底形成相应的阴极和阳极。顶层的外延层和埋层区域与衬底之间形成阻挡结,目标是为了调整其击穿电压和钳位电压特性。

TVS器件结构主要有以下几种：一是如图 5.2a、图 5.2b 所示，基于垂直的雪崩二极管结构，轻掺杂厚外延层用于减小 TVS 的寄生电容；第二种是基于 SCR 结构的 TVS 器件，如图 5.2c、图 5.2d 所示；第三种是基于穿通的 BJT 结构，如图 5.3 所示。

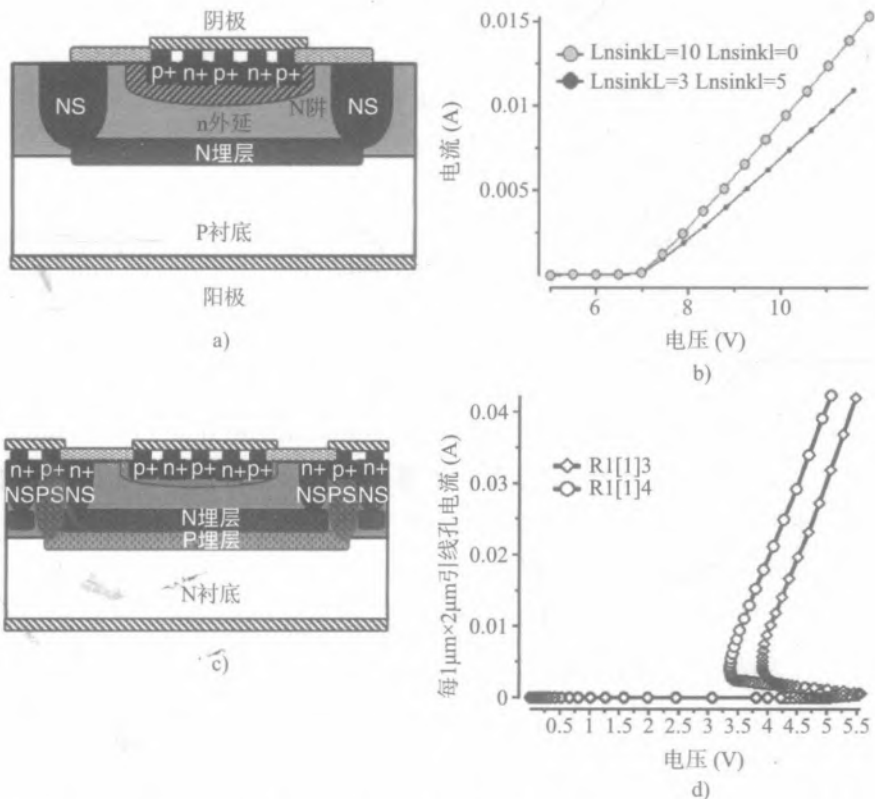


图 5.2 a)、b) 雪崩二极管结构与 $I-V$ 特性仿真结果 c)、d) 基于 SCR 结构的 TVS 与 $I-V$ 特性仿真结果

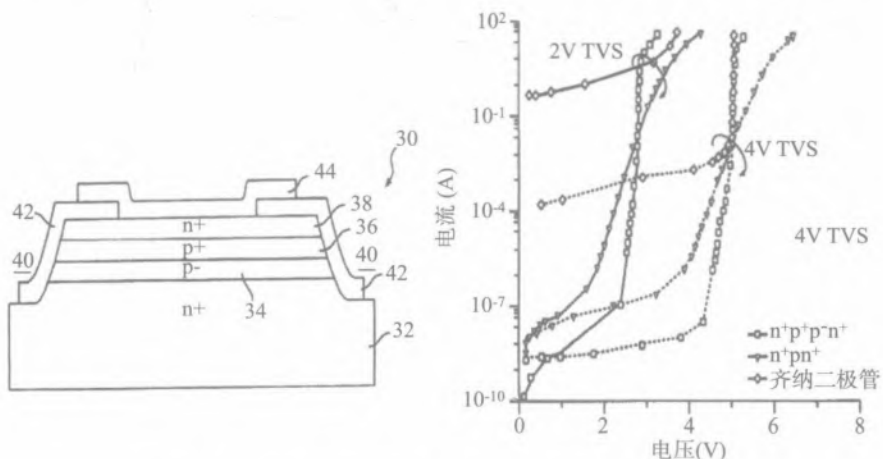


图 5.3 采用双基区结构^[92]的低压穿通瞬态抑制器

因此, TVS 的器件结构与 BCD 工艺通常是不兼容的, 因为会极大地增加成本, 所以不能集成到 IC 中。但是, TVS 可以与集成电路芯片封装在一起。

一般而言, TVS 理想的位置是在端口、天线或者 PCB 周边, 而不是在 IC 引脚处。采用 TVS 的目的是为了限制由系统级 ESD 脉冲引起的电磁干扰。因此, 该作用不同于将 TVS 应用于高度集成的混合信号 IC 系统中所起的作用。

TVS 的应用是由 ESD 兼容性驱动的, 如同在 PCB 版上快速打补丁。在随后的章节中将会看到, TVS 还可以应用在更高级的系统级方案的 ESD 协同设计方法中。

总之, TVS 具有低集成度、非常小的封装和很少的引脚数。第一章已从应用角度介绍了不同类型的 TVS 器件。本节将从协同设计和瞬态特性角度, 对硅基 TVS 进行阐述。

传统的用于 ESD/EMI 防护的硅基 TVS 常被当作分立器件看待。但是在过去十年中由于新兴系统的发展, 硅基 TVS 的应用缩小了分立器件与集成 IC 产品间的差距。由于先进的封装技术, 这些半导体元器件集成了多种功能而不是单一功能的分立器件。目前, 主要有两类防护器件: 一类是防护 ESD 和 EMI 的, 另一类是保护数据或信号线的钳位器件。

硅基 TVS 器件包括基于晶闸管回滞特性的器件和基于雪崩二极管特性的器件。如果在 EOS/ESD 应力下, TVS 二极管两端的电压超过了其击穿电压, 那么 TVS 器件将开启并提供一条低阻通路用以泄放 ESD/EMI 电流。因此, 针对 ESD 脉冲和瞬态功率浪涌, 回滞型 TVS 器件提供了高电流和高能量防护。相关的防护标准包括 IEC61000-4, IEC61000-5 和通信标准。

低能量 TVS 主要瞄准 ESD IEC61000-4-2 标准、EMI 和 EMC IEC61000-4-3/6/8 标准, 主要应用在手持和移动设备、消费类电子、计算机和高速信号线。高能量 TVS 和低能量 TVS 可以与有源、无源器件以及 IC 芯片集成或者封装在一起。无回滞的硅基 TVS 元器件大多被用于低压电路, 与用于诸如消费类设备中的带有回滞的 TVS 相比, 它提供的能量级别较低。

硅基 TVS 二极管有单向和双向两种, 并且有大量不同的封装和尺寸。此外, TVS 二极管还可以有单个器件的形式和阵列形式。单向 TVS 二极管就像其他雪崩二极管一样正向工作, 但是可以处理更高的峰值电流。TVS 二极管的一个重要电气参数就是它的电容。TVS 二极管是一个大面积的器件, 以获得高的电流处理能力。但是, 随着器件面积的增加, 其寄生电容也增加, 结果有的 TVS 二极管的电容达到了 100 pF 以上。而对于 USB 和 HDMI 等高速接口, TVS 二极管的电容需要在 1 fF 以下。这种高速 TVS 二极管由很多单个二极管串联构成, 包括 p-i-n 二极管, 以减小整体电容。

5.1.2 硅基 TVS 器件特性

TVS 二极管的等效电路如图 5.4a、图 5.4b 所示, 相应的 100 ns TLP 测试条件下 $I-V$ 特性曲线如图 5.4c 所示。更多重要的性能参数总结在表 5.2 中, 包括直流击穿电压 V_{BD} (1 mA)、IEC61000-4-2 标准下接触放电测试的器件鲁棒性 V_{ESD} 、器件的寄生电容 C_{TVS} 。

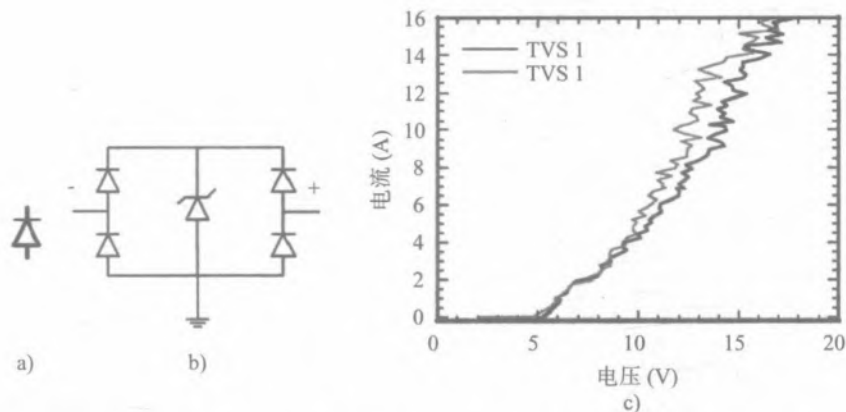


图 5.4 两种 TVS 结构 TVS1 和 TVS2 以及 100 ns TLP 测试条件下 IV 特性曲线的对比
a) TVS1 b) TVS2 c) IV 特性曲线对比

尽管两种 TVS 二极管有相同的直流击穿电压，但是两个器件的 TLP $I-V$ 特性测试曲线是不同的。在 TLP 应力条件下，TVS1 的触发电压更低。TVS1 具有更大的导通电阻，因而在高应力下具有更大的压降。图 5.5 给出了 TVS 二极管瞬态测试特性，从图中可以看到，在 4 kV HMM 应力条件下，TVS2 二极管具有更大的过冲。TVS 二极管开启阶段的过冲大小与开启速度有关，并且该参数对 ESD 防护设计来说很重要。因此，对于指定的 EDS 设计窗口，该参数需要仔细考虑。如果大的过冲可以接受的话，那么 TVS2 二极管更适用于片外防护，因为其钳位电压要比 TVS1 低，可以减小 IC 引脚处的二次击穿电流。

表 5.2 两种 TVS 二极管参数对比

参数	TVS 1	TVS 2
厂商	On semiconductor	Texas instruments
模型	ESD5Z2.5TI	TPD2EUSD30A
V_{BD} (V)	4.5	4.5
V_{ESD} (kV)	30	8
C_{TVS} (pF)	145	0.7

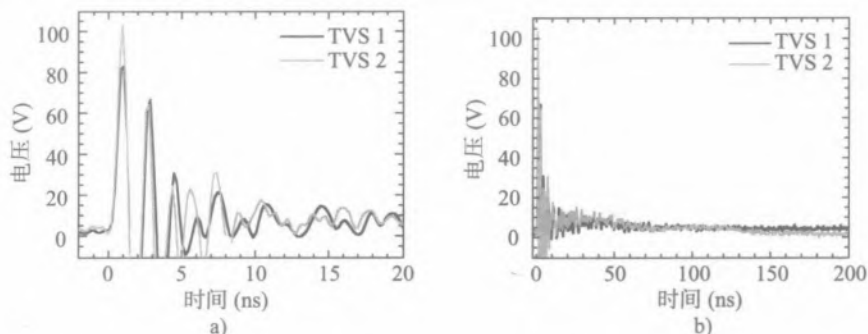


图 5.5 IEC61000-4-2 标准 4 kV 测试应力条件下 TVS1 和 TVS2 的瞬态特性 a) 起始 20ns b) 整个应力期间

5.2 系统级 ESD 设计建模和仿真

电路建模和混合信号仿真是 IC 系统设计的关键。在系统级 ESD 网络中，建立有源和无源器件的模型是具有里程碑意义的。借助仿真工具和参数提取方法，建立片外防护器件模型，可以进一步将其应用于系统级 ESD 防护设计中。这种一致性的方法涵盖了所有相关领域，从测试装置的等效电路开始，到片外和片上元器件的行为模型，并与代表 PCB 级网络的适当的网表相结合。

5.2.1 ESD 测试模型

ESD 设计的建模与仿真，需要充分表达不同的 ESD 应力脉冲源，并在不同测试环境中实现，这就包括对已有的 ESD 测试设备进行恰当模型提取。一般而言，ESD 测试设备可以表示为一个等效的仿真电路或者提取出一个集总模型^[115]。

本节中 HMM 测试设备的模型如图 5.6a 所示，其仿真与测试结果非常吻合。SPICE 建模语言可以使模型包含不同的仿真环境，包括场解和混合模式仿真器。

HMM 测试设备的等效电路包括 150 pF 电容，用以仿真最初的预充电行为。通过 $L_1C_1C_BL_2$ 网络进行电荷再分配，产生了双峰值波形（如图 5.6b 所示），与测试波形非常接近。

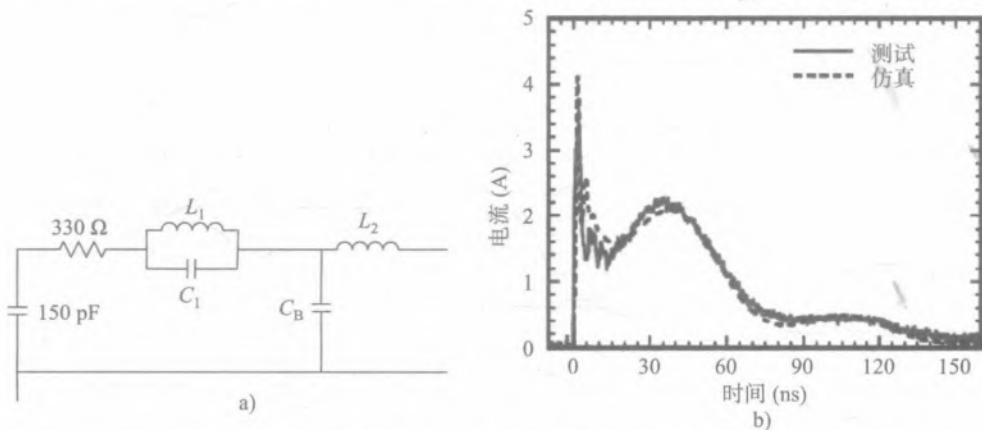


图 5.6 HMM 测试设备的 SPICE 模型 a) 等效仿真电路 b) 仿真结果与测试结果对比

5.2.2 ESD 器件的行为模型

传统的 MOS 管模型，比如 BSIM3V3，是不适合紧凑的 ESD 仿真的（详见第 1 章），因为这些模型不包含由高碰撞电离率和大注入引起的电导率调制效应。同时，对于多数用户而言，提取精确校准的 ESD 模型是一个非常复杂的任务^[116-117]（第 1 章）。此外，由于 ESD 应力条件下发生的回滞和大电流工作区域，会造成复杂电路的仿真出现不能收敛的情况。

下面将介绍一种更加简单的方法，不需要提取复杂的寄生三极管参数作为紧凑模型的一部分。在不考虑模型精度和相应仿真结果准确性的前提下，对于系统级ESD防护设计而言，该分析方法是足够了。它可以被直接用于研究片上和片外ESD防护网络之间的瞬态相互作用。

本书通过很多例子去阐述这个方法。第一个例子是SCR器件，它在大电流情况下有双注入电导率调制效应，所以其维持电压很低，只有1.5~2 V。SCR的模型也可以用来表示电路门锁或者瞬态门锁的敏感性。因此，在SPICE分立器件模型库中，包含了SCR器件的SPICE模型。该模型的优势是可以模拟寄生三极管的工作机制。通过对行为模型的手工拟合，例如器件开启时的 dV/dt 变化率，可以将SCR的模型做到很精准。此外，探针的寄生参数对于片上SCR的HMM SPICE模型仿真是非常重要的，如图5.7所示。这些寄生参数可以根据第2章中描述的晶圆级HBM测试设备的校准方法来提取。

包含寄生参数的SPICE仿真结果与测试结果对比以及不包含寄生参数的SPICE仿真结果与测试结果对比如图5.7b和图5.7c所示。在本例中，该SCR模型是通过修改一个分立晶闸管器件的SPICE模型实现的，该模型可以广泛应用于相应的设计套件中。

图5.7中，SCR的SPICE仿真结果与测试结果吻合得非常好，因此该方法可以应用到基于SCR结构的片外TVS器件的建模中。图5.7c中观察到的非常快的上升时间和稍高的过冲电压是由于测试过程中电压探针带宽的限制引起的。

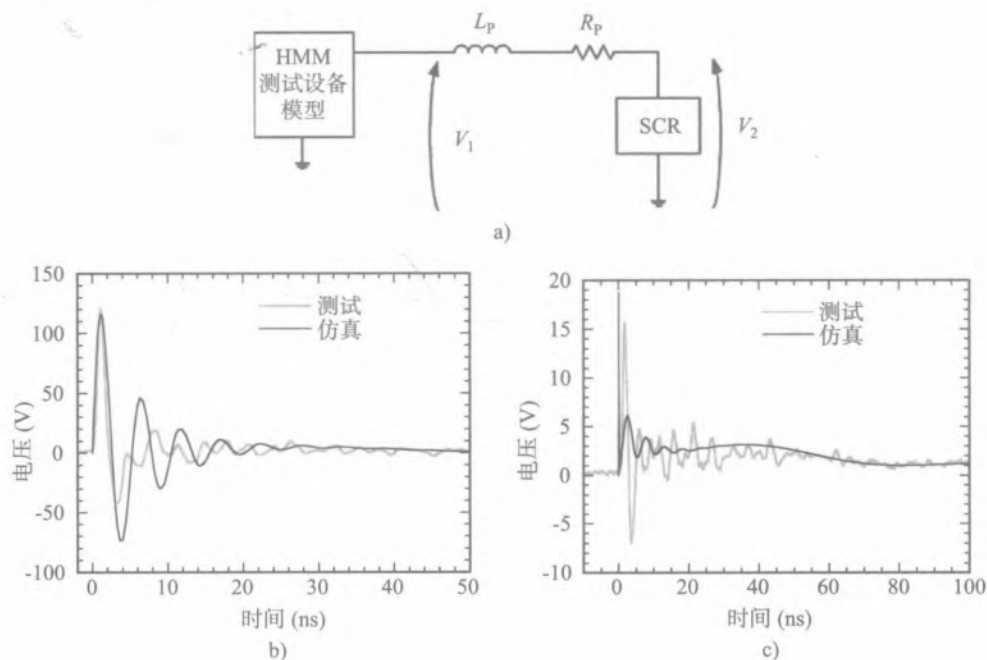


图5.7 a) 带有SCR行为模型的晶圆级SPICE仿真电路，包括探针寄生电感 L_p (2×20 nH)和寄生电阻 R_p (2×0.4 Ω) b) 在1 kV HMM应力下，包含寄生参数的SPICE仿真结果与测试结果对比 c) 在1 kV HMM应力下，不包含寄生参数的SPICE仿真结果与测试结果对比

如果需要更加精确的分析，那么还可以利用 1.5 节中介绍的 TCAD 器件有限元模型进行 ESD 防护器件的行为拟合建模。这种方法的局限性在于大型复杂电路的仿真收敛性是一个很大的挑战。

下一个研究的例子是为了说明仅建立片上或片外主要 ESD 防护器件的模型是不够的。例如，当内部核心电路受到 ESD 器件的钳位防护时，ESD 器件就需要作为 IC 电路的一部分进行综合考虑，对栅极接地的回滞型 NMOS 器件 (SNMOS) 进行仿真就变得很重要。在小电流驱动器中，SNMOS 器件常常被用于增加漏极输出端的自我防护能力。因此在系统级 ESD 事件中，当引脚上应用了 SNMOS 器件，那么片上和片外防护分担的电流情况的仿真就变得十分重要。1.4 节中提出了一种精确校准的 SNMOS 结构紧凑模型，而在本节中 SNMOS 可以用一种更加简单的行为模型表示。该模型包含了一个具有理想反向击穿电压的二极管以及与 SNMOS 导通电阻值相当的串联电阻，这些参数代表了器件的维持电压特性。

尽管做了很多简化，但该方法对于栅极耦合、 dV/dt 触发的 NMOS 器件的模型精度是足够的。因为简化的行为模型可以很好地拟合 SNMOS 的 TLP $I-V$ 测试曲线。由于高 dV/dt 效应，该器件没有回滞。在增加了约 $0.8\ \Omega$ 的串联电阻后，可以仿真出约为 6 V 的维持电压，同时也可以仿真出击穿电压。该方法进一步缩减了电路仿真和 HMM 测试结果之间的差距，提高了吻合度，如图 5.8 所示。

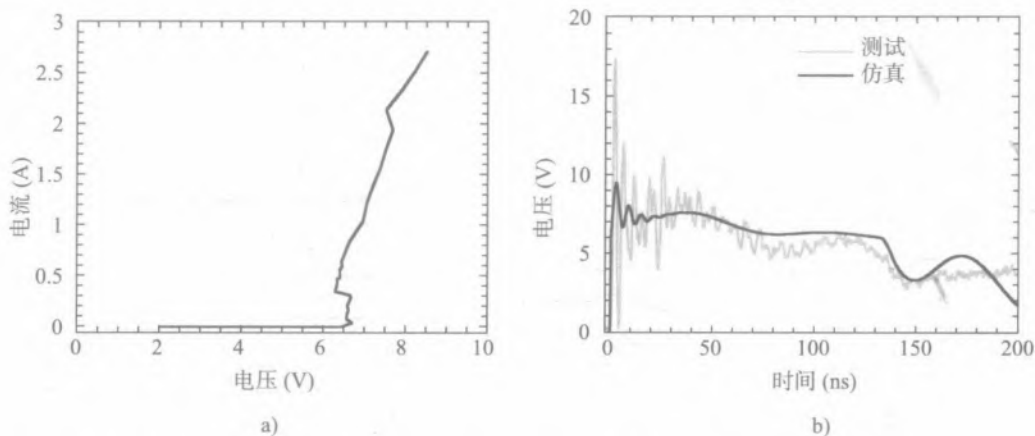


图 5.8 1 kV HMM 应力下的 $I-V$ 特性曲线以及测试和仿真结果的对比 a) 具有高 dV/dt 效应的回滞型 NMOS 器件的 TLP $I-V$ 特性曲线 b) 实验电压波形和电路仿真结果的对比

5.2.3 TVS 二极管模型

作为系统级 ESD 防护设计中的关键器件，TVS 二极管通常是单向或双向器件。很多供应商可以提供单端口和多端口兼容的阵列元器件。基于内部的器件类型，电路仿真可以选用简单或者复杂的 TVS 模型。

在大多数情况下，内部的TVS器件在钳位电压模式下可以表示为反偏击穿的雪崩二极管或者一个有回滞的具有电导率调制效应的器件。在高电流区域，模型参数的提取基于TLP测试结果。TLP测试对正向和反向电流模式都是有效的。

对于单向TVS元器件，可以用传统的二极管紧凑模型表示其正向特性以及通过增加串联电阻来匹配反向雪崩击穿模式下的导通特性。如果在大电流区域，击穿条件下的二极管 $I-V$ 特性是线性的（对于大部分硅基TVS二极管都适用），那么该方法精度是足够的。通过TLP测试结果，可以提取出器件的触发或者击穿电压以及开态导通特性，并应用到电路的SPICE模型里来。文献[118]中很多二极管串被用来表征击穿电压。

第3章中介绍过，双向TVS二极管通常通过两个背靠背的二极管构成。在任一极性的应力条件下，其中一个二极管反向击穿，另一个二极管正向导通。系统级ESD应力电流的快速上升会造成正向恢复效应。它会造成在开启过程中的明显过冲^[119]。因此，在双向TVS二极管的模型中需要考虑正向恢复效应^[120]。正如文献[113]所述，在开启过程中，TVS二极管有明显的正向恢复效应。

单向TVS器件的过冲，可以通过测试一系列电感值去拟合测试结果。图5.9给出了在ESD应力下单向TVS二极管上电压的测试与仿真结果。从图中可以看到测试结果与仿真结果一致。

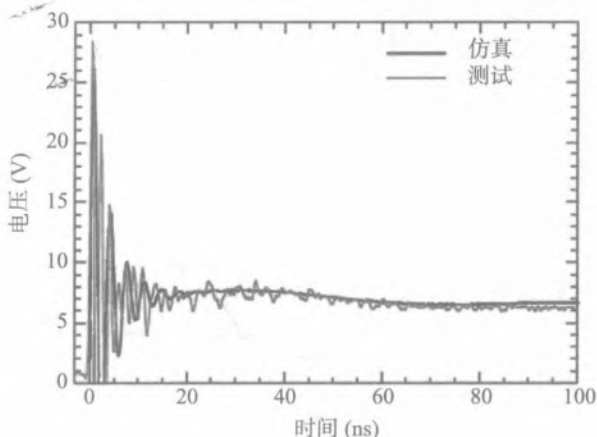


图 5.9 1kV HMM 应力下 TVS 二极管上电压测试与仿真结果的对比

5.2.4 板级无源元器件建模

无源器件的电路模型应该包括寄生参数。如图 5.10a 所示，电容模型包含了寄生电阻和寄生电感。寄生电阻通常很小，表面贴装元器件的寄生电感在 1~3 nH，直插元器件的寄生电感会大于 10 nH。由于寄生电感元器件的存在，在大电流情况下，电感上会有比较大的压降。磁珠的等效电路如图 5.10b 所示，包括与电感并联的寄生电阻和寄生电容、与电感串联的电阻这些电路元件。

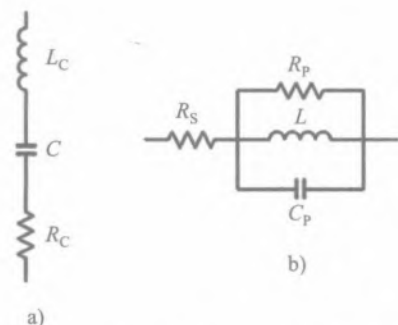
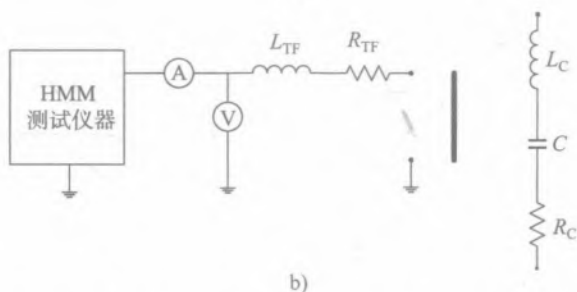
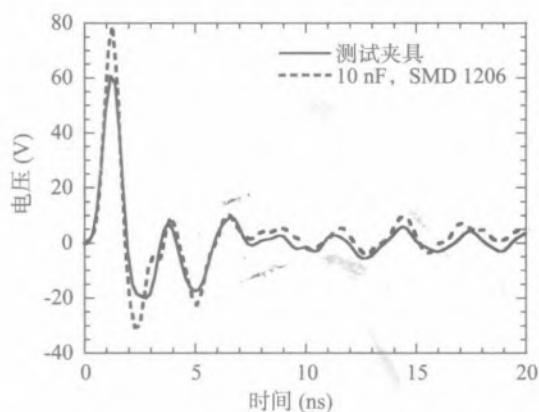


图 5.10 无源器件的等效电路 a) 电容 b) 磁珠

寄生电容参数的提取可以借助阶跃响应。或者，分立电容可以通过 HMM 应力电流和电压波形进行分析。第 2 章中介绍的校正方法可以用来拟合等效电路。10 nF 的贴片式 1206 电容在 1 kV HMM 脉冲应力下的电压波形如图 5.11a 所示。

测试波形中出现的高峰值电压包括测试夹具本身的压降，如图 5.11b 所示。因此，寄生电容的提取分为三步。第一步是将电容短路，将 HMM 应力施加到测试夹具上，提取夹具本身的寄生参数。第二步，基于第 2 章 HBM 测试夹具的校准方法，获得精确的寄生参数值。然后将电容连接到测试夹具上，重复第一步中的 HMM 应力测试。此时，电容和测试夹具的寄生参数是整合在一起的。第三步，将测试夹具的寄生参数减去，就可以获得精确的电容寄生参数值了。

尽管提取出来的等效电路元器件可能看起来微不足道，但它们在更高的系统级 ESD 应力下的影响是明显的。例如同样封装的两个电容，在系统级 ESD 应力下，过冲电压有可能会大 30%，如图 5.12 所示。具有更高电压规格的电容有更大的寄生电感，这导致了在 ESD 应力下，电压峰值大了 10 V。所以，在做精确的系统级 ESD 防护设计仿真或者设计片外防护网络的时候，考虑寄生参数的影响是很重要的。

图 5.11 a) 10 nF 贴片电容和测试夹具在 1 kV HMM 应力下的电压测试波形 b) 用于提取测试夹具寄生电感 L_{TF} 、寄生电阻 R_{TF} 以及电容本身寄生电感 L_C 和寄生电阻 R_C 的电路图

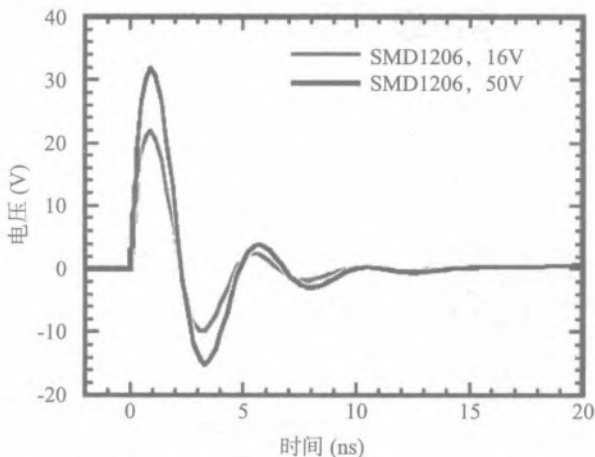


图 5.12 两种不同电压规格的 $1\mu\text{F}$ 电容在 8 kV IEC61000-4-2 应力下的仿真电压波形

5.2.5 混合模式仿真

混合模式仿真方法（如 1.5 节所示）对于系统级设计来说同样是有用的强大工具。有限元模型 FEM 包括片上有源器件、片外有源器件和 ESD 防护器件，极大地提高了仿真精度，并且通过简化模型消除了很多限制因素。

对于带有系统级防护要求的集成电路，混合模式仿真的协同设计结合了传统的电路仿真和包含了准确半导体传输方程的 FEM 模型的器件仿真的优势。因为半导体载流子运输方程和电路方程是一起求解的，所以可以研究 ESD 设计中复杂的器件与电路间的相互作用。FEM 器件模型的使用类似于片上设计，在这种情况下，片外有源器件的紧凑模型就不再被需要。此外，该仿真还包括了片上器件模型、片外/板级器件模型和寄生参数。

图 5.13a 给出了带有一个晶圆级 nLDMOS-SCR 的混合模式 HMM 电路仿真的例子，其中包括 HMM 测试设备模型的集总元件、基于原始工艺信息的 nLDMOS-SCR FEM 器件和晶圆上的寄生元器件。图 5.13b 对比了 1 kV HMM 应力下的仿真结果和测试结果。从图中可以看出，在开启和导通阶段，nLDMOS-SCR 的仿真波形与测试波形吻合得非常好。

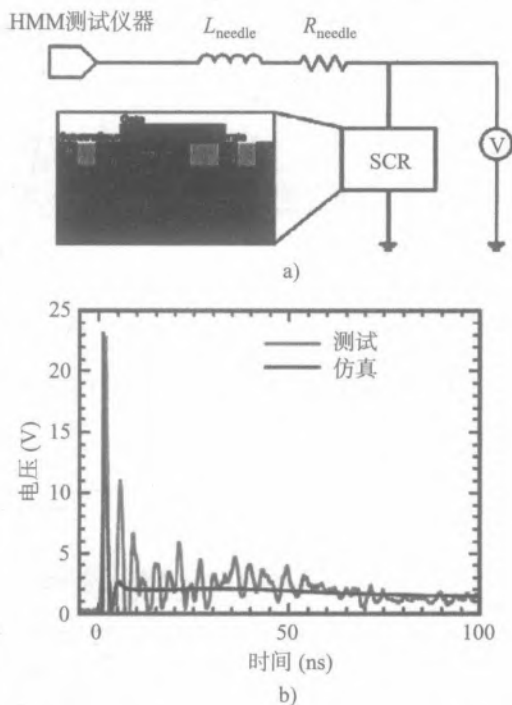


图 5.13 a) 用于晶圆级 nLDMOS-SCR 器件 HMM 仿真的混合模式电路 b) 1 kV 应力等级下测试与仿真电压波形的对比

5.3 基于数据手册的系统级 ESD 防护设计

为了对比，本节介绍基于数据手册的系统级 ESD 防护设计。本章剩下的部分将介绍 IC 与系统协同设计的方法。总体而言，基于数据手册的设计方法是最简单和直观的方法，不需要额外的步骤。

在基于数据手册的方法中，TVS 一般被简单地放置在系统的所有端口。在图 5.14 所示的移动电话的例子中，TVS 不仅防护数据端口、天线和充电电路，而且还防护显示器和扬声器。有些 TVS 器件还被用于内部防护。

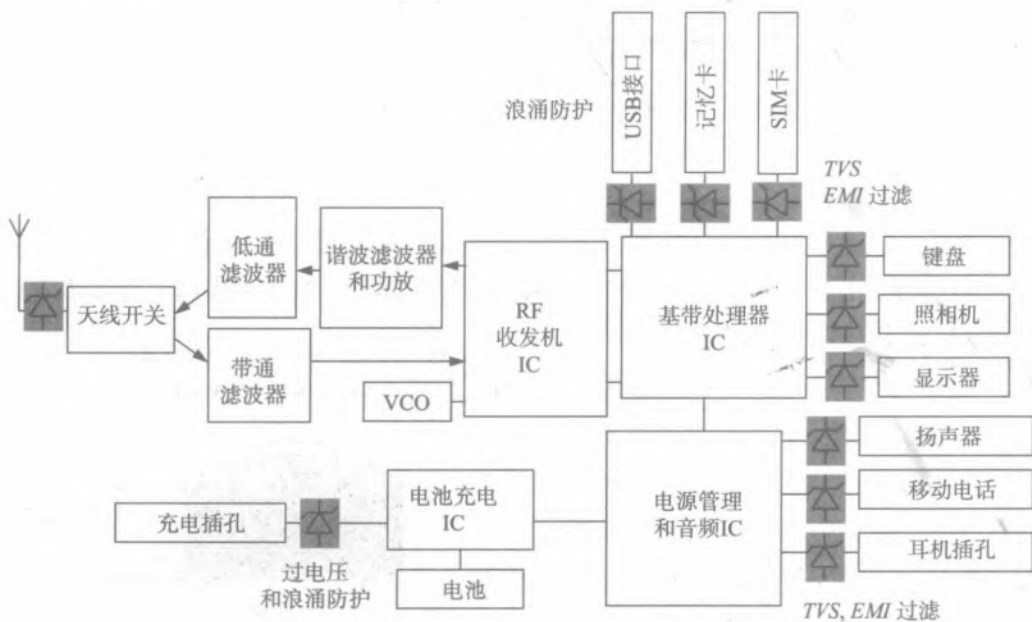


图 5.14 移动电话系统中 TVS 的应用

TVS 防护，包括带有端口连接屏蔽的高强度机械通路和 PCB 到地通路、TVS 主要大电流电通路的实现及片上 ESD 防护结构中通过 IC 引脚的电流路径的考虑，如图 5.15 所示。

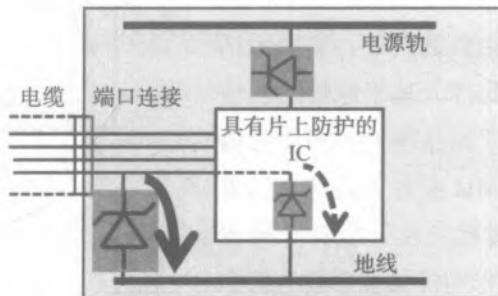


图 5.15 TVS 主要大电流电通路以及带有片上 ESD 防护结构的 IC 引脚电流通路

带有IC的系统设计，包括将界面引脚的系统级ESD防护作为主要的ESD防护级来设计，这并不简单。在设计中，需要考虑系统互连中的瞬态电压降。例如，一个IC引脚没有直接连接到端口而是在系统内部，电感瞬态电压降会引起一个明显的过冲，这个过冲电压会耦合到系统其他器件上并造成不可预期的影响，如图5.16所示。

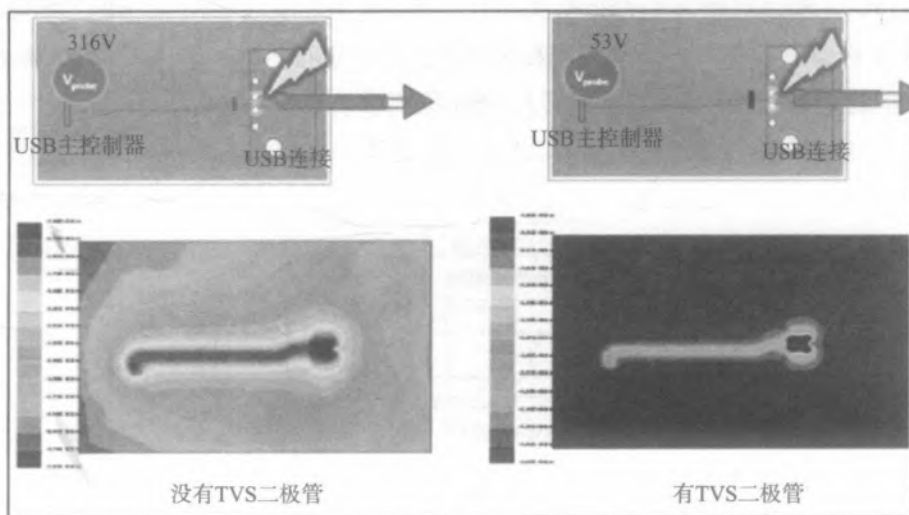


图5.16 带有TVS二极管的高速信号USB的感性内连负载实例^[91]

分立TVS器件、IC和无源器件的设计信息，可以从供应商的数据手册中获得。因此，该设计方法主要是基于设计者的经验，并不代表在以下章节中阐述的协同设计方法。特别是在系统开发设计过程中，IC防护设计可能与系统定义无关或不需要满足系统优化的要求。因此，该设计方法主要是基于片外ESD防护，以避免IC引脚和应用板本身受到的应力过大。

在基于数据手册的系统级ESD防护设计的方法中，防护器件的选择是根据IC引脚的定义，包括最大工作电压、极限参数、噪声和信号完整性相关的参数，以及数据线或者天线端口可以承受的电容负载值等。但这些IC参数通常只表示器件的工作范围，而不表示与ESD相关的瞬态特性。

在HBM、MM和可备选的CDM应力模式下，IC数据手册通常只提供组件级ESD资质能够通过的等级。

类似地，系统级ESD防护器件TVS典型参数的定义，给出的是不代表实际钳位电压的波形或者微秒时间域的浪涌波形，而不是系统级的ESD脉冲波形。因此，数据手册的信息可能会对ESD应力的瞬态触发特性、给定ESD瞬态电流下的钳位电压、开态电阻的线性度以及寄生电容等的获得带来误导。正如本章第一节所述，数据手册中提供的独立元器件本身的ESD通过等级，绝不能作为设计决策过程中唯一的考虑因素。

图5.17给出了基于数据手册的系统级ESD防护设计流程框图。在对数据手册进行分析之后，

从数据手册中提取参数并建立简化的半经验器件模型，该模型可以用于电路仿真分析。在这个过程中，IC 芯片上 ESD 的防护模型由简化的等效 ESD 钳位特性（类似于前面提到的电阻和二极管的结合）所代替，这样做是为了在行为层面上表示集成电路 ESD 防护网络对 ESD 电流路径的贡献^[113, 118]。

仿真分析的主要目的是为了比较 IC 引脚处的残余电流和 IC 数据手册中的 ESD 通过等级。为了物理验证 ESD 的鲁棒性，系统将用相应的质量标准进行测试，例如 IEC61000-4-2。如果没有达到相应的要求，那么要用更多的片外 ESD 防护元器件来修补设计。

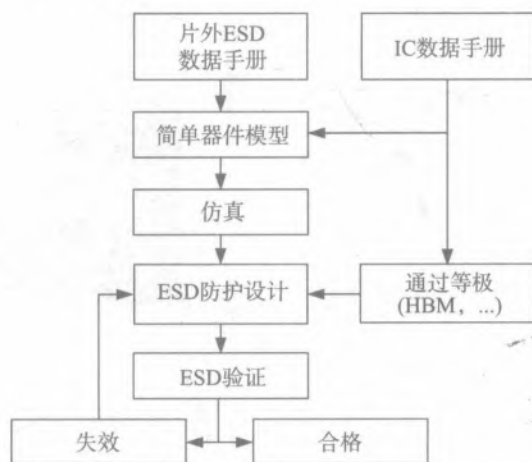


图 5.17 基于数据手册的系统级 ESD 防护设计流程

当然，基于数据手册的设计方法有些缺点，一般 IC 厂商通常定义了最小的参数要求，例如 HBM 应力在 1~2 kV。在数据手册中，并不会提供 IC 引脚的最大失效参数，因此只能将定义的最小参数假设为最差情况。此外，依据元器件通过标准不同的引脚组合都是基于例如 JEDEC 标准在断电情况下进行 ESD 测试的，而这不同于系统级 ESD 应力。因为芯片在上电情况下，不同的引脚不仅可以有多条电流路径，而且还可以使 RC 触发的有源钳位 ESD 防护方案失效。

如果 IC 芯片被当作一个带有数据参数的“黑盒子”和一个未知类型的片上 ESD 防护网络，那么需要一个非常谨慎的设计方法以保证系统设计是可靠的。如果仅使用数据手册参数容易导致过度设计，可能会损害系统性能的品质因子。为了实现更先进有效的方法，下面将介绍对传统系统级 ESD 防护设计的一个主要改进。协同设计方法搭配片上和片外 ESD 防护设计，可以获得一种高效可靠的 ESD 防护解决方案。

5.4 IC 与系统的 ESD 协同设计概念

如果将系统级 ESD 防护网络理解为至少两级电路，第一级是片外 TVS 二极管作为主要的

电流泄放路径，第二级是片内 ESD 钳位电路作为次级电流泄放路径，那么 IC 与系统的 ESD 协同设计就是必然的结果。当特定的 IC 引脚需要在一定程度上承受住系统级脉冲应力时，那么 IC 引脚可以安全泄放一小部分 ESD 电流的能力将会是一个优势。另外，如果系统设计是通过精确的片上和片外 ESD 特性仿真实现的，那么就可以达到更加优化的系统方案。

IC 与系统的协同设计与基于数据手册的设计（即使集成电路包含了系统级别指定的引脚）的主要区别在于，协同设计是基于精确的片上和片外 ESD 防护结构模型和特性的分析结果进行的。该方法可以通过一个高频放大器的例子进行说明，该放大器的片外防护网络由 TVS 二极管和去耦电容组成。该电路还包括匹配电感 L_{ESD} ，以保证连接到射频输入端口电路的应用带宽，如图 5.18 所示。该放大器电源是由电压 VCC 和 VEE 驱动的，并有相应的去耦电容 C_{VCC} 和 C_{VEE} 用于去耦。片上输入的 ESD 防护是利用 ESD 二极管 D_{ESD} 和电源钳位 PC 实现的。

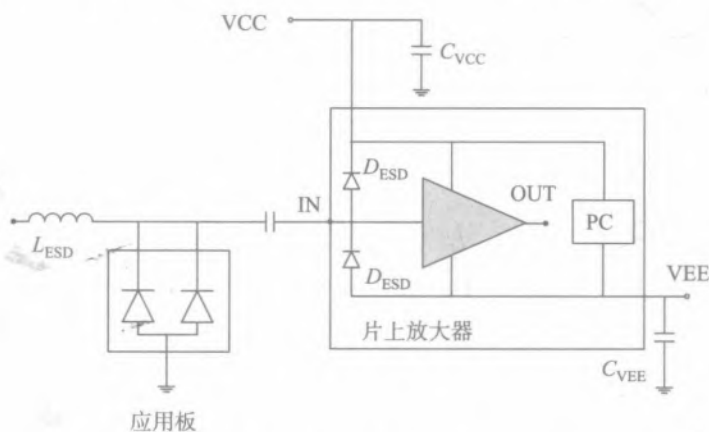


图 5.18 IC 与系统的 ESD 协同设计示例

当 ESD 应力脉冲到达 RF 输入端口时，主要的泄放电流路径是输入电容之前的片外 TVS 二极管。在这种情况下，只有一小部分电流通过片内防护二极管和电源钳位网络泄放。

该例子将被进一步用来阐述两种协同设计方法：系统有效性 ESD 设计（System-Efficient ESD Design, SEED^[114]），主要依靠附加的 TLP 数据作为协同设计方法的输入；改进的 SEED 设计方法，在设计流程中还加入了 HMM 的数据分析。

5.4.1 基于 TLP 数据的协同设计方法

在工业委员会发布的白皮书 3 的第一部分和第二部分^[114,121]中，介绍了 ESD 协同设计方法，该方法被称为系统有效性 ESD 设计（SEED）。这个概念的提出是为了用于片外 ESD 防护解决方案的设计，以达到系统级的 ESD 防护要求。

SEED 方法基于 TLP 特性，并且减小了系统设计和 IC 芯片 ESD 防护设计之间的差距。IC 和片外有源、无源器件的准静态 TLP $I-V$ 特性数据对系统级模块构建提供了足够的初始信息。

可选的 vfTLP（超快速 TLP）的测试数据也可以用来作为该方法的一部分。例如对输入比较敏感的薄栅氧器件情况或者需要考虑快速瞬态脉冲的可靠性时，就需要 vfTLP 数据。在文献 [122] 中，CDM 的峰值电流用来检测 USB 收发机输入端口的鲁棒性并用来解释由第一个 HMM 峰值产生的物理效应。然而，由于 CDM 电流的路径和位置通常不同，这种策略缺乏足够的物理基础。从这个角度看芯片引脚上的 HMM 和 TLP/vfTLP 应力之间的相互关系应该更为合适。

一旦系统级网络模块的 TLP 特性被收集，那么利用根据脉冲 $I-V$ 特性提取的参数就可以构建简单的模型了。因为这些模型包括了更加真实的脉冲 $I-V$ 特性，因此我们期望通过类似于基于数据手册的设计步骤实现一个更优的结果。整体设计流程包括系统网络组件的 TLP 特性、模型拟合、不同设计参数的瞬态仿真、应用板设计以及最终的验证，如图 5.19a 所示。图 5.19b 比较了片上和片外防护器件的 TLP $I-V$ 特性以确认是否满足设计窗口。作为例子，一个 8 kV IEC61000-4-2 的目标防护级别的最终设计，由 TLP 的测量结果（对应 30 ns 的 16 A 电流水平）得到了初步验证。

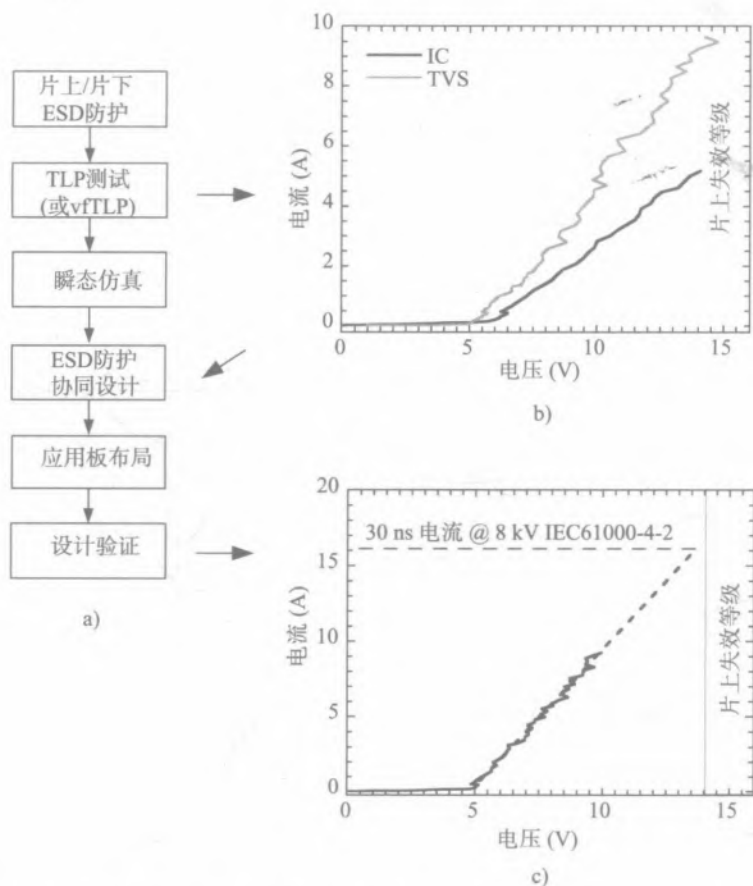


图 5.19 a) SEED 设计流程 b) 片上防护和片外 TVS 的 TLP $I-V$ 特性 c) 系统输入端测到的防护设计的最终 TLP $I-V$

如果必要的话,更先进的方法就是基于TLP $I-V$ 的特性曲线来提取模型参数并应用于ESD的瞬态特性仿真,用以对系统设计方案进行比较分析和片外器件的优化。图5.18中所示的电路中可以加入片外元器件,例如隔离电阻^[124]、无源元器件铁氧体磁环^[113,123]和共模滤波器^[122],以及可替代的或者额外增加的TVS元器件。根据TLP数据,可以精确知道在ESD脉冲应力下IC引脚所能承受的最大电压和电流值。因此,对于该设计方法的准确性可以有足够的信心。通过对已完成的设计进行TLP $I-V$ 特性测试,可以对该设计做出初步验证,如图5.19c所示。

在本例中,目标防护等级是期望电路在8 kV IEC61000-4-2标准的ESD脉冲应力期间,可以安全传导电流达30 ns。对应于热失效,该电流可以近似等效为100 ns、16 A的TLP电流。由于不同的脉冲波形,这样的近似总会导致比IEC61000-4-2应力更高的失效水平。

尽管简单又具有吸引力,但基于TLP数据的协同设计方法也有其缺点。由于TLP测试实际上只提供了一个100 ns时间域内的准静态特性,将重要的电压过冲信息丢失了。由于快速上升的瞬态系统级应力电流的存在,这部分ESD应力是不可忽略的。例如文献[122]中,基于TLP的设计方法预测USB2的防护方案在IEC标准下的等级是约10 kV,但是实测说明其防护鲁棒性达到了约14.5 kV。仿真与测试之间的巨大差距是缺少板级寄生参数或者模型不精确造成的。

因此,尽管与基于数据手册的设计方法相比有所进步,但是如果把整个ESD脉冲应力时间域内的瞬态特性都考虑进来的话,IC与系统的协同设计方法还能得到进一步的改进。下一节的案例研究将证明,仅使用TLP $I-V$ 特性作为协同设计的输入是不完整的。因此需要增加瞬态特性信息,以便考虑片上ESD防护与片外板级ESD防护的相互作用。该问题可以通过将HMM测试步骤加入协同设计流程而得到解决。

5.4.2 基于HMM测试的IC与系统协同设计

基于TLP的设计方法可以进一步改进,即在协同设计流程中增加HMM特性实现更精确的电路仿真步骤。将耐高压的IC引脚的系统级ESD防护的案例研究与低压CMOS工艺实现的内部电路相结合,作为SoC解决方案的一部分。典型的例子包括线驱动、USB接口和显示驱动。耐高压的IC引脚的工作电压要高于IC产品制造所用的低压技术。

在这种情况下,基于标准工艺实现的由低压栅氧化层器件构成的ESD防护方案必须由基于结的免费器件(不增加制造工艺成本的器件。——译者注)代替。图5.20中给出了一个系统级防护方案的例子,包括测试板、板级器件以及片上高压防护器件。电路中表示的变量包括系统级ESD电流 I_{HMM} ,存片上防护器件中经过的电流 I_{DUT} ,片上防护器件两端的电压 V_{DUT} 。这个例子利用测试和仿真分析研究片上和片外防护器件相互间的作用。

高耐压的SCR ESD防护器件是基于130 nm CMOS工艺实现的,PDK中还包含其他标准CMOS器件,工作电压为1.2 V和3.3 V。SCR的触发电压可以达到约15.5 V。由于用SCR代替

了薄栅氧器件，它所以可承受高电压且长期使用的可靠性参数不受影响。SCR 器件是在晶圆上单独进行测试的。探针和探针座的寄生参数提取方法（见第 2 章）已经包含在分析中，以确定它们在 ESD 应力中对设置的影响。

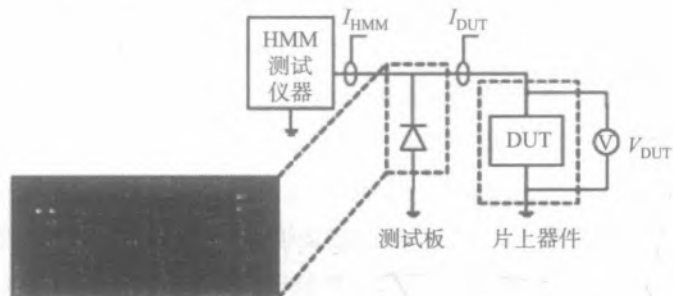


图 5.20 基于片外元器件的系统级 ESD 防护实验电路图

图 5.20 中，连接片外器件和 DUT 的专用双层测试板是用 FR4 材料制作的。顶层包含 PCB 线路和片外器件的引脚信息。底层代表地，并通过电镀层与顶层相连。为了模拟标准的应用电路板，板上的线路并不是按照特定的由其宽度定义的阻抗设计的。外部电路板和片外防护器件是通过 SMA 连接器连接到探针座并通过探针连接到 DUT。

TLP 和 vTLP 测试仪 HANWA T-5000 用来作为应力源以提取 $I-V$ 曲线。系统级 ESD 应力源是一台 HMM 测试仪 HANWA HED-W5000 M。电流探针的旁边是高阻无源电压探针，它连到 KELVIN 配置中的 SCR 器件，以捕获其在不同应力条件下以及不同片外配置情况下的瞬态行为。

图 5.21 给出了片和片外 ESD 防护器件的 TLP $I-V$ 特性比较结果，从中可以选择适合 5 V 应用需求的片外防护方案。选择的 TVS 二极管结电容约为 80 pF，开启电压约为 6.2 V，HMM / IEC61000-4-2 的鲁棒性达到约 30 kV。

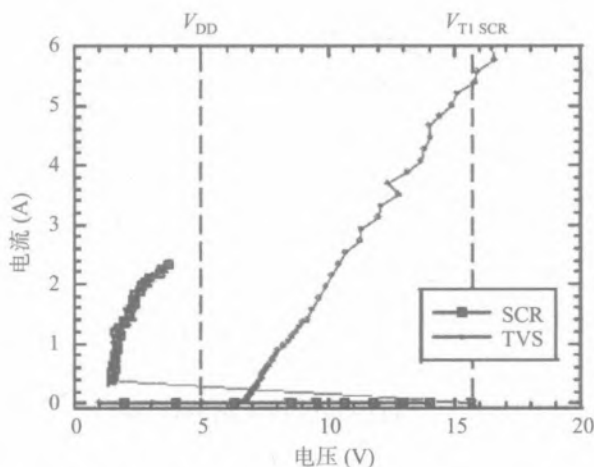


图 5.21 SCR 和 TVS 元器件在 100 ns TLP 应力下的 $I-V$ 特性对比

TVS的触发电压 V_{T1} 为6.2 V,远小于SCR的触发电压 V_{T1} 15.5 V。那就是说,在SCR开启前,TVS器件提供了主要的系统级ESD电流的泄放路径,最大可以达到5.4 A。在更大电流状态下,SCR被触发进入回滞区,电流泄放路径就从TVS二极管转移到了SCR器件中。在回滞的开始阶段,SCR中的电流就会迅速超过器件本身所能承受的最大电流能力,如图5.21所示。所以,这会造成SCR器件电热烧毁失效。

然而,对SCR器件与TVS二极管并联的电路进行HMM测试,却给出了不同的结果。SCR器件在远低于预估的5.4 A电流条件下就开启了。30 ns后的瞬态HMM电流测试表明主要的电流路径是由SCR提供的,而不是TVS器件,如图5.22所示。

SCR在低的HMM应力下就被触发,这不能通过TLP $I-V$ 特性测试曲线进行解释。与开启速度和电压过冲形状都有关系的TVS二极管的瞬态特性也变得非常重要。在一定程度上这可以通过获取独立TVS元器件的 ν TLP数据来解决。因此,对TVS二极管进行了200 ps上升时间、2 ns宽度的 ν TLP $I-V$ 特性测试,并在两个不同的时间窗口提取了电流和电压信息。

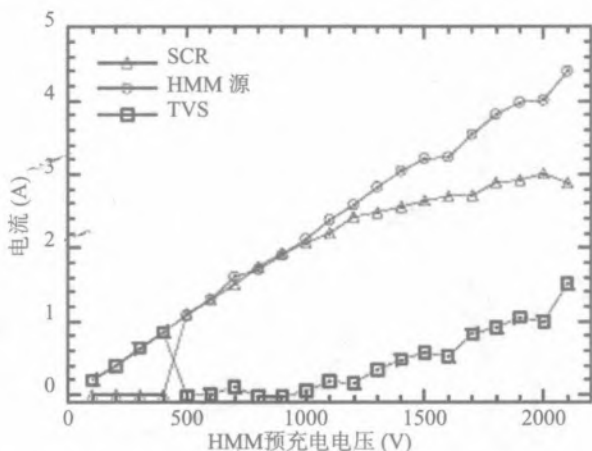


图 5.22 30 ns 后的 HMM 应力电流测试：HMM 应力总电流、SCR 和 TVS 二极管中各自的电流

图 5.23a 中,第一个平均窗口 (I) 是 ν TLP 脉冲的开始阶段,第二个平均窗口 (II) 是 ν TLP 脉冲的结束阶段,它捕捉进入准静态的更加稳定的电压和电流信息。相应的 ν TLP $I-V$ 特性解释了与 TVS 开启速度有关的物理效应的本质。窗口 (I) 中的 $I-V$ 曲线表示,脉冲应力开始阶段 TVS 处于小电流状态。从图 5.23b 中可以看出,SCR 在触发时电流只有 1.6 A。该结果与 HMM 测试值非常吻合,SCR 触发时测得的 HMM 峰值电流为 1.65 A。很明显,结合瞬态信息的基于 TLP 数据的协同设计方法包含了片上和片外防护器件之间重要的相互作用。

SCR 在低应力条件下开启直接影响了具有并联 TVS 元器件的系统的 ESD 鲁棒性。总体上来说,单纯基于 TLP 数据设计的 ESD 防护方案的鲁棒性预期能达到 2.9 kV。但是,TLP 失效电流与 30 ns HMM 应力失效电流之间的系数是 1.15^[125]。实际上,当加入 TVS 二极管后,系统的

鲁棒性只有 2.1 kV。大部分二次脉冲电流流过 SCR，只有一小部分电流流过 TVS。在 HMM 2.1 kV 应力下，流过 SCR 的电流对其造成了不可逆转的破坏，如图 5.24 所示。

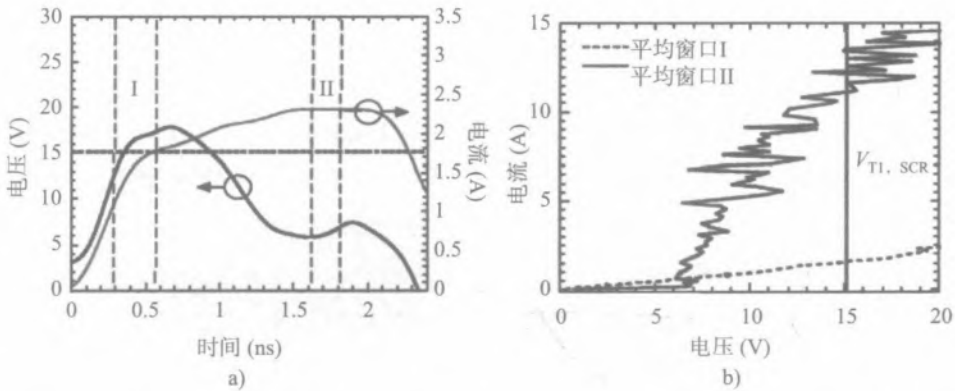


图 5.23 a) 2 ns/200 ps 瞬态电压和电流 vTLP $I-V$ 特性实验 b) 在平均窗口 I: 0.3~0.6 ns 和平均窗口 II: 1.7~1.9 ns 中提取的独立 TVS 二极管信息

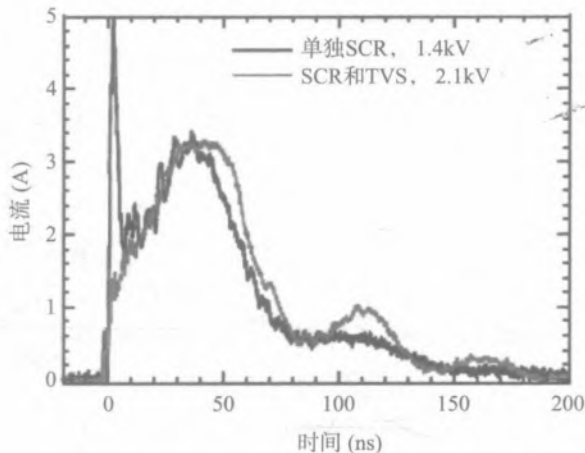


图 5.24 单独 SCR 以及 SCR 和 TVS 二极管并联电路的鲁棒性测试

类似于 SCR 在低应力下的开启，高应力条件下 SCR 和 TVS 二极管对二次击穿电流的分担不能简单地通过 TLP $I-V$ 曲线进行解释。为了获得对这些结果的理解，需要进行瞬态仿真。

为了研究片上和片外防护器件的瞬态行为，5.2.1 节中给出了结合 HMM 测试仪的电路仿真设置。TVS 器件由基于数据手册和 TLP 特性的 SPICE 模型代替。为了预估和建模 TVS 的过冲行为，TVS 二极管上串联了电感，电感值是根据测试板上独立的 TVS 二极管测试得到的。

SCR 的模型是通过修改商用分立 SCR 器件的 SPICE 模型提取出来的。该行为模型捕捉了器件的触发电压、开态电阻和维持电流特性。它提供了在瞬态 ESD 脉冲应力下器件真实行为的足够的近似精确度。图 5.25 给出了包含有探针和探针座寄生参数的分立 SCR 器件两端电压的仿

真和测试结果对比。从图中可以看到，在回滞后电压测试和仿真结果很吻合，而过冲电压幅度上的不一致是由于探针带宽限制造成的。

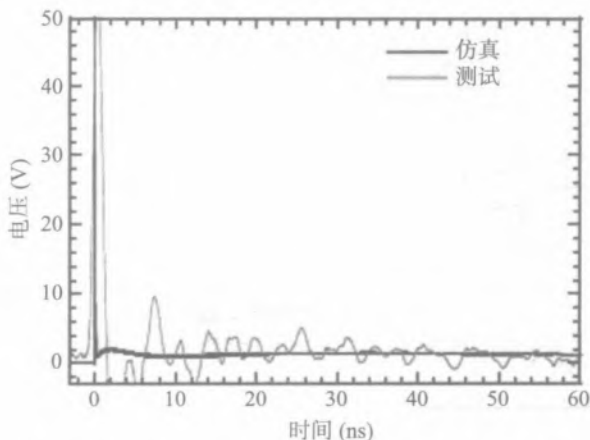


图 5.25 1 kV HMM 应力下含有探针和探针座寄生参数的分立 SCR 器件两端电压的仿真和测试结果

为了验证仿真设置的准确性，首先仿真了 SCR 器件并联 TVS 二极管电路的触发情况。从图 5.26a 和图 5.26b 中可以看到，在不同的应力条件下，电流流过 SCR 器件的仿真和测试结果很吻合。

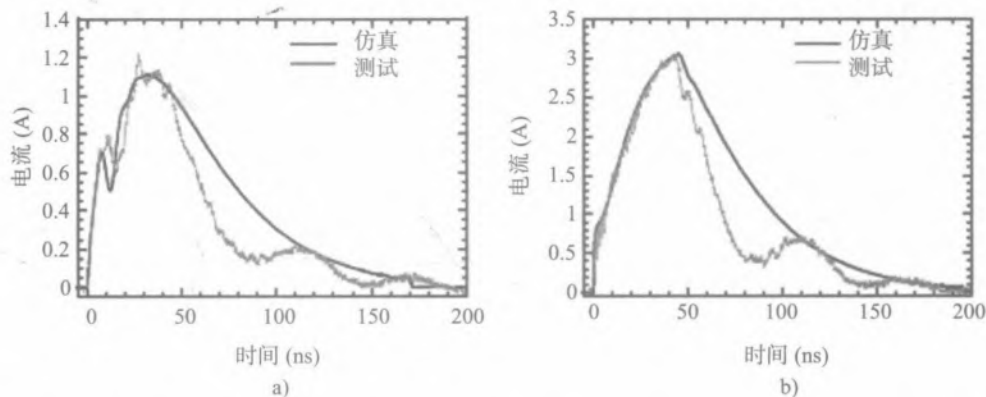


图 5.26 SCR 器件并联 TVS 二极管电路的电流仿真与测试结果对比 a) HMM 应力为 0.5 kV
b) HMM 应力为 1.5 kV

为做瞬态分析，不同预充电情况下电路中不同位置的电压和电流波形被提取了出来。在两种预充电情况下，TVS 和 SCR 两端的电压说明 TVS 在低应力下是关断的，如图 5.27a 所示。尽管在探针和探针座上有额外的电压降，但是 SCR 低的维持电压不足以保证 TVS 保持在开启状态。在高应力情况下，在整个 HMM 脉冲应力周期内，TVS 一直处于开启状态，如图 5.27b 所示。

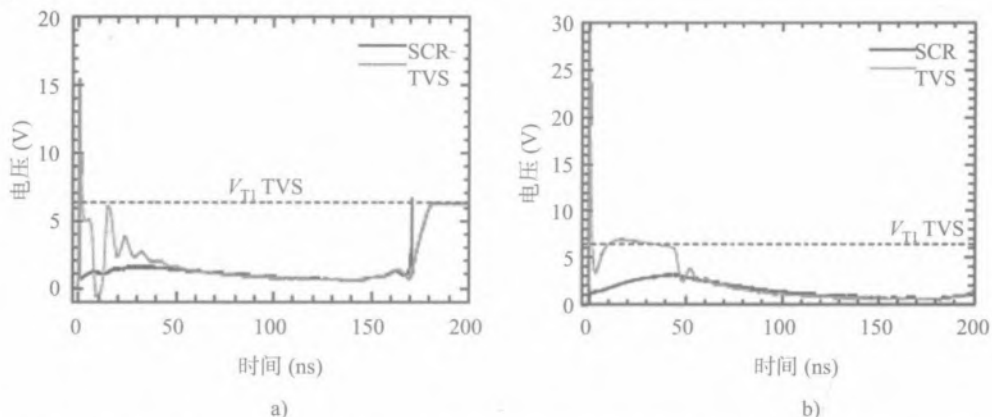


图 5.27 TVS 和 SCR 器件两端电压仿真值 a) 在 0.5 kV HMM 应力水平下 b) 在 1.5 kV HMM 应力水平下

在测试情况下的 HMM 应力期间，SCR 和 TVS 器件中的电流分配情况将直接影响最终的结果。在低 HMM 应力下，仅在第一个 HMM 脉冲电流峰值处有电流在 TVS 二极管和 SCR 器件中流过，如图 5.28a 所示；而在第二个 HMM 脉冲电流峰值处，SCR 器件提供了主要的电流泄放通路。但是在高 HMM 应力下，TVS 在第二个 HMM 脉冲电流应力下也提供了电流泄放路径，如图 5.28b 所示。

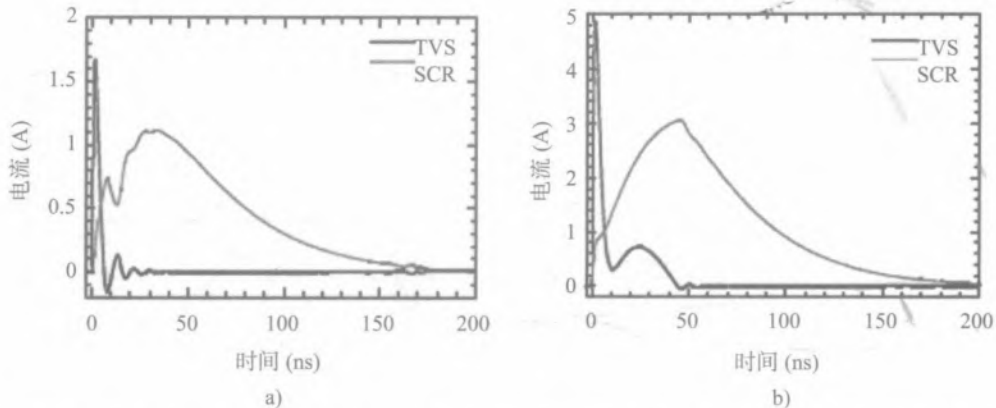


图 5.28 流过 TVS 和 SCR 的电流仿真值 a) 在 0.5 kV HMM 应力水平下 b) 在 1.5 kV HMM 应力水平下

一个简单的补救方法是通过加一个额外的电阻将流过 SCR 中的电流限制在一个安全范围内。在 8 kV HMM 应力下，假设 SCR 的安全电流为 1A，那么就可以根据该方法^[124]计算所需要的电阻值。通过计算可以得到所添加的额外电阻为 7.3Ω。如图 5.29 所示，在添加了隔离电阻后，SCR 中的电流一直处于安全范围内。

本节通过对 TVS-SCR 案例的详细分析，说明目前基于 TLP 数据（以及 SEED）的 IC 与系统协同设计的方法是不完善的。除了准静态 TLP $I-V$ 数据采集和相应的协同设计步骤外，还需要考虑瞬态信息。这就确保防护设计中考虑到了片上和片外防护器件的相互瞬态作用，以及它

们的开启速度和非线性特性。根据施加的HMM应力，片外通过TVS器件的电流通路可以被低维持电压的片上ESD防护器件或易于产生瞬态闩锁的电路接管。因此，包含HMM脉冲测试和仿真结果的瞬态分析是IC与系统协同设计中必要的步骤。

5.4.3 基于TLP和HMM测试的协同设计流程

结合对前面章节阐述的例子的理解，提出了一种更先进完善的IC与系统协同设计的流程。根据5.4.1节，为了考虑片外元器件、片外ESD防护器件和内部电路的瞬态行为，流程中包含了TLP和HMM特性、片上测试以及瞬态仿真步骤，如图5.30所示。首先，通过HMM测试、TLP和可选的vTLP测试，获得片外和片上防护器件的准静态和瞬态参数。然后，根据捕获的HMM失效水平获得片上ESD防护网络在系统级ESD应力下的鲁棒性。随后这可用于验证设计ESD防护解决方案。

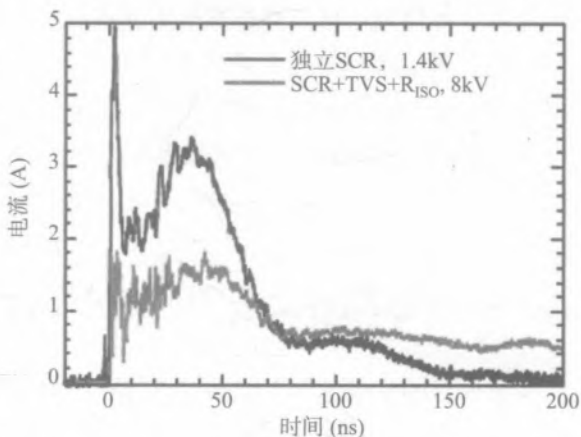


图 5.29 添加额外电阻后 SCR 和 TVS 二极管中电流的测试波形

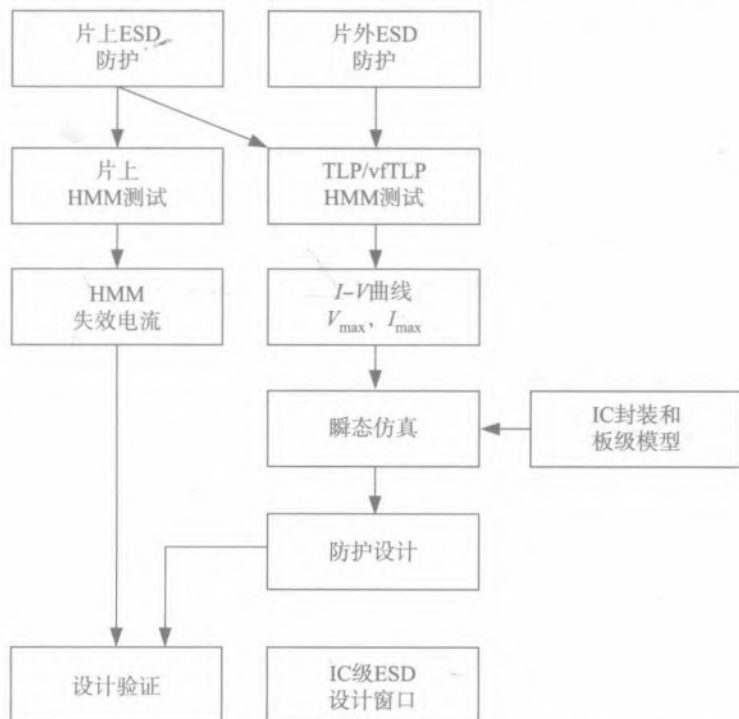


图 5.30 基于晶圆级测试和瞬态仿真的系统感知 ESD 协同设计流程

测试获得的器件性能参数用来建立器件模型，用于之后的瞬态仿真。通过建立应用板和 IC 元器件的行为模型，片上和片外防护器件的瞬态相互作用可以被进一步分析，以便更加接近真实的应用环境。通过比较在整个 ESD 脉冲应力周期内流过片上 ESD 防护器件中的电流仿真值和 HMM 测试的失效电流，对整个防护方案进行设计验证。TLP 特性用以提取准静态最大电压和电流，而 HMM 测试用以提取瞬态信息以及验证防护方案是否合格。这种协同设计方法有望改进总体设计并在系统开发的早期消除不期望的瞬态器件行为。

5.5 系统感知片上 ESD 防护设计

本节的目的是概述与系统端口直接相连的 IC 引脚处器件级 ESD 防护方案的主要设计原则。与第 3 章中片上系统级器件相比，主要的区别在于本节阐述的片上防护设计只泄放一小部分系统级 ESD 电流。设计原则的概述是通过一组案例研究来实现的，它基于片和片外器件间的相互作用，推导出系统感知的片上 ESD 防护设计的每一个特定方面。

5.5.1 案例研究的实验设置

在案例研究中，对待测器件（DUT）进行了测试，并提取了相应的探针和探针座等效电路参数。将负载短路并对晶圆级 DUT 进行 HMM 测试，提取寄生电感和寄生电阻。第 2 章中描述的算法被用于去嵌入。

基于 TLP 测试仪器 HANWA T-5000，获得了 TLP 和 vtTLP I - V 特性。晶圆级测试仪器 HANWA HED-W5000 M 用于产生 HBM 和 HMM 脉冲，以模拟 IEC6100-4-2 标准下的系统级 ESD 应力波形^[126]。高阻抗无源电压探针直接连接到 DUT，以捕捉瞬态电压波形，如图 5.31 所示。

这一测试设置和所提到的设计方法（5.4 节），被用于两种典型的器件级 ESD 防护场景的研究：模拟电路和基于先进 CMOS 技术制造的带有附加系统级 ESD 防护元器件的 IC 的防护。

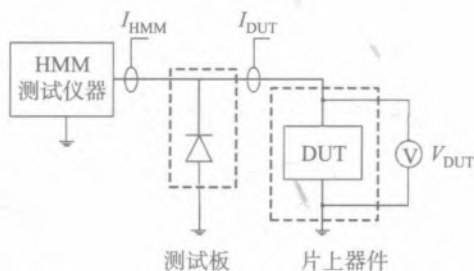


图 5.31 测试板和晶圆上 DUT 测试设置图，包括系统级 ESD 应力电流 I_{HMM} 、流过 DUT 的电流 I_{DUT} 以及 DUT 两端的电压 V_{DUT}

5.5.2 给外部 IC 引脚选择合适的 ESD 钳位器件

假设在片上 ESD 防护方案上有一定的选择自由度，那么在 IC 设计阶段就可以用不同类型的钳位防护器件。尽管不同的片上 ESD 防护方案或许具有相似的防护等级，甚至有类似的引脚布局，但是在两级网络电路中它们在系统级脉冲波形下的工作机制是不同的。因此，一些片上

ESD 钳位防护器件比其他器件更加适合于协同设计。为了说明这一点，通过测试和仿真结果，对比了三种标准的 ESD 钳位器件，并从适合系统设计的角度出发选择了最佳防护器件。

三种具有代表性的 ESD 钳位防护器件是 SNMOS (Clamp 1)，LVTSCR (Clamp 2) 和 nLDMOS-SCR (Clamp 3)。三种器件都满足 90 nm CMOS 工艺中器件级 ESD 鲁棒性要求。根据 TLP $I-V$ 特性提取了三种器件的主要特性和优点，并与片外 TVS 器件进行了对比，如表 5.3 所示。TVS 二极管的直流击穿电压为 5 V 左右，结电容为 105 pF，IEC61000-4-2 标准下的防护等级达到 30 kV。表 5.3 中基于 TLP $I-V$ 特性提取的准静态参数说明 Clamp 1 和 Clamp 2 器件都工作在回滞区域，但是 Clamp 2 器件的导通电阻是最大的。它超过了对应 TVS 参数的 2 倍。而相比于 TVS，Clamp 3 器件的导通电阻只有它的一半。

表 5.3 三种 ESD 钳位器件在 HMM 和 100 ns TLP 应力下的 ESD 测试结果

	器件类型	HMM (kV)	TLP (A)	V_{T1} (V)	V_{H} (V)	R_{ON} (Ω)	I_{T2} (A)
Clamp 1	SNMOS	1.5	2.7	6.6	6.25	1.3	2.7
Clamp 2	LVTSCR	1.7	2.7	5.7	1.6	2.2	2.7
Clamp 3	nLDMOS-SCR	1.8	2.8	15.9	1.5	0.5	2.8
TVS				5.5		0.9	> 10

三种钳位器件分别与 TVS 二极管并联，进行瞬态 HMM 测试，对 TLP 数据做进一步补充。从图 5.32 中可以看出，流过每一个钳位器件中的 HMM 电流是完全不同的。例如，Clamp 3 器件由于具有比较高的触发电压 V_{T1} ，所以其只有在高于 1 kV HMM 应力后才开启。而 Clamp 1 和 Clamp 2 器件由于具有比较低的触发电压（只比 TVS 击穿电压高一点），所以它们会经常处于开启状态。同时，由于具有低的导通电阻，Clamp 3 器件中流过的电流比较大，所以在 5.5 kV HMM 脉冲应力下就失效了。相反，Clamp 1 和 Clamp 2 器件的 HMM 失效等级可以达到 8 kV 以上。因此，尽管最初的印象是相比于 SNMOS，Clamp 3 器件更加适合片上防护，但实验结果却是相反的。

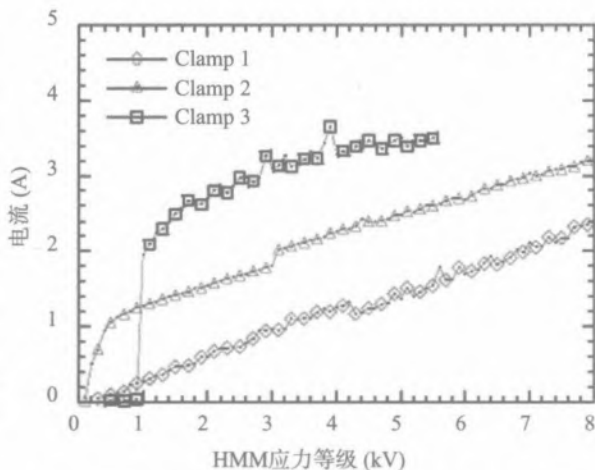


图 5.32 三种钳位器件分别与 TVS 二极管并联后的 HMM 测试结果

在相同等级 HMM 脉冲应力下进行比较，这一差距更加明显。从图 5.33 中可以看到，片上 Clamp 3 器件中流过更大的电流。在 50 ns 后，HMM 脉冲电流全部流过 Clamp 3 器件，而没有流

过 TVS 器件。因为 Clamp 3 器件并不是用来承受主要的系统级泄放电流的，所以 Clamp 3+TVS 的组合失效了。

如果将电压波形加入分析，结果会更加明显，如图 5.34 所示，Clamp 3 器件触发后进入回滞区，其钳位电压低于 TVS 的钳位电压，所以 ESD 电流都流入 Clamp 3 器件中了。这样在 Clamp 3 器件开启后形成了多米诺效应。因此，在低 HMM 脉冲应力下，没有看到钳位器件与 TVS 二极管之间的相互作用。

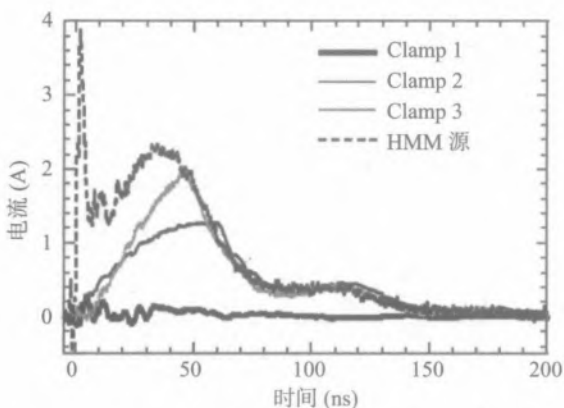


图 5.33 1 kV HMM 应力水平下三种钳位器件与 TVS 二极管并联后测试到的电流与施加的 HMM 应力电流的比较

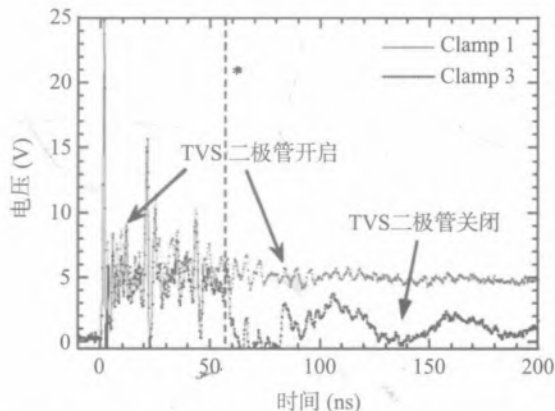


图 5.34 在 2 kV HMM 脉冲应力下带有 Clamp 1 和 Clamp 3 的 TVS-Clamp 两端测试到的电压波形，Clamp 3 情况下 TVS 的关断时刻被标注在 57 ns 处

图 5.35 给出了在 HMM 应力下 Clamp-TV S 处于导通状态时的等效电路。TVS 器件两端高于击穿电压的瞬态电压的升高是由于测试版和测试设置的感性寄生引起的，如式 5.1 所示。

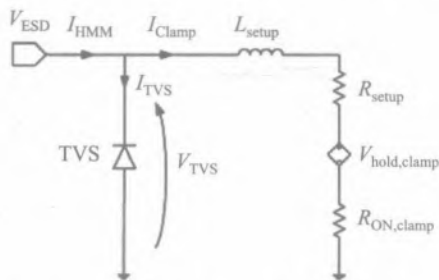


图 5.35 Clamp-TV S 等效电路，包括探针座电感 L_{setup} ，探针电阻 R_{setup} ，ESD 钳位器件开态导通电阻 $R_{\text{ON,Clamp}}$ ，钳位电压 $V_{\text{hold,Clamp}}$ ，TVS 二极管两端的电压 V_{TVS} ，ESD 应力总电流 I_{HMM} ，TVS 器件中的电流 I_{TVS} 以及钳位器件中的电流 I_{Clamp}

基于对电路的简单分析，TVS 的反向雪崩击穿电压 V_{BDTVS} 为：

$$V_{\text{BDTVS}} < L_{\text{setup}} \frac{dI_{\text{Clamp}}}{dt} + I_{\text{Clamp}} (R_{\text{setup}} + R_{\text{ON,Clamp}}) + V_{\text{hold,Clamp}} \quad (5.1)$$

其中, I_{Clamp} 为 ESD 钳位电流, L_{setup} 为探针座和探针的寄生电感, R_{setup} 为探针的寄生电阻, $R_{\text{ON, Clamp}}$ 为 ESD 钳位器件的导通电阻, $V_{\text{hold, Clamp}}$ 为器件的钳位电压。

从图 5.33 中可以看到, HMM 电流在约 10 ns 之后第二次增大, 因此在寄生电感上产生了电压降。在 20 ns~35 ns 的区间内, 形成了与片上 ESD 钳位器件串联的一个 2.7Ω 的附加阻抗。

由于 Clamp 1 器件高的钳位电压和测试仪器上的寄生压降, 使得 TVS 器件在整个 HMM 应力周期内一直处于导通状态, 结果 TVS 分流了更多电流。虽然 Clamp 2 器件的维持电压也很低, 但是其导通电阻相对来说比较大, 所以器件上的压降足够维持 TVS 处于导通状态。但 Clamp 2 器件只泄放了一小部分电流。

基于晶圆级测试, Clamp 1 和 Clamp 2 是最适合 IC 引脚片上防护的钳位器件。而 Clamp 3 由于具有低的维持电压和低的导通电阻, 不能提供足够的鲁棒性。

为了估算安装在应用板上的 IC 封装中的钳位器件本身的防护行为, 做了进一步的仿真分析。同时, 在仿真中采用了 5.2 节中阐述的寄生参数测试方法和建模方法。TVS 二极管由一个标准的二极管模型代替, 同时其击穿电压和导通电阻可以基于 TLP 的测试进行调整。在二极管开启阶段的电压过冲由一个子电路中代表 TVS 的串联电感进行模拟。因为 TVS 二极管是单向的并且在 ESD 应力中处于反偏状态, 所以忽略了正向恢复效应。

基于 SNMOS 的 Clamp 1 器件也是由一个反偏二极管模型表示的, 同时其钳位电压也是从 TLP 数据中获得的, 但是忽略了器件的回滞特性。基于 SCR 的 Clamp 2 和 Clamp 3 器件由修改后的分立晶闸管器件的紧凑模型表示。器件参数包括 dV/dt 、触发电压、维持电压和维持电流。

通过仿真片上设置中的 Clamp 3 器件的电流波形, 验证了仿真设置的正确性。图 5.36 给出了仿真结果和测试结果的对比。

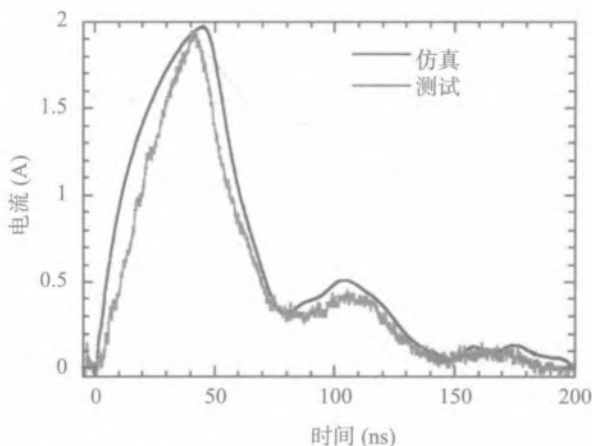


图 5.36 在 1 kV HMM 应力下 nLDMOS SCR Clamp3 器件电流波形仿真和测试结果对比

对于封装的寄生参数估计, 是根据 IBIS 模型^[133]进行提取的, 并做了 DIL IC 封装引脚的等

效参数见表 5.4。此外，TVS 二极管与 IC 封装引脚之间 5 mm 长的金属走线的寄生电感也加入到了仿真当中，如图 5.37 所示。

表 5.4 DIL IC 封装引脚的寄生参数

R_{pkg} (m Ω)	L_{pkg} (nH)	C_{pkg} (pF)
300	13.7	1.75

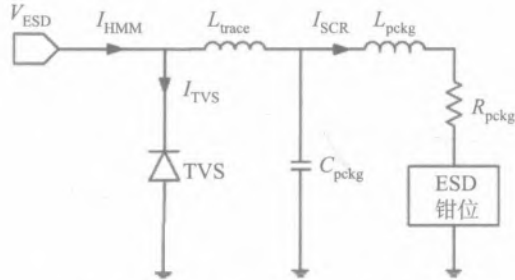


图 5.37 含有 IC 封装寄生参数的仿真电路：ESD 应力电流 I_{HMM} ，TVS 二极管电流 I_{TVS} ，ESD 钳位电流 I_{SCR} ，板级走线电感 L_{trace} ，封装引脚电感 L_{pkg} ，封装引脚电阻 R_{pkg} ，封装引脚电容 C_{pkg}

含有 DIL 封装的 Clamp 3 器件的仿真电压波形与片上的测试值相关，如图 5.38 所示，从图中可以看到，TVS 的关断时间与 HMM 应力等级相关。

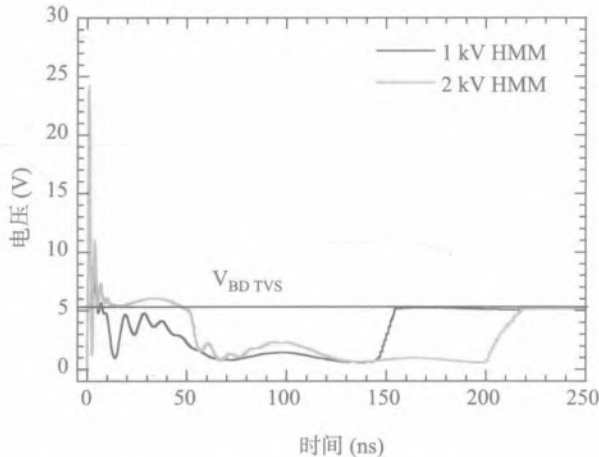


图 5.38 基于 DIL 封装的 Clamp 3 器件与 TVS 二极管并联电路两端的电压仿真波形， $V_{\text{BD TVS}}$ 为 TVS 二极管的击穿电压

不同 HMM 应力等级下，通过仿真 ESD 钳位器件中的电流，可以使用 Clamp-TV S 测试案例工具预测封装器件的失效等级。图 5.39 给出了封装三种 Clamp-TV S 的电流仿真波形以及独立钳位器件的电流测试波形。

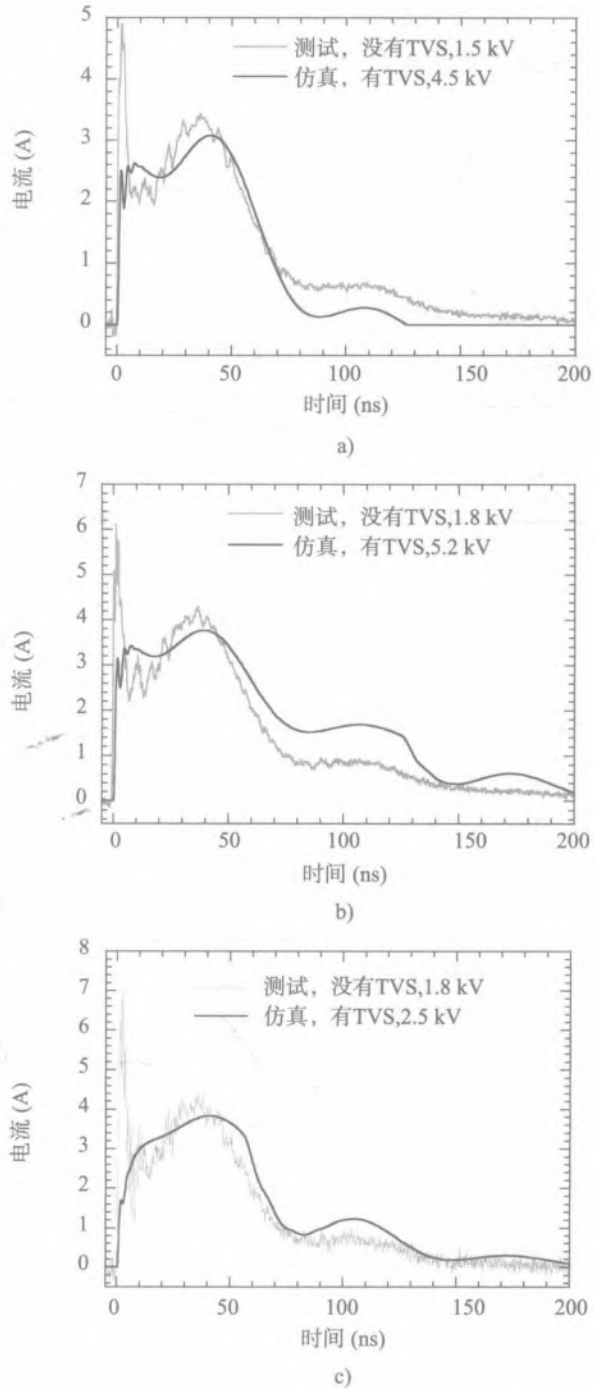


图 5.39 独立钳位器件的电流测试波形和三种 Clamp-TV S 情况下仿真得到的失效电流
 a) SNMOS Clamp 1 b) LVTSCR Clamp 2 c) nLDMOS-SCR Clamp 3

由于相比于晶圆级测试仪器, IC 封装的电阻很小, 所以这三种结构中没有一个能承受住

8 kV 的 HMM 应力。因此，需要额外的防护措施。例如，可以在 TVS 二极管和 IC 输入之间加一个隔离电阻，以限制流入芯片内的电流^[124]。根据基尔霍夫定律，隔离电阻的阻值可以根据式 5.2 和式 5.3 进行计算：

$$\frac{G_{\text{ISO,ONClamp}}}{G_{\text{ISO,ONClamp}} + G_{\text{ONTVS}}} = \frac{I_{\text{safe,Clamp}}}{I_{30\text{ ns,HMM,8 kV}}} \quad (5.2)$$

$$R_{\text{ISO}} = \frac{1}{G_{\text{ISO,ONClamp}}} - R_{\text{ONClamp}} \quad (5.3)$$

其中， R_{ISO} 为隔离电阻， $G_{\text{ISO,ONClamp}}$ 是隔离电阻和 ESD 钳位器件的电导， G_{ONTVS} 是 TVS 二极管的电导， $I_{\text{safe,Clamp}}$ 是 ESD 钳位器件的安全电流等级， $I_{30\text{ ns,HMM,8kV}}$ 是 8 kV HMM 应力 30 ns 后的电流。根据式 5.2 和式 5.3 计算的隔离电阻值如表 5.5 所示，从表中可以看到 LVTSCR Clamp 2 所要求的隔离电阻值最小。

表 5.5 三种片上钳位器件所需要的隔离电阻值^[127]

ESD 钳位器件	$R_{\text{ISO}} (\Omega)$
Clamp 1	3.1
Clamp 2	2
Clamp 3	3.7

尽管三种钳位器件具有相似的鲁棒性，但是当 nLDMOS SCR 与 TVS 并联后，由于其钳位电压很低，所以它的防护 IC 引脚对系统级 ESD 应力更加敏感。

本节中的案例表明了电流上的限制。除了临界电流等级需要考虑外，临界电压也需要考虑在内。片上 ESD 防护器件两端的电压不能超过元器件级 ESD 防护设计窗口所定义的安全限制。这个方面将会通过一个特定的 CMOS 栅极防护案例进行详细讨论。

5.5.3 基于先进 CMOS 工艺的协同设计

如今高速接口、RF 和其他模拟电路模块都在利用 CMOS 尺寸缩减的优势，降低工作电压和特征尺寸。例如 FinFET 技术^[128]代表了下一代先进的 CMOS 技术。然而随着尺寸的减小，由于栅氧化层 (GOX) 越来越薄，器件的鲁棒性也随之明显减弱。减小 GOX 明显影响了 ESD 防护的设计窗口。为了解决器件尺寸减小带来的问题，在防护设计中做了很多改进，例如将栅极二极管用作 ESD 防护器件^[129]。

在本节中，基于两个 bulk-FinFET 栅极二极管的局部钳位防护设计被用来防护栅极监控 (GM) 结构。根据文献 [129]，将二极管设计为单叉指 80 μm 宽是最佳结构。同时，每个二极管的栅长是 70 nm。栅极监控器件是一个 5 μm \times 5 μm 的 NMOS，其漏、源和体端相互短接在一起。它代表了一个反相器的栅极输入，如图 5.40 所示。栅极是由 5 nm 的 high-k 材料构成，等效为 1.6 nm 氧化层厚度。

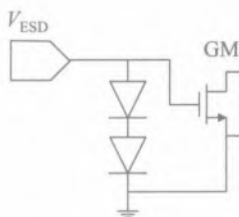


图 5.40 基于二极管的具有并联 GM 的输入防护电路图

栅极监控结构的击穿电压与 TLP 脉冲宽度的关系如图 5.41 所示。晶圆级 HMM 测试表明，当两个二极管没有与栅极监控结构连接时其失效等级为 1.9 kV，但两个二极管与 GM 并联后失效等级减小为 0.7 kV。根据 TLP 测试结果，提取了两个二极管与 GM 并联后的准静态参数。

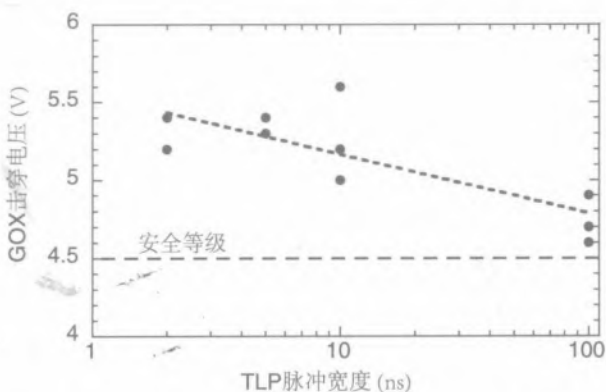


图 5.41 1.6 nm high-k 栅氧监控结构的击穿电压与 TLP（上升时间 200 ps）脉冲宽度的关系

为了与系统级电路保持一致性，片上钳位器件需要与选择的片外 TVS 器件结合起来，如表 5.6 所示。TVS 的开启电压很低，IEC61000-4-2 标准下的系统级 ESD 鲁棒性达到 8 kV。器件的准静态参数表明，ESD 应力电流被平均分配了。由于有相似的导通电阻，所以片上和片外 ESD 防护器件都处于导通状态。

表 5.6 基于 TLP 测试结果提取的器件准静态参数 (TLP 脉冲宽度 100 ns, 上升时间 200 ps), TVS 二极管为 Vishay VESD01-02VG08

器件	$R_{ON}(\Omega)$	$V_{T1}(V)$	$I_{T2}(A)$	$V_{T2}(V)$
2 个二极管 + GM	0.8	1.5	3.0	4.9
TVS 二极管	1	2	n.a.	n.a.

为了设计一种适合系统级 ESD 应力的防护方案，可以基于测试结果定义设计窗口。它的定义为：vTLP 应力下 GOX 击穿电压减去一个安全裕量作为窗口的上限，工作电压或者信号电压加上一个安全裕量作为窗口的下限。在本案例研究中，设计窗口定义为 1.5~4.5 V。在 HMM 应

力下, TVS 二极管最大电流和最大电压关系如图 5.42 所示。即使在低 HMM 应力等级下, TVS 二极管两端的电压也超过了防护的 GOX 的击穿电压和设计窗口上限。

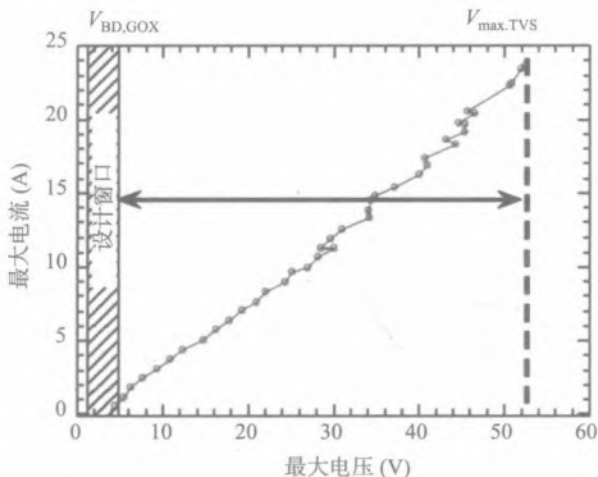


图 5.42 独立 TVS 二极管 (VESD01-02VG08) 的 HMM 测试结果: 最大电流对最大电压; $V_{BD,GOX}$ 为栅极监控结构的 GOX 击穿电压, $V_{max,TVS}$ 为 8 kV HMM 应力下的最大电压

在系统级 ESD 应力下, 需要一些限制电压和电流的措施。根据并联栅极监控结构的两个 FinFET 二极管的 TLP 测试结果, 提取了必要的信息。安全电流等级应该低于 TLP 失效电流 I_{T2} , 因此 2.8 A 的电流等级应该视为一个安全值。基于图 5.42 中的数据, 限制电流的隔离电阻值可以由下式计算:

$$R_{ISO} = \frac{V_{max,TVS} - V_{BD,GOX}}{I_{safe,on-chip}} \quad (5.4)$$

其中 R_{ISO} 是隔离电阻的阻值, $V_{max,TVS}$ 是目标防护等级下 TVS 两端的最大电压, $V_{BD,GOX}$ 是 GOX 的击穿电压, $I_{safe,on-chip}$ 是 ESD 应力期间片上防护的安全电流等级。基于式 (5.4) 计算得到的隔离电阻值是 17.3Ω , 其中 GOX 的击穿电压为 4.5 V, 片上防护的安全电流等级为 2.8 A。因此, 18Ω 的电阻被选择作为设计验证。

基于计算的隔离电阻, 对 ESD 防护方案进行了仿真和验证。TVS 的模型提取与之前章节介绍的类似。片上防护中的堆叠二极管由栅极二极管代替, 相比于浅槽隔离 (STI) 二极管, 它的速度更快^[130-131]。在触发开启阶段几乎没有过冲现象发生, 这证明了使用简单的电路模型是合理的。为了包含高带宽 IC 封装的影响, 将球状矩阵排列 (BGA) 封装的等效模型结合片上防护和 TVS 一起包含在电路中。图 5.43 给出了 8 kV HMM 应力下堆叠的二极管钳位器与 GM 并联后的电流仿真波形以及单独 HMM 失效测试结果电流的对比。

由于加了隔离电阻, 即使在 8 kV HMM 应力下也没有发生栅氧击穿现象。与以往的研究案例相比, 由于 GM 结构对 ESD 应力的敏感性较高, 所以隔离电阻的计算值要高得多。

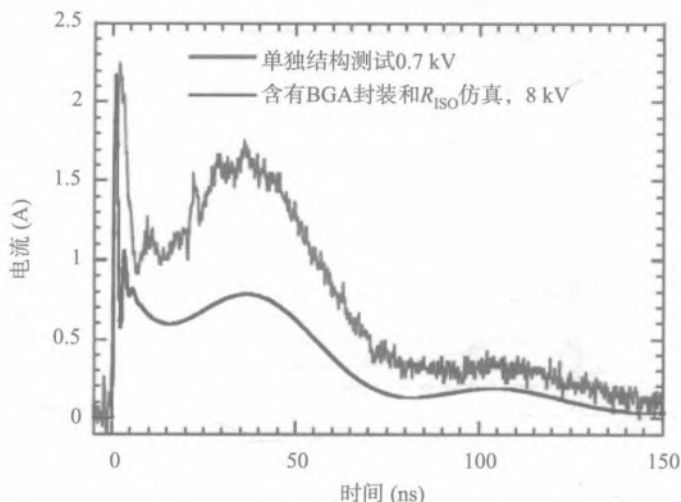


图 5.43 带有 GM 的片上 ESD 防护中的电流仿真波形（含有 BGA IC 封装和隔离电阻 18Ω ）与带有并联 GM 的单独片上防护（晶圆级）的测试电流比较

5.5.4 元器件级 ESD 设计准则

元器件级的 ESD 钳位设计通常要求有比较强的回滞、低的维持电压和导通电阻。这种设计的目的是为了在高 ESD 应力等级下将受保护的 IC 引脚电压限制在尽可能低的范围内。然而，当需要考虑 IC 引脚与系统级防护端口的相互作用时，这个设计目标可能不是最优的。

然而与上面的案例相反的是，如果没有强的回滞，与系统防护网络直接相连的 IC 引脚反而会有更好的鲁棒性。这是因为 PCB 连线本身具有阻抗，以及片外 TVS 元器件也具有高的导通电阻和钳位电压。为了限制流入片上防护器件中的电流，具有更大导通电阻的片上防护器件反而更加合适。在这相反的情况下，设计中必须加入一个第二级的隔离电阻，然而这会对 IC 性能造成负面影响。另一方面，如果在片上和片外 ESD 防护网络之间做合适的匹配，那么就可以避免加入第二级的隔离电阻或电感。

图 5.44 给出了典型片上 ESD 防护器件的导通电阻与 ESD 防护等级之间的关系。如果片上防护器件的导通电阻高于 TVS 二极管的导通电阻，那么 TVS 二极管将泄放更多的系统级 ESD 电流。因此，具有更高导通电阻的片上防护器件更加适合系统级的防护设计。

没有使用硅化物阻挡层的 SNMOS 器件电流能力达到约 $8\text{ mA}/\mu\text{m}$ 。对于外部 IC 引脚的器件级 ESD 防护设计，可以给出三条建议：（1）避免 IC 引脚处的片上防护器件维持电压太低，因为如果维持电压太低，那么在 ESD 应力期间电流都会从片上防护器件中流过，而片外器件处于关断状态；（2）考虑避免用在单级 ESD 防护中的高-HBM 防护等级的器件，因为低 HBM 防护级别的片上 ESD 防护可能伴随着更大的导通电阻；（3）避免片上防护器件内在的电流能力太小，因为还是需要一些第二级的电流传导能力的。

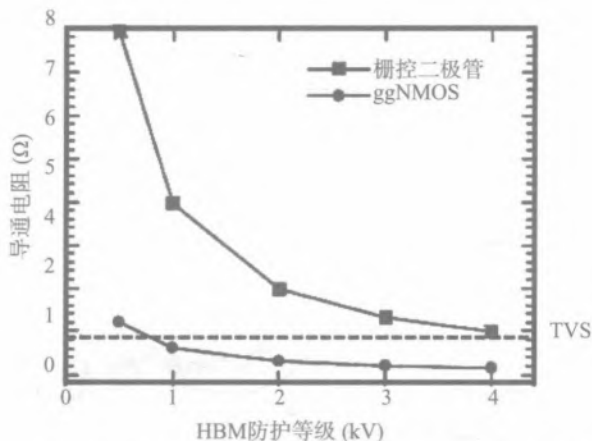


图 5.44 ESD 防护等级对片上 ESD 防护器件导通电阻的影响：3.3 V 应用的 TVS 二极管和没有使用硅化物阻挡层的 SNMOS 器件的导通电阻的比较

在下面的测试案例中，进一步讨论了上面的设计建议。对两种类型的 ESD 钳位器件进行了评估比较：两种基于 130 nm CMOS 工艺制造的 ESD 电源钳位器件（PC）。第一个 PC 是包含回滞型二极管触发的 SCR 器件（DTSCR）。第二个 PC 是有源钳位器件。两种器件都应用于电源引脚的元器件级 ESD 防护。图 5.45 中加入了 ESD 防护二极管以模拟 IC 中最坏情况的 ESD 应力。

130 nm CMOS 核心器件的等效栅氧厚度 GOX 为 2 nm，工作电压为 1.2 V。在 1 ns 时间长度的电压应力下，GOX 的击穿电压约为 7 V^[132]。三个元器件级 ESD 设计目标被评估以研究在系统级 ESD 应力期间，组件级 ESD 防护设计对行为的影响。

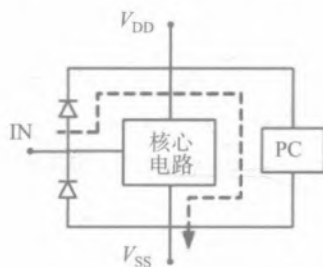


图 5.45 ESD 防护案例研究的框图，包含正电源 V_{DD} 、负电源 V_{SS} ，电源钳位器件和加了虚线显示的在 ESD 应力期间从 IN 到 V_{SS} 引脚组合间的电流流向

根据图 5.46a 所示的 1 kV HBM 电压波形以及图 5.46b 所示的 HBM $I-V$ 特性曲线，有源钳位器件的导通电阻明显更大。表 5.7 总结了防护等级、ESD 钳位器件以及防护二极管的器件参数。利用混合模式仿真，对系统级 ESD 静电压下 ESD 钳位器件的工作方式进行了评估。用原始工艺仿真提取出的 FEM 参数，在混合模式仿真器中实现了有源器件和 DTSCR。有源钳位器件采用传统设计，通过 RC 电路和反向器形成对功率 NMOS 钳位阵列的驱动。而二极管触发的 SCR 钳位器含有由三个栅极二极管组成的基准电路以限制在开启过程中的过冲^[43]。

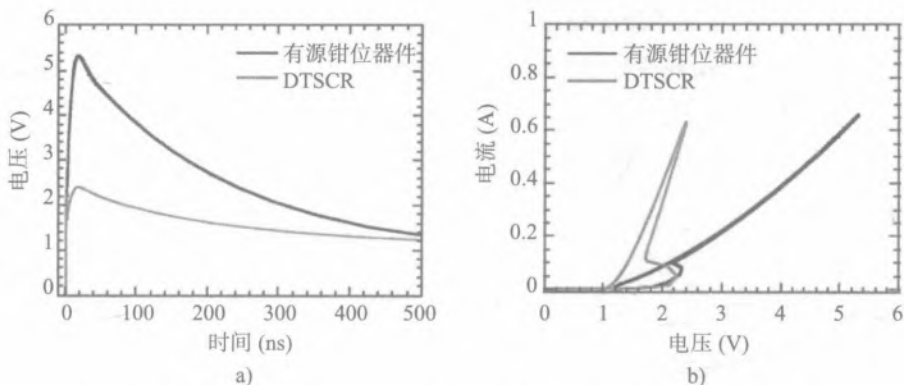


图 5.46 有源和 DTSCR 电源钳位器件特性 a) 1 kV HBM 应力下的电压波形 b) HBM $I-V$ 特性

表 5.7 防护等级、ESD 钳位器件以及防护二极管的器件参数

器件类型	本征 I_{T2} (mA/ μm)	器件宽度 (μm)		
		0.5 kV	1 kV	2 kV
二极管触发 SCR	50	7	13	25
有源钳位器件	2	170	330	660
ESD 二极管	50	7	13	25

将输入端 ESD 防护二极管作为标准的二极管 SPICE 电路模型加入到仿真中。1.5 V TVS 二极管用来表示片外系统级的 ESD 防护元器件，如图 5.47 所示。仿真中还包含了 5 mm 长的传输线和 DIL IC 封装的寄生参数。

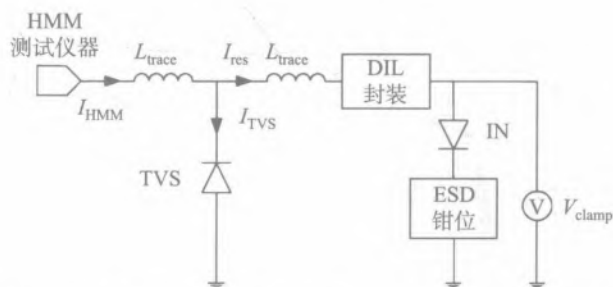


图 5.47 含有 TVS 二极管、输入防护二极管和 ESD 电源钳位器件的混合模式仿真电路： I_{HMM} 为 HMM 应力电流， I_{TVDS} 为流过 TVS 二极管的电流， I_{res} 为流进 IC 的剩余电流， V_{clamp} 为 ESD 钳位器和输入防护二极管两端的电压， L_{trace} 为板级走线电感

通过图 5.48 的仿真结果可以看到，在 2 kV HMM 脉冲应力下，两种电源钳位器件中 30 ns 后的残余电流与 HBM 防护等级对比，均没有超过设计窗口。

然而，不同于 30 ns 后的准静态情况，在脉冲开始阶段两个钳位器件的峰值电压仿真值是很不相同的。图 5.49 给出了在 2 kV HMM 应力下 ESD 二极管和 ESD 钳位器件两端的峰值电压仿真值 V_{clamp} 。为了防止电路失效，电压不能超过由栅氧化层 GOX 击穿电压定义的设计窗口。如果将有源钳位器件和 DTSCR 的防护等级设计为 0.5 kV，那么它们的峰值电压将会远远超过设计窗口的上限。

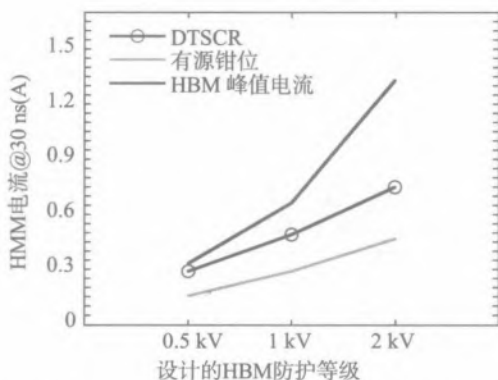


图 5.48 30 ns 后进入片上 ESD 防护器件的残余电流仿真值，HMM 应力等级为 2 kV

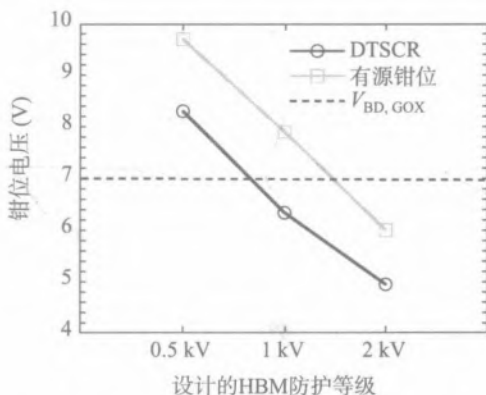


图 5.49 片上防护器件峰值电压仿真值，HMM 应力等级为 2 kV， $V_{\text{BD,GOX}}$ 为 1 ns 时长的电压应力下栅氧化层的击穿电压

在钳位器件开启之后，产生了明显的电压降，如图 5.50 所示。电压降是由 HMM 残余电流的峰值和低 HBM 防护等级的高电阻引起的。如果 DTSCR 的 HBM 防护等级设计为 1 kV，那么 DTSCR 两端的电压低于 GOX 的击穿电压，处于设计窗口内。如果没有片外防护器件的话，那么有源钳位器件只能将 HBM 防护等级设计为 2 kV。

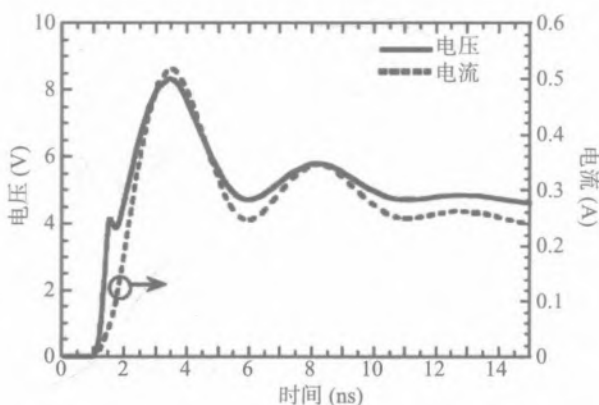


图 5.50 DTSCR 作为片上防护器件时的电压和电流仿真波形，DTSCR 的 HBM 防护等级为 0.5 kV，HMM 的应力等级为 2 kV

在本案例中，DTSCR 是更合适的防护器件。在系统级 ESD 应力下，低 HBM 防护等级和大的导通电阻并不是缺点。输入 ESD 防护二极管的击穿电压和导通电阻维持了比 TVS 击穿电压更高的钳位电压水平。因此，在系统级应力中 TVS 二极管不会关断。低的维持电压防止触发后电压超过 GOX 的击穿电压。

由于有源钳位器具有较高的本征开态电阻和非常低的电流能力，它在 ESD 应力下具有多得多的导通电阻。因此，需要足够大的版图面积以获得足够低的导通电阻以防止 GOX 失效。

上面通过应用实例，对系统级 ESD 应力下电热失效和栅氧化层失效的防护进行了阐述和验证。主要结论是，片上和片外 ESD 防护器件的瞬态行为需要在 IC 设计中进行考虑，以防止在系统级 ESD 应力下出现非正常 IC 失效。提出的仿真方法可以在 IC 封装和最后的系统装配之前对 ESD 防护设计进行验证。

通过在设计流程中加入 HMM 特性，可以获得系统级和器件级设计中的有用信息。对于系统级设计，给出了片上 ESD 防护和设计窗口的详细信息。因而可以根据片上 ESD 防护设计选择合适的片外防护器件。对于器件级设计，瞬态器件数据和仿真给片上防护设计提供了有价值的输入信息。板级和 IC 封装的寄生参数可以增加仿真中。因此，早在 IC 封装或装配到系统之前，就可以对片上和片外防护一同进行评估。

受到应用板系统级 ESD 应力的 IC 外部引脚，需要根据 TLP $I-V$ 曲线获得的准静态器件参数以及 HMM 失效电流、 v_{fTLP} 失效电压等瞬态数据，进行有效且可靠的 ESD 防护解决方案的设计。

5.6 系统级 ESD 协同设计方法的比较

最后一节将对两种主要的系统级 ESD 设计方法进行比较：基于数据手册的设计、IC 与系统协同设计。比较的目的是为了评估每一种方法对系统级 ESD 防护设计的适用性，并确定设计流程中可能存在的弱点。与前面的内容类似，通过对一个代表性例子的详细分析来进行比较。

首先，基于 IC 数据手册信息设计了一个具有高 ESD 可靠性的功能性 RF 系统，并说明了如何根据数据手册设计一个严谨系统的方法。特别地，设计步骤导致了片外防护元器件的过量使用。同时，将 TLP $I-V$ 特性加入到设计流程中进行考虑并对设计方案做了进一步优化，说明该 RF 系统只需要较少的片外防护器件。最后，对 IC 的 RF 输入做了 HMM 特性分析，结果表明，只需要更少的片外防护器件即可，随后做了进一步优化。

该测试案例是一个为视频、通信和仪表应用而设计的宽带缓冲放大器。最大的小信号带宽为 1.75 GHz，电源电压为 5V，输出负载阻抗为 100 Ω 。

IC 被安装在演示板上以观察放大器的电学特性，如图 5.51 所示。为了确保在大的频率范围内保持恒定的介电常数，Rogers RO4003 被用作基板材料。演示板是根据放大器制造商的推

荐设计的，包括一个专用的电源去耦网络和一个双直流偏置连接器。为了保证最大带宽，放大器的输入电容用一个匹配板跟踪来补偿。电路板还包括一个 50Ω 的电阻，用来对放大器的输入做直流偏置。该电阻使得放大器的增益减小了 6 dB。

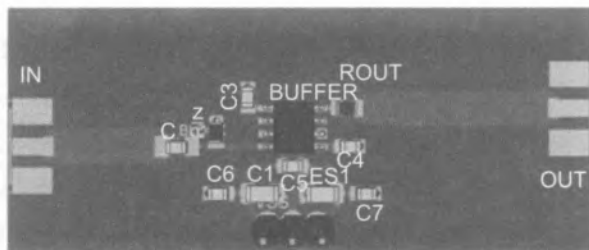


图 5.51 带有缓冲放大器的演示板的俯视图，电路中没有加入系统级 ESD 防护元器件

TLP 测试仪 HANWA T-5000 用作器件级 ESD 的应力源，以提取 $I-V$ 特性参数。而系统级 ESD 脉冲是通过 HMM 测试仪 HANWA HED-W5000 M 产生的。这产生了与 IEC6100-4-2 系统级 ESD 标准指定的相似的波形^[126]。TLP 和 HMM 的测试仪通过 SMA 连接头连接到演示板上。

5.6.1 基于数据手册的设计

放大器 IC 的所有引脚最初均可通过器件级 2 kV HBM 和 200 V MM 的应力标准，而数据手册中没有提供其他 ESD 相关信息。因此，IC ESD 防护类型和瞬态特性是未知的。为了设计系统级 ESD 防护，对于片外 ESD 防护器件，3.5 A 的失效电流可以被用作系统级 ESD 设计窗口。3.5 A 相当于从放大器数据手册中获取的 200 V MM（机器模式）的峰值电流。尽管 MM 峰值电流可能与 TLP 失效电流没有关系，但假定这个 3.5 A 的电流可以被用作一个安全的应力水平，这是需要全系统测试结果进一步验证的。

根据规范要求，放大器是用来缓冲和传输高频信号的。因此，为了保持信号的完整性，必须选择低寄生电容的片外 ESD 防护元器件。同时，TVS 的电容不可避免地造成了射频路径的不匹配，因而需要增加额外的电感以补偿这种不匹配。在这个案例中，一个简单的微带线被用来复制一个 PCB 板上电感。每个 TVS 的电容及其补偿电路必须与 50Ω 的传输线阻抗进行匹配，以实现一个干净的 RF 通道。所需的匹配电感可以由下式计算：

$$Z = 50\Omega = \sqrt{\frac{L_{\text{MATCH}}}{C_{\text{TVS}}}} \quad (5.5)$$

其中 Z 为 RF 输入端的匹配阻抗， L_{MATCH} 为匹配电感，以匹配 TVS 电容 C_{TVS} 。为了计算板上走线（具有所需的匹配电感）的长度，式（5.5）中的匹配电感和 TVS 电容被基板材料的寄生电感和寄生电容代替：

$$Z = 50\Omega = \sqrt{\frac{L_T}{C_{\text{TVS}} + C_T}} \quad (5.6)$$

其中 L_T 为 PCB 走线电感，以匹配 TVS 器件电容 C_{TVS} 和走线寄生电容 C_T 。走线的电感和电容取决于基板材料及走线的长度和宽度。它们可以表示为：

$$L_T = L_0 \cdot l \quad (5.7)$$

$$C_T = C_0 \cdot l$$

其中 L_0 为 PCB 走线每单位长度的寄生电感， C_0 为 PCB 走线每单位长度的寄生电容。根据式 (5.6) 和式 (5.7)，要求的走线长度可以根据下式计算：

$$l = \frac{Z_0^2}{L_0 - Z_0^2 \cdot C_0} \cdot C_{TVS} \quad (5.8)$$

图 5.52 给出了 TVS 电容与走线长度之间的匹配关系。几皮法的 TVS 电容需要的走线长度总是会超过 1 cm。同时，走线宽度越大，要求的走线长度也越长。基于这些计算，一个极低电容的双向 TVS 器件 (TPD2USB30A) 被选为系统级的 PCB 板上 ESD 防护元器件。根据规范，这个 TVS 提供 IEC61000-4-2 标准下 8 kV 的鲁棒性，如图 5.53 所示。根据 TVS 数据手册，其导通电阻约为 1Ω ，每个输入引脚到地之间的电容 C_{TVS} 约为 0.7 pF 。

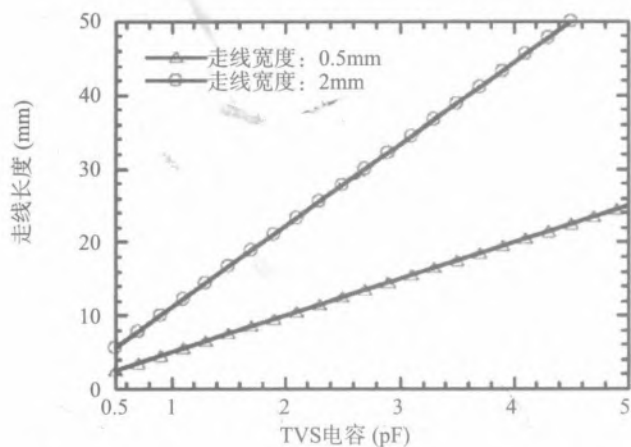


图 5.52 TVS 器件电容与 50Ω 微带线之间的匹配关系，基板材料为 RO4003，带宽为 2 GHz

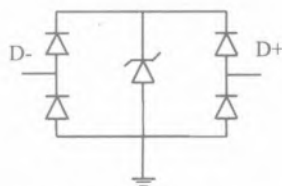


图 5.53 TPD2USB30A TVS 二极管的等效电路

通过瞬态仿真估计系统级 ESD 应力下放大器和板级元器件的行为。S 参数仿真被用来验证 RF 特性。因此，系统级的 ESD 防护元器件被嵌入到 RF 设计电路和应用板的实际布局中。

在射频设计工具 Agilent Design System (ADS) 中使用瞬态、RF 仿真器和数据手册，共同完成系统级 ESD 防护与应用电路板之间的协同设计。TVS 二极管是根据 ADS 二极管模型参数和表 5.8 中的 TVS 信息实现的。TVS 的过冲是通过串联电感实现的。电感值是根据 TVS 供应商提供的 TVS IBIS^[133] 模型提取的。

表 5.8 TVS 二极管模型：二极管模型参数以及根据数据手册提取的等效参数

ADS 参数	参数	数值
欧姆电阻 R_D	动态电阻 R_{ON}	$1\ \Omega$
击穿电压 B_V	DC 击穿电压	4.5V
结电容 C_{j0}	I/O 到 GND 的电容	0.7pF

放大器本身由 IC 供应商提供的 SPICE 模型来表示。如果没有额外的关于片上 ESD 防护的信息，系统级的设计只能依赖于一些假设。例如，通常使用 ESD 二极管作为 RF 输入的片上防护器件。在本例中，一个导通电阻为 $1.5\ \Omega$ 的 ESD 防护二极管被假定为片上防护元器件。在瞬态仿真中，将二极管的导通电阻添加到 ADS 二极管模型中，但没有对电源钳位电路进行建模。在系统级 ESD 应力下，每个电源引脚上都加入了去耦网络，并期望对电源域能起到足够的防护作用。

利用 ADS 的元器件库和放大器数据手册中推荐的电容值，在电源去耦网络中加入无源器件。电容等效电路中的寄生元器件也可以通过 HMM 的测试进行提取。该方法已经在 5.2.4 节中做了阐述。放大器射频输入与输出的板级电路被建模为微带线。根据演示板 RO4003 基板材料的数据手册提取了 PCB 基板模型。走线的长度设计取决于所需的匹配电感或者是 $50\ \Omega$ 的传输线。

IEC61000-4-2/HMM 应力源是用一个集总元件模型来表示的。系统级的 ESD 应力被施加到图 5.54 电路的 RF 输入引脚。用一个 $10\ \mu\text{F}$ 并联电容和一个 $1\ \text{mH}$ 的串联大电感来与直流电压源一起建模，以模拟一个更为真实的电压源，但用的是理想的输出电阻，并且在仿真过程中禁止任何瞬态电流流入直流电源。

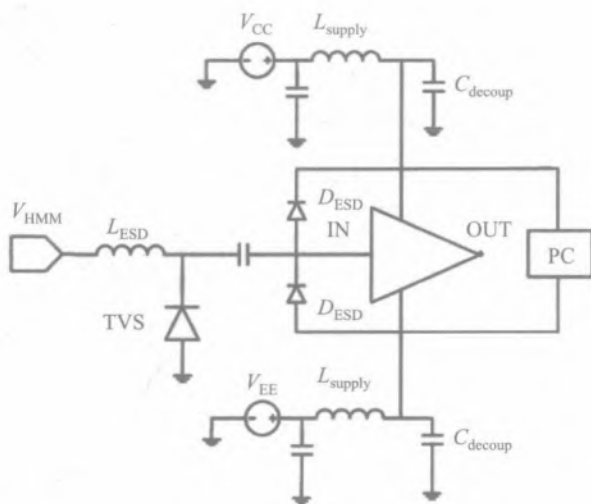


图 5.54 用于 ADS 的系统级 ESD 仿真电路，带有 HMM 测试仪模型 V_{HMM} 、TVS 器件、片上 ESD 防护二极管 D_{ESD} 、电源钳位器 PC、板上匹配走线电感 L_{ESD} 、直流电源电感 $L_{supply}=1\ \text{mH}$ 以及电源去耦电容 C_{decoup}

用瞬态仿真的方法来研究在系统级 ESD 应力下 ESD 防护网络的行为。仿真结果给出了不同 IEC61000-4-2 应力条件下流入片上 ESD 防护器件的残余电流值,如图 5.55 所示。

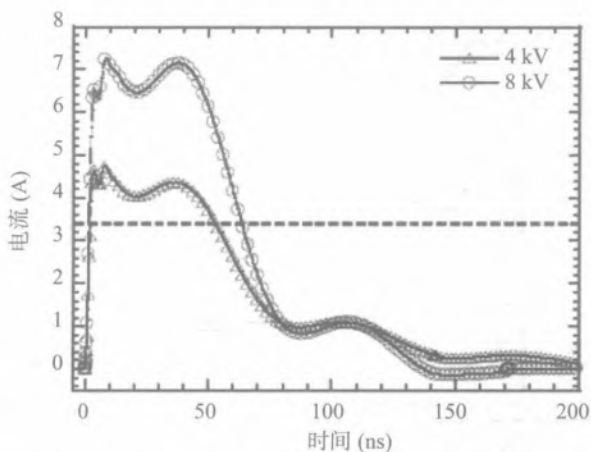


图 5.55 在没有电源电压的情况下,在两种不同 IEC61000-4-2 应力条件下使用一个 TVS 二极管串时流入片上 ESD 防护器件的残余电流仿真值

在两种应力条件下,流入片上防护器件的残余电流均超过了设计窗口的最大电流限制 3.5 A。基于该结果,系统级的防护设计需要做很大的改进。然而,由于它对 RF 信号的影响以及会减小 RF 带宽,增加一个隔离电阻的简单方法是不可行的。因此,采用两个 TVS 器件以减小片外 ESD 防护器件的导通电阻和流入片上 ESD 防护器件的残余电流。

实际上,在设计中加入额外的 TVS 器件后,在 IEC61000-4-2 标准 4 kV 应力下流入 IC 内部的残余电流已经可以减小到可接受范围了,如图 5.56 所示。然而,如果要达到 8 kV 的要求,那么需要添加第三个 TVS 器件。

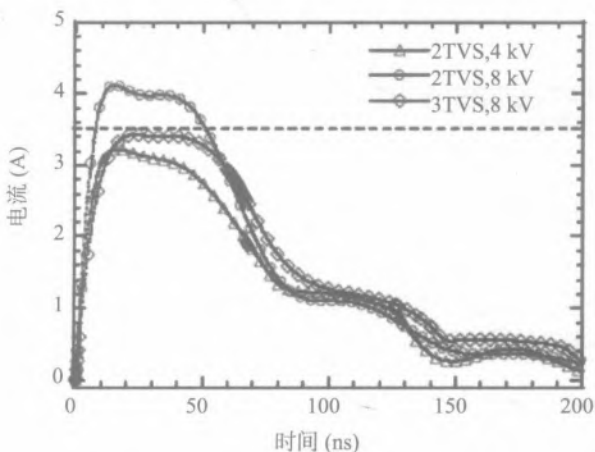


图 5.56 在没有电源电压的情况下,两种不同 HMM 应力下流入片上 ESD 防护器件的残余电流仿真值

当放大器上施加 5 V 电压后, 基于仿真结果的残余电流值出现了明显的不同, 如图 5.57 所示。在该情况下, 即使在 8 kV 应力下, 流入放大器输入端的残余电流也低于 ESD 设计窗口的限制。相比于只有一个 TVS 器件的情况, 两个 TVS 器件增加了系统级 ESD 防护的电容。增加的电容引起了演示板 RF 输入端的不匹配。采用阻抗匹配电感是用来补偿增加的电容, 如图 5.58 所示。同时采用分布式 ESD 防护^[134], 将每个匹配电感值降低到最小。

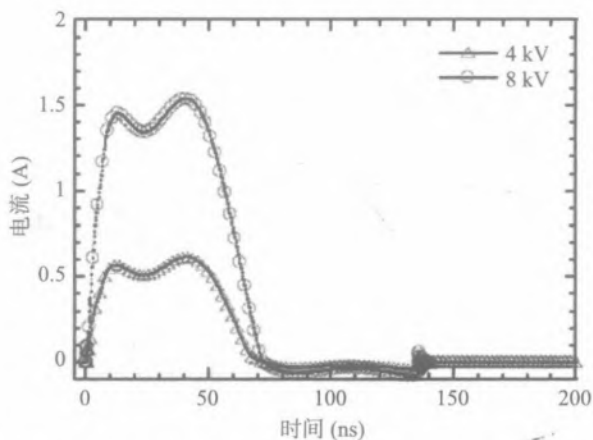


图 5.57 在 5 V 电源电压情况下, 流入片上 ESD 防护器件的残余电流仿真值

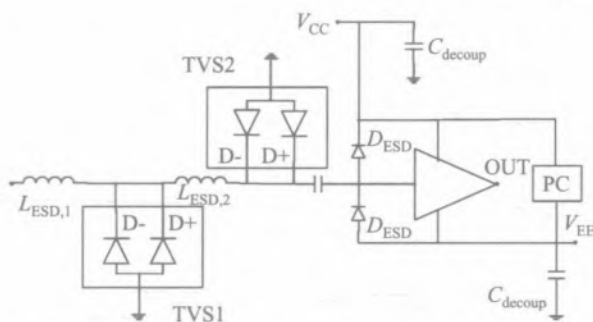


图 5.58 系统级 ESD 防护设计的电路图, $L_{\text{ESD},X}$ 是板级匹配走线, C_{decoup} 是电源去耦网络, TVS 的型号为 TPD2EUSB30A, V_{CC} 为正电源, V_{EE} 为负电源

因此, 根据基于数据手册的系统级 ESD 防护设计方法, 必须加两个 TVS 元器件才能达到 4 kV 的系统级防护要求。

下面部分阐述了应用板的设计, 包括匹配电感的设计和布局, 以补偿由于片外 ESD 防护器件引起的 RF 路径中增加的电容。

每个 TVS 二极管串的电容大小为 0.7 pF。这使得每个 TVS 器件的总电容达到 1.4 pF。在正常工作状态下, 放大器的输入电容为 1.7 pF。利用式 (5.8) 可以计算匹配电感。对于最高频率为 2 GHz、宽度为 0.5 mm 的板上走线, 其电感为 6 nH/cm, 电容为 0.4 pF/cm。基于该板材的特性,

放大器的输入与 8.5 mm 的走线长度相匹配,同时每个 TVS 二极管串的走线长度为 7 mm。

对于 RF 仿真,计算的走线长度被作为微带线加入到仿真步骤中。HMM 测试设备模型则由 S 参数仿真所需要的端口代替。根据仿真结果,设计中加入 TVS 器件,对输入匹配的影响很小,如图 5.59 所示。

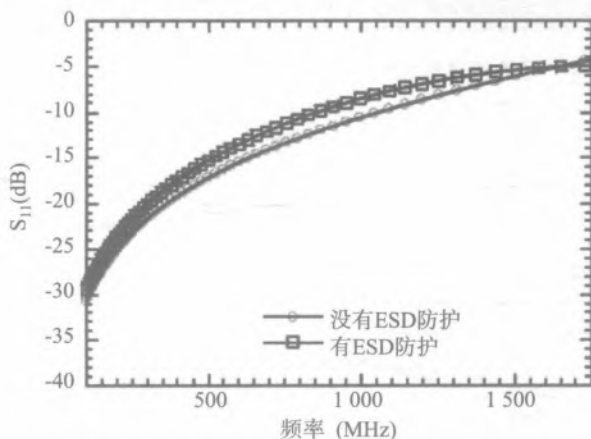


图 5.59 电源电压为 $\pm 5\text{ V}$ 的情况下,带和不带 ESD 防护时,演示板上放大器输入匹配的仿真

演示板上放大器增益仿真也表明 ESD 防护对其影响很小,如图 5.60 所示。从大约 1 GHz 处开始的波形分离是由 2 GHz 带宽的等效传输线引起的。

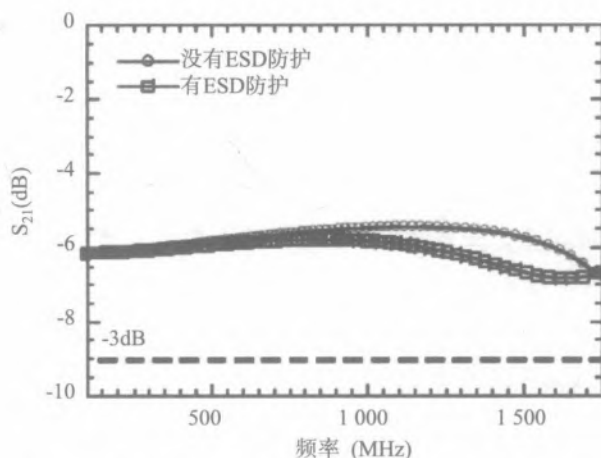


图 5.60 电源电压为 $\pm 5\text{ V}$ 的情况下,演示板上带和不带 ESD 防护器件时放大器的增益仿真

基于仿真的系统级 ESD 防护设计通过演示板测试对 S 参数和系统级 ESD 性能进行了验证,如图 5.61 所示。板级 ESD 防护设计与原始设计的主要区别是板级 ESD 防护包含从 SMA 连接器到放大器 RF 输入端去耦电容的传输线。等效传输线由 TVS 二极管和相应的匹配电感组成。

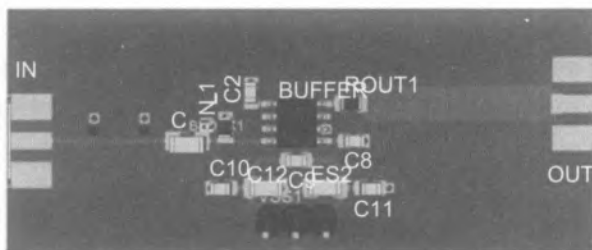


图 5.61 包含系统级 ESD 防护的演示板，框架：匹配板级走线

用网络分析仪测量了 ESD 防护设计的 S 参数并与输入匹配的仿真结果进行了比较，如图 5.62a 所示。根据增益频率依赖关系，增加的系统级 ESD 防护并不会明显减小带宽，如图 5.62b 所示。同时，测试结果显示了比仿真结果更好的 RF 性能。测试结果与仿真结果之间的不同，是由于放大器的 SPICE 模型精度和无源器件模型与实际测试板之间的差距造成的。

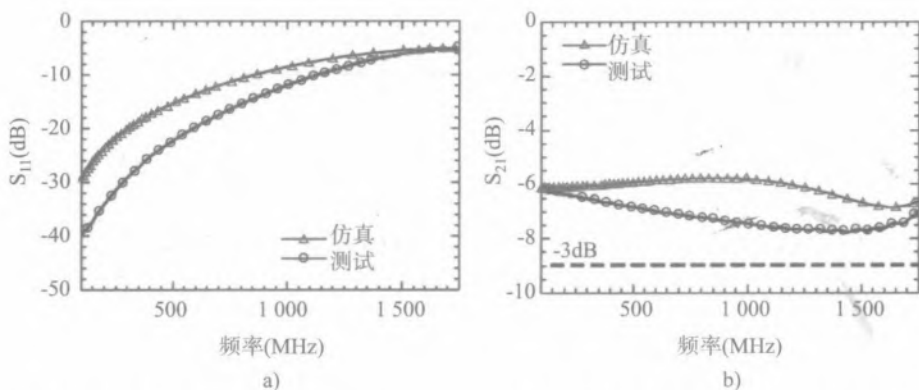


图 5.62 电源电压为 5 V 且有 ESD 防护时 RF 特性的仿真和测试结果对比 a) 输入匹配度 b) 电路增益

根据上述瞬态仿真结果，由于流入 RF 系统输入端的残余电流远大于放大器设计手册规定的指标，RF 系统输入端的 ESD 防护等级低于 4 kV HMM。相反，根据测试结果，其 HMM 通过了 8 kV 的测试仪极限。测试中，失效判据是根据监测电源电流是否超过数据手册上规定的最大值来确定的。该出乎意料的结果说明，简单的基于数据手册和假设片上防护器件的导通电阻的方法，会导致设计过度。因此，为了改进设计，通过对片上 ESD 防护器件的 TLP 特性进行评估，从而获得对 IC 元器件内部输入防护类型和特性的清晰认识。

5.6.2 基于 TLP 特性的设计

TLP 测试用来评估片上和片外 ESD 防护器件的特性。TLP $I-V$ 特性还可以用来改进仿真模型的精度。对没有防护的独立放大器进行 100 ns 的 TLP 测试，以获得片上 ESD 防护器件的 TLP $I-V$ 特性。在 TLP 测试过程中，最薄弱的引脚组合是正电源和负电源之间的引脚组合。TLP 失效电流为 5.5 A。该值被用来作为 ESD 防护设计的窗口，因为在系统级 ESD 应力下 IC 中的确切

泄放路径是未知的。

根据图 5.63a 所示的 TLP $I-V$ 特性曲线, RF 输入端防护是基于 ESD 二极管的, 其导通电阻约为 1Ω 。该值低于根据数据手册信息获得的假设值。类似地, 从 TLP 特性中可以辨别出电源引脚的钳位器件是回滞型 n-p-n、NMOS 或者具有高维持电压的 SCR 器件, 其触发电压约为 17V , 最小维持电压约为 9.5V , 整个电流路径的导通电阻约为 3Ω 。

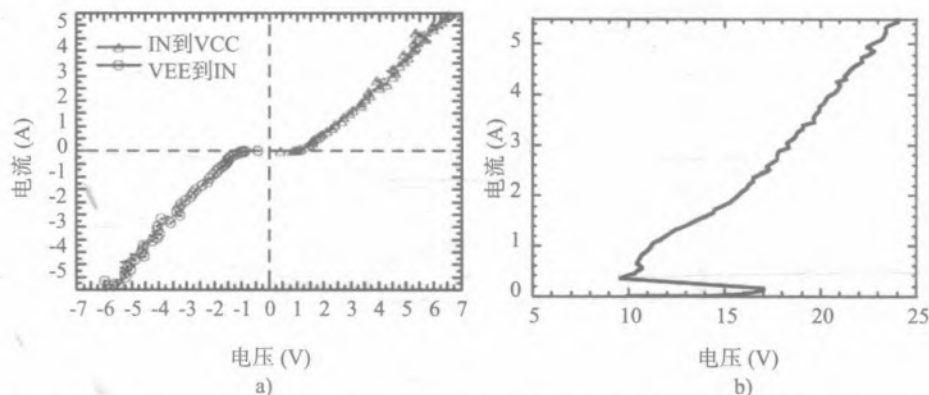


图 5.63 放大器的 100 ns TLP $I-V$ 曲线 a) 输入引脚的 ESD 防护曲线 b) 电源钳位引脚的曲线, 其中 IN 为 RF 输入, VCC 为正电源, VEE 为负电源

用同样的 TLP 方法测试了分立 TVS 器件, 数据显示雪崩二极管类似于垂直器件, 雪崩击穿电压约为 5.2V , 在正向偏置和反向偏置模式钳位区的导通电阻为 1Ω , 如图 5.64 所示。在反向模式下 TVS 只提供了正偏置简单二极管特性。其动态电阻约为 0.9Ω , 与数据手册中的值接近。

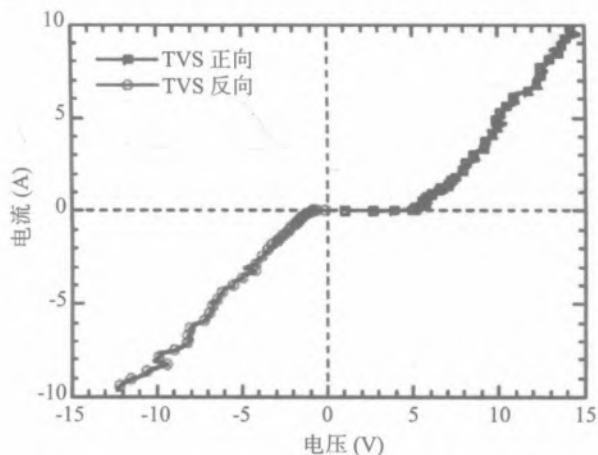


图 5.64 片外 ESD 防护 TVS 器件 (TPD2USB30A) 的 100 ns TLP $I-V$ 特性, TLP 测试仪的最大电流为 10 A

从 TLP 特性中获得的信息可以直接用于改进仿真模型, 以得到更准确的设计。实际上, 根据新的安全电流限制即 5.5 A 的重新仿真结果, 需要两个 TVS 器件对 IC 输入进行防护, 如图

5.65 所示。为了验证仿真结果，只用一个 TVS 器件施加 HMM 脉冲应力。然而令人惊讶的是，8 kV HMM 应力等级下器件也没有失效。因此，基于 TLP 的改进设计仍然没有达到足够的失效等级设计精度，所以无法优化防护方案以避免过度设计和达到更好的信号完整性。

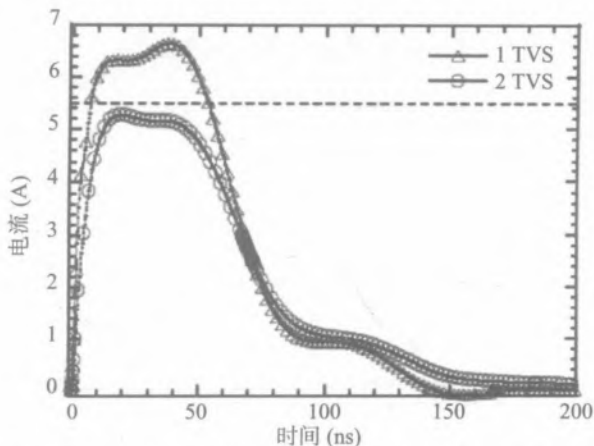


图 5.65 考虑 TLP 数据后，流入片上防护的残余电流仿真值，其中虚线是根据电源引脚 TLP 测得的电流推算出的设计窗口

因此，输入防护还可以被进一步优化。换一个角度，是监测不同电源情况下的电压仿真波形。如果没有施加电源电压，那么在应力下电源引脚的电压不会达到 17 V 的触发电压。基于仿真结果，提出的设计方案达到了 8 kV HMM 的应力等级。为了验证仿真结果，将放大器安装到测试板上，同时将 HMM 应力施加到电源连接器上。为了检测电源钳位的开启过程，用高阻抗电压探针监测了每个应力等级下电源引脚和测试板地之间的电压。放大器的电源钳位器件直到 8 kV 应力等级才开启，同时也没有器件失效。在系统级 ESD 应力下，片外去耦电容对电源钳位器件进行了防护。

尽管仿真表明只有一个 TVS 二极管时在 8 kV HMM 应力下会失效，但是 HMM 测试结果表明能达到该应力等级。在基于 TLP 的方法中，设计的 ESD 失效等级必须低于 RF 输入端口的片上 ESD 防护器件的绝对 ESD 鲁棒性。下面的章节将说明，如果对于独立的 IC 进行 HMM 测试，设计方案可以进一步优化。

5.6.3 基于 HMM 测试的设计优化

通过对独立放大器 IC 的 RF 输入端口的 HMM 脉冲特性分析，获得了在没有片外器件连接情况下的系统级 ESD 应力的绝对失效等级。在脉冲开始后 30 ns 时，测得 HMM 脉冲电流为 11 A，相应的 HMM 失效等级为 5.5 kV。图 5.66 给出了 HMM 应力下，只使用 1 个 TVS 二极管的残余电流仿真结果。该设计改进明显，只采用了 1 个 TVS 二极管（等效电容为 0.7 pF）减小 RF 路径上的寄生电容，且只需要 1 个小的片上走线匹配 TVS 电容。因此，只需要更小的板级面积实

现系统级ESD防护。

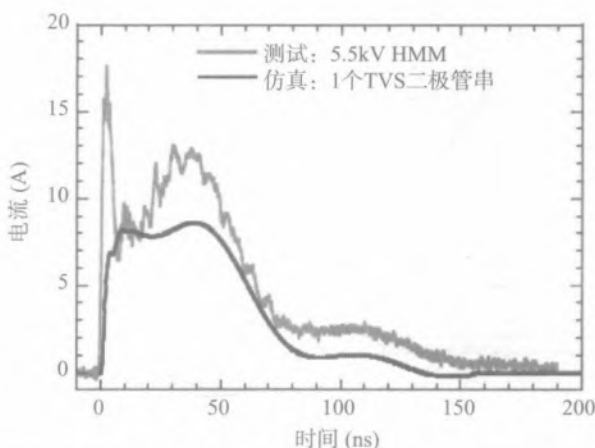


图 5.66 只用一个 TVS 二极管串进行防护时，8 kV HMM 应力水平下进入放大器输入引脚的残余电流仿真值，并且与放大器输入引脚单独测试到的 HMM 失效电流相比；电路没有施加电源电压

5.6.4 设计基准和比较

放大器输入端 ESD 防护的独立 HMM 测试结果表明，其具有比供应商提供的数据手册更高的 ESD 鲁棒性。因此，基于数据手册的 ESD 防护设计方法会直接导致系统级 ESD 防护过度设计。

图 5.67 对三种 ESD 防护设计方法进行了比较。基于 IC 数据手册的 ESD 防护设计方法，需要 3 个 TVS 器件来防护放大器电路，以应对 8 kV HMM 的应力冲击，如图 5.68a 和图 5.69a 所示。基于 TLP/SEED 的设计方法，只需要 2 个 TVS 器件。最后，如果基于 HMM 特性分析的更加详细的设计，只需要 1 个 TVS 组件，如图 5.68b 和图 5.69b 所示。

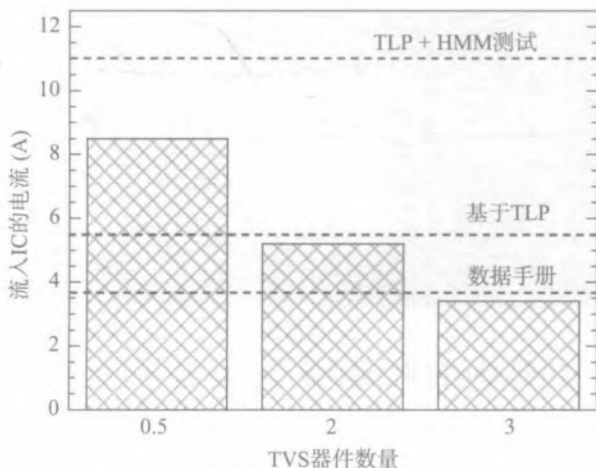


图 5.67 在 8 kV HMM 应力下，IC 放大器输入端流入的残余电流与所需 TVS 器件数量的关系，图中虚线为每一种设计方法的设计窗口

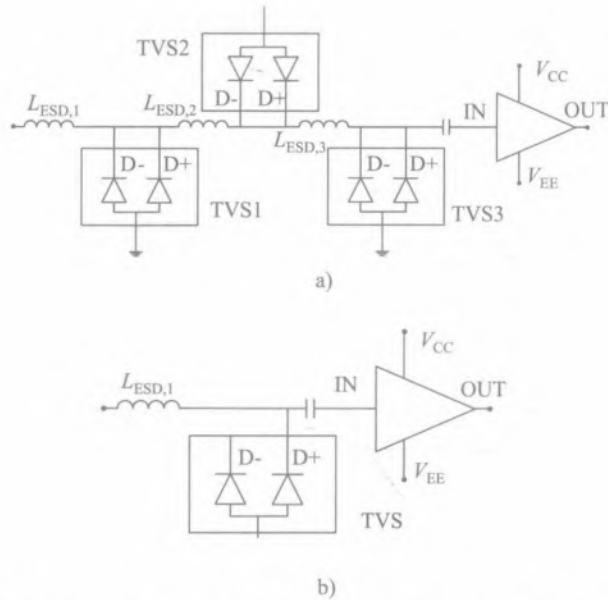


图 5.68 系统级 ESD 防护设计电路 a) 基于数据手册的设计方法 b) 加入 TLP 和 HMM 测试数据分析的 IC 系统协同设计方法

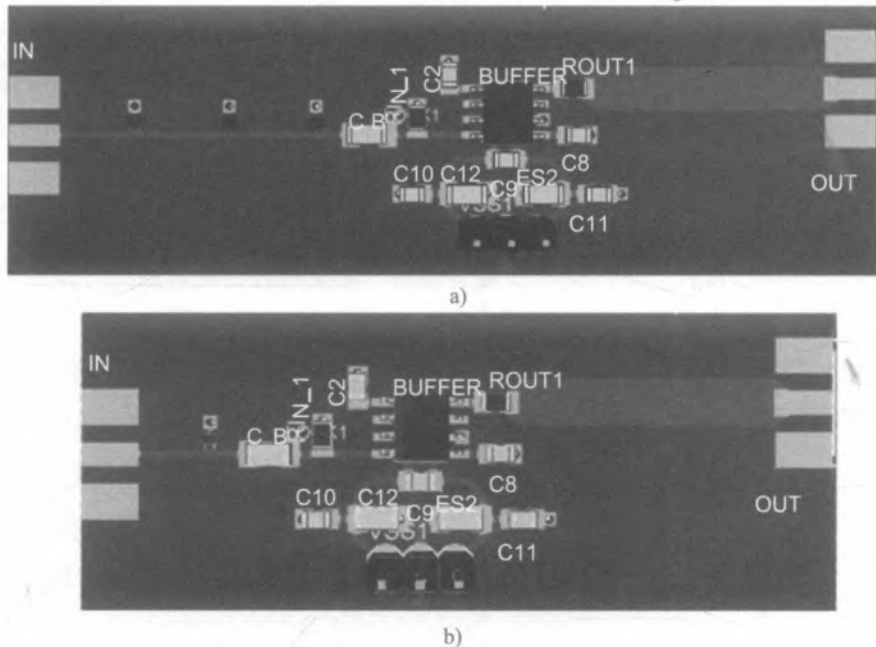


图 5.69 含有系统级 ESD 防护的演示板 a) 基于数据手册设计 b) 协同设计

基于协同设计方法可以达到超过 20% 的安全裕量，该解决方案是足够适用于大规模批量生产的。当计算每种设计方法所需的测试板面积时，优化设计的改进会变得更加明显，如图 5.70 所示。

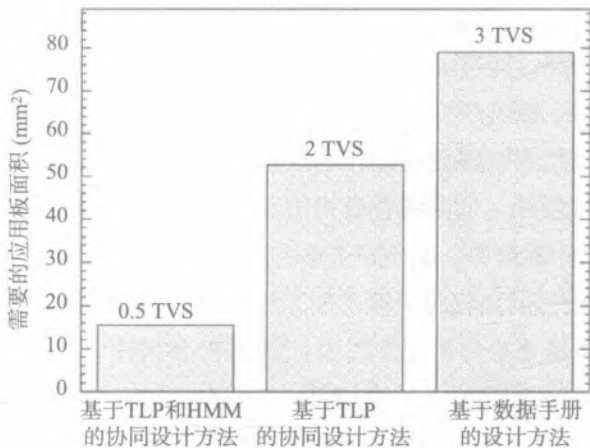


图 5.70 三种不同 ESD 防护设计方法与所需的应用板面积，最小面积：单个 TVS 二极管串需要 $3.1 \times 5 \text{ mm}^2$ ，需要为 0.7 pF 的 TVS 电容匹配电感

如果系统设计是基于数据手册的，那么与基于 HMM 测试数据和瞬态仿真的 IC 与系统协同设计的方法相比，需要五倍的测试板面积。由于 TVS 器件的数量很少，在使用协同设计方法时，片外 ESD 防护器件的电容负载减小到 $1/6$ 。根据这两种 TVS 架构做增益仿真，当使用 3 个 TVS 器件时， -3 dB 带宽减小了 80 MHz ，如图 5.71 所示。对于这两种架构，仿真都是在阻抗匹配的条件下进行的。

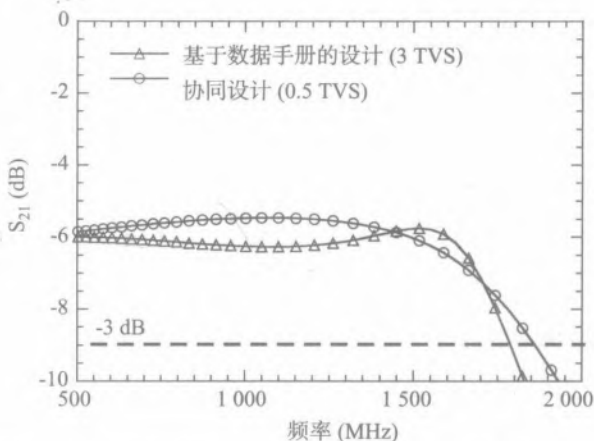


图 5.71 两种不同架构下的放大器增益仿真：基于数据手册和协同设计的方法

5.7 总结

瞬态片上器件和元件特性、简单或复杂模型的建立以及瞬态电路仿真或混合模式分析是设计 IC 或系统达到所要求的 ESD 防护等级的必要步骤。这在本章和全书中都得到了广泛的论证。

尽管 ESD 器件模型可以用一种简化的方法来实现，以减少大型防护网络的仿真工作时间，但分析结果往往出乎意料。因此，通过 ESD 混合信号仿真，可以有机会得到更高的分析精度。这对重现 ESD 脉冲应力开始阶段器件复杂的行为、解释快速瞬态过冲来说是必要的。基于参数化模板和参数化分析建立的高精度有限元模型，可以提取器件的瞬态行为。器件与 SPICE 和紧凑模型结合在一起，可以实现器件 - 电路混合模式仿真，并精确计算雪崩和注入瞬态效应，从而大大增加 IC 与系统协同设计的信心。案例研究，包括本章所阐述的例子，可以用来分析和定标系统级 ESD 协同设计方法，以比较和理解每种方法的优点、局限性和缺点。本章介绍了两种主要的设计方法，即基于数据手册的设计方法和 IC 与系统协同设计的方法。

在基于数据手册的设计方法中，输入元器件可以根据片外元器件和 IC 元器件的数据手册、系统设计师提供的专业知识和之前类似设计的经验进行确定。而且在如今工业界这也是主要的设计方法。基于该方法，即使最终的设计方案能通过 ESD 验证，也很难评估该设计方案是否已经优化，也无法在不同设计步骤之间进行折中。这会造成一个明显的后果，即在大多数情况下，系统设计师对 IC 芯片内部 ESD 防护方案中的器件特性缺乏准确的认识。因此，在许多系统级设计步骤中都是用“黑盒子”的方法假设最坏的情况。例如，为了得到板级可靠的 ESD 防护，可以根据数据手册信息以及不完全的快速瞬态钳位电压波形进行 TVS 器件的选择。因此，由于采用额外的 TVS 器件对 ESD 防护进行了过度设计，而不是针对 IC 特定的 ESD 防护等级实施，导致了系统的过度设计或损失了上市时间。根据 5.6 节中的案例研究，这会影响系统性能，例如增加了 RF 路径的负载电容。

推荐的设计方法是 IC 与系统协同设计。该方法包含了使用实验数据或准静态脉冲特性、HMM 瞬态特性测试以及相应的去嵌入、片上和片外元器件的 ESD 模型组合，并且通过电路或混合仿真分析去预测、优化和设计系统目标参数。瞬态仿真是先进系统设计的有利因素，对未来一代 IC 的 ESD 防护设计实现了优化。基于 TLP 的分析，结合从 IC 引脚处获得的 HMM 特性数据并将其加入到仿真设计流程中，可以验证系统的 ESD 性能。通过简单对比剩余 HMM 电流、ESD 时域中电压瞬态波形以及独立 IC HMM 波形的失效等级，为理解系统设计裕量提供了信心。例如，作为系统一部分的 IC 引脚处的残余电流波形可以与独立 IC 的波形进行对比，以评估防护等级。

5.8 展望

随着 CMOS 技术的持续发展，对未来 SiP 和 SoC 而言，系统级的 ESD 协同设计方法将一直是一个挑战。新材料（硅 - 锗）和新器件结构（3D 晶体管多栅 FET、FINFET）迅速出现且将用在新的系统设计中，同时系统级 ESD 设计也会采用这些新结构。例如，3D 集成技术将不同功能的芯片，例如电源管理、逻辑和存储芯片集成在同一个 IC 封装里面。

硅互联是目前最有前途的技术。互联器将不同的有源芯片相互连接在一起，同时也连接到封装的衬底和引脚上。下一代的FPGA已经进入市场^[135]。这些大尺寸的芯片产品通过无源互联器提高整个产品的良率。无源互联器只包括金属层、通孔和穿过硅的通孔。可能的扩展是在前后连接线中加入一些工艺步骤。通过在工艺流程中增加离子注入和形成阱，可以在互联器中做出ESD防护器件。不论是元器件级还是系统级的ESD防护器件，都可供设计者使用。

该方法有两个主要的优点。堆叠芯片中的元器件级ESD防护可以被减到最少。堆叠过程通常是在有高ESD控制措施的环境下进行的。因此，操作者人工处理芯片的机会必须限制在绝对的最低限度。图5.72阐述了一个可能的防护场景。无源互联器中包含了系统级的ESD防护器件、元器件级ESD防护元件和无源元件（例如去耦电容）。互联器是采用不那么先进的低成本工艺制造的。堆叠的芯片是基于亚20 nm的CMOS技术制造的。它有一些尺寸上适合于低防护等级（例如100 V到500 V的HBM）的ESD防护元件。这是假定在生产过程中，现代的静电控制措施已经非常到位，可以安全处理尚未堆成的芯片。

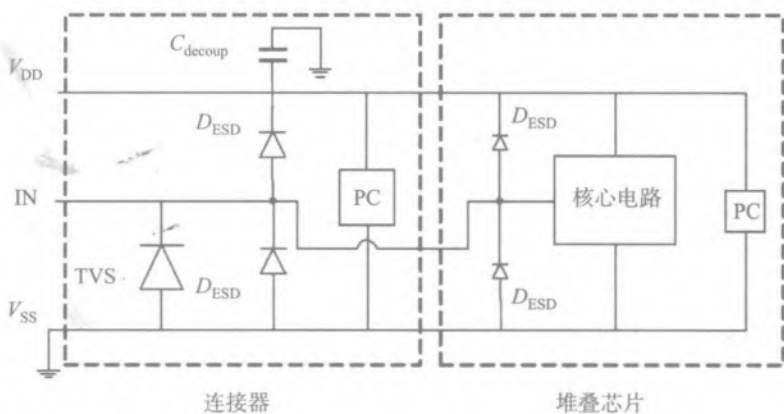


图 5.72 连接器中可能的 ESD 防护电路图， C_{decoup} 为去耦电容， D_{ESD} 为 ESD 防护二极管，PC 为 ESD 电源钳位器件

上述的防护场景对 ESD 防护设计会产生新的挑战，尤其是当堆叠的芯片是采用先进的亚 20 nm CMOS 技术制造的时候。同时，堆叠芯片的引脚数可能比多引脚的单独 IC 还要多，这增加了等效电容。在堆叠过程中，单个芯片可能会被充电或放电。因此，CDM 脉冲的敏感性可能会成为挑战之一。而 HBM 的防护等级会被限制在最低水平，例如 100 V。最可能的是，单个芯片只会用自动设备在先进的 ESD 防护控制环境中进行处理。然而，对于 3D 和 2.5D 系统，一些静电问题出现了。

一般来说，很难预测堆叠型 SiP 中的 ESD 传导路径。如果在连接器和堆叠芯片之间共享 ESD 防护，那么真正的成本节约是什么？是否连接器可以用来提供 ESD 防护，例如通过联合封装 TVS 器件？

ESD 的持久性也是未来的挑战之一。系统级 ESD 将会集成在最终的产品中。与低电流的元器件级防护要求不同，系统级 ESD 防护的设计是为了保证产品在整个生命周期内都能达到相应的防护等级，而不是仅仅是通过几个具有代表性的脉冲应力验证。是否在系统设计中验证了产品到底能承受多少次 ESD 应力，以及在整个产品周期中产品的防护等级是否有退化？考虑到这一点，还需要一个额外的 ESD 耐受测试和设计。文献 [136] 中，作者对单个 TVS 二极管进行了实验和统计计算，以确定器件在重复 ESD 应力下器件防护等级的退化程度。该项研究引出了许多重要的问题。例如，在 ESD 防护设计中，我们如何考虑 ESD 防护的耐久性？当考虑片上和片外防护器件的耐久性后，如何设计 ESD 防护的安全裕量？是否会对栅氧化层和互连线的长期可靠性产生影响？

这些问题目前还没有答案。它们很可能会产生一个未来的研究周期，该研究关注于先进的 CMOS 技术节点使得电流能力显著减少和栅介质敏感性增加，还关注于未来不可避免地带给我们的 高电压医疗、汽车、工业和其他新兴系统的可靠性问题。

本书作者相信，借助本书，当前和未来的挑战一定能通过 IC 与系统协同设计的方法来有效解决。

参考文献

1. ANSI/ESD, *S20.20-2007—Protection of Electrical and Electronic Parts, Assemblies and Equipment* (Excluding Electrically Initiated Explosive devices), 2007
2. Industry Council on ESD target levels, *White Paper 1: A Case for Lowering Component-level HBM/MM ESD Specifications and Requirements*, 2007
3. California Micro Devices, *White Paper, January 2008, The Changing ESD Land-scape. ESD Protection Architecture Design Considerations for Next Generation Devices*, 2008
4. V.A. Vashchenko, V.F. Sinkevitch, *Physical Limitations of Semiconductor devices* (Springer, New York, 2008)
5. V.A. Vashchenko, A.A. Shibkov, *ESD Design for Analog Circuits* (Springer, New York, 2010)
6. M. Eherton, M. Khazhinsky, J. Miller, et al., in *EDA Tool for Checking ESD specific I/O ring integration rules, International ESD Workshop*, 2009
7. V.A. Vashchenko, W. Kindt, P. Hopper, M. ter Beek, Implementation of 60V Tolerant Dual Direction ESD Protection in 5V BiCMOS Process for Automotive Application, in *Proceedings of EOS/ESD Symposium*, 2004
8. IEC 61000-4-2:2008, Electromagnetic compatibility (EMC) - Part 4-2: Testing and measurement techniques - electrostatic discharge immunity test, 2008
9. S. Sze, *Physics of Semiconductor Devices* (Wiley, New York, 1981)
10. James Colby Protecting Electronic Devices Against ESD Littelfuse, Inc James Colby Board-Level Design Considerations for ESD Circuit Protection Littelfuse, Inc. colby@littelfuse.com
11. S. Joshi, E. Rosenbaum, Compact modeling of vertical ESD protection NPN transistors for RF circuits, in *Proceedings of EOS/ESDSymposium*, 2002, pp. 289–295
12. V. Vassilev, G. Groeseneken, S. Jenei, H. Maes, Modeling and Extraction of RF performance parameters of CMOS Electrostatic Discharge Protection Devices, in *Proceedings of EOS/ESD Symposium*, 2002, pp. 111–118
13. C. Russ, K. Verhaege, K. Bock et al, A compact model for the grounded gate NMOS behavior under CDM ESD stress, in *Proceedings of EOS/ESD Symposium*, 1996, pp. 302–315
14. M. Mergens, W. Wilkening, S. Mettler, et al., Analysis and Compact modeling of lateral DMOS power devices under ES stress conditions, in *Proceedings of EOS/ESD Symposium*, 1999, pp. 1–10
15. V. Vassilev, et al., Analysis and Improved Compact Modeling of the Breakdown Behavior of sub-0.25 micron ESD Protection ggNMOS Device, in *Proceedings of EOESD Symposium*, 2001, pp. 62–70
16. V. Vassilev, V.A. Vashchenko, P. Jansen, et al., ESD circuit model based protection network optimisation for extended-voltage NMOS drivers. *Microelectron. Reliab.* **45**, 1430–1435 (2005)

17. B. Aliaj, V. Vashchenko, Q. Cui, J. Liou, A. Tcherniaev, M. Ershov, D. LaFonteese, 2.5-Dimensional Simulation for Analyzing Power Arrays Subject to ESD Stresses, in *Electrical Overstress/Electrostatic Discharge Symposium Proceedings*, 2009, pp. 3A.2.1–3A.2.7
18. C. Duvvury, S. Ramaswamy, A. Amerasekera, R.A. Cline, B.H. Andresen, V. Gupta, Substrate pump NMOS for ESD protection applications, in *Electrical Overstress/Electrostatic Discharge Symposium Proceedings 2000*, 26–28 Sept 2000, pp. 7–17
19. DECIMM™ Angstrom Design Automation, Release 6.0, www.analogesd.com
20. V.A. Vashchenko, A.A. Shibkov, *TCAD Methodologies for Industrial ESD Design*, Seminar 4, IEW 2013
21. IEC 61000-4-2:2008, Electromagnetic compatibility (EMC)—Part 4-2: Testing and measurement techniques—electrostatic discharge immunity test, 2008
22. TESEQ surge tester, <http://www.teseq.com/>
23. ISO 10605:2008—Road vehicles—Test methods for electrical disturbances from electrostatic discharge, 2008
24. G. Boselli, A. Salman, J. Brodsky, H. Kunz, The relevance of long duration TLP stress on system level ESD design, in *EOS/ESD Symposium 2010*, Oct 2010, pp. 1–10
25. IEC 61000-4-5 Electromagnetic compatibility (EMC)—Part 4-5: Testing and measurement techniques—Surge immunity test
26. D.E. Powell, B. Hesterman, Introduction to Voltage Surge Immunity Testing, in *IEEE Power Electronics Society Denver Chapter*, 2007
27. S. Marum, W. Kemper, Y-Y. Lin, P. Barker, Characterizing Devices Using the IEC 61000-4-5 Surge Stress
28. HANWA Tester, http://www.hanwa-ei.co.jp/english/seihin_11.html
29. HPPI Tester, <http://www.hppei.de/>
30. ANSI/ESDA SP5.6-2009—ESD testing—Human Metal Model (HMM)—Component Level, 2009
31. K. Hall, D. McCarthy, Tests with different IEC 801.2 ESD simulators have different results depending on product sensitivities, in *IEEE International Symposium on Electromagnetic Compatibility, 1995. Symposium Record*, Aug 1995, pp. 280–284
32. J. Barth, D. Dale, K. Hall, H. Hyatt, D. McCarthy, J. Nuebel, and D. Smith, Measurements of ESD HBM events, simulator radiation and other characteristics toward creating a more repeatable simulation or what simulators should simulate, in *EOS/ESD Symposium 1996*, Sept 1996, pp. 211–222
33. K. Wang, D. Pommerenke, R. Chundru, J. Huang, K. Xiao, P. Ilavarasan, M. Schaffer, Impact of ESD generator parameters on failure level in fast CMOS system, in *IEEE International Symposium on Electromagnetic Compatibility, 2003*, vol. 1, Aug. 2003, pp. 52–57
34. S. Frei, D. Pommerenke, An analysis of the fields on the horizontal coupling plane in ESD testing, in *EOS/ESD Symposium 1997*, Sept 1997, pp. 99–106
35. E. Grund, K. Muhonen, N. Peachey, Delivering IEC 61000-4-2 current pulses through transmission lines at 100 and 330 Ohm system impedances, in *EOS/ESD Symposium 2008*, Sept 2008, pp. 132–141
36. T. Maloney, N. Khurana, Transmission line pulsing techniques for circuit modeling of ESD Phenomena, in *EOS/ESD Symposium 1985*, 1985
37. A. Shibkov, V.A. Vashchenko, *ESD Design for Analog Circuits* (Springer, New York, 2010)
38. E. Grund, R. Gauthier, TLP systems with combined 50 and 500 Ohm impedance probes and KELVIN probes, in *EOS/ESD Symposium 2003*, Sept 2003, pp. 1–10
39. T. Daenen, S. Thijs, M.I. Natarajan, V. Vassilev, V. De Heyn, G. Groeseneken, Multilevel Transmission Line Pulse (MTLP) tester, in *EOS/ESD Symposium 2004*, Sept 2004, pp. 1–6
40. H. Gieser, M. Haunschild, Very-fast transmission line pulsing of integrated structures and the charged device model, in *EOS/ESD Symposium 1996*, Sept 1996, pp. 85–94

41. Ansi/ESD SP5.5.2-2007—ESD Testing Very Fast Transmission Line Pulse (vfTLP) Component Level, 2007
42. D. Tremouilles, S. Thijs, P. Roussel, M.I. Natarajan, V. Vassilev, G. Groeseneken, Transient voltage overshoot in TLP testing—Real or artifact?, in *EOS/ESD Symposium 2005*, Sept 2005, pp. 1–9
43. M. Scholz, S. Thijs, D. Linten, D. Tremouilles, M. Sawada, T. Nakaei, T. Hasebe, M.I. Natarajan, G. Groeseneken, Calibrated wafer-level HBM measurements for quasi-static and transient device analysis, in *EOS/ESD Symposium 2007*, Sept 2007, pp. 2A.2-1–2A.2-6
44. D. Linten, P. Roussel, M. Scholz, S. Thijs, A. Griffoni, M. Sawada, T. Hasebe, G. Groeseneken, Calibration of very fast TLP transients, in *EOS/ESD Symposium 2009*, Sept 2009, pp. 1–6
45. D.C. Smith, Current probes, more useful than you think, in *IEEE International Symposium on Electromagnetic Compatibility 1998*, vol. 1, 1998, pp. 284–289
46. S.-L. Jang, M.-S. Gau, J.-K. Lin, Novel diode-chain triggering SCR circuits for ESD protection. *Solid State Electron.* **44**(7), 1297–1303 (2000)
47. M. Mergens, C.C. Russ, K.G. Verhaege, J. Armer, P.C. Jozwiak, R. Mohn, B. Keppens, C.S. Trinh, Diode-triggered SCR (DTSCR) for RF-ESD protection of BiCMOS SiGe HBTs and CMOS ultra-thin gate oxides, in *Electron devices Meeting (IEDM) Technical Digest. IEEE International*, Dec 2003, pp. 21.3.1–21.3.4
48. D. Linten, V. Vashchenko, M. Scholz, P. Jansen, D. Lafontese, S. Thijs, M. Sawada, T. Hasebe, P. Hopper, G. Groeseneken, Extreme voltage and current overshoots in HV snapback devices during HBM ESD stress, in *EOS/ESD Symposium 2008*, Sept 2008, pp. 204–210
49. M. Mergens, W. Wilkening, S. Mettler, H. Wolf, A. Stricker, W. Fichtner, Analysis of lateral DMOS power devices under ESD stress conditions. *IEEE Trans. Electron Devices* **47**(11), 2128–2137 (2000)
50. M.H. Song, T. Smedes, J.C. Tseng, T.H. Chang, R. Derikx, R. Velghe, A contribution to the evaluation of HMM for I/O design, in *EOS/ESD Symposium 2011*, Sept 2011, pp. 1–7
51. M. Scholz, D. Linten, S. Thijs, M. Sawada, T. Nakaei, T. Hasebe, D. Lafontese, V. Vashchenko, G. Vandersteen, P. Hopper, G. Groeseneken, On-wafer Human Metal Model measurements for system-level ESD analysis, in *EOS/ESD Symposium, 2009*, 31 Sept 2009
52. Y. Cao, D. Johnsson, B. Arndt, M. Stecher, A TLP-based human metal model ESD-generator for device qualification according to IEC61000-4-2, in *Asia-Pacific Symposium on Electromagnetic Compatibility (APEMC), 2010*, Apr 2010, pp. 471–474
53. V.M. Vashchenko, M. ter Beek, W. Kindt, P. Hopper, ESD protection of the high voltage tolerant pins in low-voltage BiCMOS processes, in *Proceedings of BCTM*, 2004, pp. 277–280
54. V.A. Vashchenko, M. ter Beek, W. Kindt, P. Hopper, Implementation of 60V Tolerant Dual Direction ESD Protection in 5V BiCMOS Process for Automotive Application, in *Proceedings of ESD/EOS Symposium*, 2004, pp. 117–124
55. O. Semenov, H. Sarbishaei, M. Sachdev, *ESD Protection Device and Circuit Design for Advanced CMOS Technologies* (Springer, Netherlands, 2008)
56. A. Amerasekera, C. Duvury, *ESD in Silicon Integrated Circuits* (Wiley, West Sussex, 1995)
57. S. Dabral, T.J. Maloney, *Basic ESD and I/O Design* (Wiley, Chichester, 1998)
58. K. Estmark, H. Gossner, W. Stadler, *Advanced Simulation Methods for ESD Protection* (Elsevier, Amsterdam 2003)
59. S.H. Voldman, *ESD RF Technology and Circuits* (Wiley, Chichester, 2006); *ESD Physics and Devices* (Wiley, Chichester, 2004); *ESD Circuits and Devices* (Wiley, Chichester, 2005)
60. A. Chatterjee, T. Polgreen, A low voltage triggering SCR for on-chip ESD protection at output and input pads. *IEEE Elec. Dev. Lett.* **12**, 21–22 (1991)
61. M. Mergens, C. Russ, K. Verhaege, et al, Diode-triggered SCR (DTSCR) for RF-ESD protection of BiCMOS SiGe HBTs and CMOS ultra-thin gate oxides, in *International Electron Devices Meeting*, 2003, pp. 515–518

62. J. Di Sarro, V.A. Vashchenko, E. Rosenbaum, P. Hopper, A dual-base triggered SCR with very low leakage current and adjustable trigger voltage, in *30th Electrical Overstress/ Electrostatic Discharge Symposium, 2008, EOS/ESD 2008*, 7–11 Sept 2008, pp. 242–248
63. J.Z. Chen, A. Amerasekera, T. Vrotos, Bipolar SCR ESD protection for high speed submicron Bipolar/BiCMOS frequency integrated circuits. *IEDM* 337–340 (1995)
64. V.A. Vashchenko, P. Hopper, Bipolar SCR ESD devices. *Microelectron. Reliab. J* **45**, 457–471
65. V.A. Vashchenko, A. Concannon, M. ter Beek, P. Hopper, High holding voltage cascoded LVTSCR structures for 5.5 V tolerant ESD protection clamps. *IEEE Trans. Device Mater. Reliab.* **4**(2), 273–280 (2004); A. Concannon, V.A. Vashchenko, M. ter Beek, P. Hopper, A device level negative feedback in the emitter line of SCR-structures as a method to realize latch-up free ESD protection, in *Proceedings of 41st Annual IEEE International Symposium on Reliability Physics*, 30 Mar to 4 Apr 2003, pp. 105–111
66. V.A. Vashchenko, V. Kuznetsov, P. Hopper, Implementation of Dual-Direction SCR Devices in Analog CMOS Process, in *Proceedings of EOESD Symposium, 2007*, pp. 75–79
67. V.A. Vashchenko, D. LaFonteese, Lateral PNP BJT ESD protection devices, in *BCTM 2008*, pp. 53–56
68. A. Gendron, P. Renaud, S.C. Besse, M. Baffleur, N. Nolhier, Area-Efficient Reduced and No-Snapback PNP-based ESD Protection in Advanced Smart Power Technology, in *Proceedings of EOS/ESD Symposium*, Sep. 2006, pp. 69–76
69. P. Renaud, A. Gendron, M. Baffleur, N. Nolhier, High robustness PNP-based structure for the ESD protection of high voltage I/Os in an advanced smart power technology, in *Proceedings of BCTM, 2007*, pp. 226–229
70. V.A. Vashchenko, D. LaFonteese, System Level and Hot Plug-in Protection of High Voltage Transient Pins, in *EOS/ESD Symposium, 2009*
71. V. Vashchenko, A. Shibkov, Non-Linear Response of Self-Protected CMOS Drivers, *RCJ Symposium 2013*
72. B. Keppens, M. Mergens, J. Armer, et al., Active-Area-Segmentation (AAS) technique for compact ESD robust, fully silicided NMOS design, in *Proceedings of EOS/ESD Symposium, 2003*, pp. 250–258
73. C. Russ, Non-uniform triggering of gg-nMOS investigated by combined emission microscopy and transmission line pulsing, in *Proceedings of EOS/ESD Symposium, 1998*, pp. 177–186
74. B. Caillard, STMSR: A New Multi-Finger SCR-Based Protection Structure Against ESD, in *EOS/ESD Symposium, 2003*
75. B. Aliaj, T. Mitchell, V. Vashchenko, Overcoming Multi Finger Turn-on in HV DIACs using Local Polyballasting, accepted for publication at EOS/ESD Symposium 2014
76. T. Smedes, Y. Li, ESD phenomena in interconnect structures, in *Proceedings of EOS/ESD Symposium, 2003*
77. K. Banerjee, Characterization of VLSI circuit Interconnect Heating and Failure under ESD conditions, in *Proceedings of the International Reliability, 1996*
78. W.R. Anderson, Metal and Silicon Burnout Failures from CDM ESD Testing, in *EOS/ESD Symposium, 2009*
79. G. Notermans, Pitfalls when correlating TLP, HBM and HMM testing, in *Proceedings of EOS/ESD Symposium*, vol. 6, 1998, p. 170
80. S. Voldman, High-Current Transmission Line Pulse Characterization of Aluminum and Copper Interconnects for Advanced CMOS Semiconductor Technologies, in *Proceedings of International Reliability Physics Symposium, 1988*, pp. 293–301
81. Y. Xi, S. Malobabic, V. Vashchenko, J. Liou, Correlation between TLP, HMM and System Level ESD Pulses for Cu Metallization, Device and Materials Reliability, *IEEE Transactions on*, 14(1) pp. 446–450, March 2014
82. A.J. Duncan, *Quality Control and Industrial Statistics*, 5th edn. (Irwin, Homewood, 1986)
83. <http://www.itl.nist.gov/div898/handbook/pmc/pmc.htm>

84. S. Kotz, N.L. Johnson, *Process Capability Indices* (Chapman & Hall, London, 1992)
85. A. Mutlu, M. Rahman, Statistical methods for the estimation of process variation effects on circuit operation. *IEEE Trans. Electron. Packag. Manuf.* **28** (4), 364–375 (2005)
86. D. Blaauw, K. Chopra, A. Srivastava, L. Scheffer, Statistical timing analysis: from basic principles to state of the art. *IEEE Trans. CAD ICs Syst.* **27**(4), 586–607 (2008)
87. F. Roger, W. Reinprecht, R. Minixhofer, Process variation aware ESD Design Window considerations on a 0.18 μm Analog, Mixed-Signal High Voltage Technology, in *EOS/ESD Symposium*, 2011
88. M.X. Huo, K.B. Ding, Y. Han, S.R. Dong, X.Y. Du, D.H. Huang, B. Song, Effects of Process Variation on Turn-on Voltages of a Multi-finger Gate-Coupled NMOS ESD Protection Device, in *Physical and Failure Analysis of Integrated Circuits, IPFA*, 2009, pp. 832–836
89. M. Diatta, D. Trémouilles, E. Bouyssou, M. Baffeur, Investigation on Statistical Tools to Analyze Repetitive-Electrostatic-Discharge Endurance of System-Level Protections. *IEEE Trans., DMRon* **12**(4), 607–614 (2012)
90. A. Tazzoli, A. Shibkov, V. Vashchenko submitted, Effect of Process Technology Variation on ESD Clamp Parameters, accepted at EOS/ESD Symposium 2014
91. R. Myoung, ESD analysis on mobile device printed circuit boards, in *ANSYS*, 2012
92. Patent *RE38,608E*, “low voltage punch-through transient suppressor employing a dual-base structure”
93. JESD-78D—IC Latch-Up Test, JEDEC 2011
94. S. Voldman, *Latchup*, Wiley 2007
95. S. Gupta, J.C. Beckman, S.L. Kosier, Unbiased Guard Ring for Latch-up-Resistant, Junction-Isolated Smart-Power ICs, in *Proceedings of BCTM*, 2001, pp. 188–191
96. V. Vashchenko, B. Aliaj, J. Sheu and A. Shibkov, High Voltage Latchup Analysis, *International ESD Workshop* 2013
97. ESDA, ESDA Working Group 5.4 Transient-induced latch-up—Technical Report 5, 2012
98. S. Bargstadt-Franke, W. Stadler, K. Esmark, M. Streibl, K. Domanski, H. Gieser, H. Wolf, W. Bala, Transient latch-up: Experimental analysis and device simulation, in *EOS/ESD Symposium 2003*, Sept 2003
99. K. Domanski, S. Bargstadt-Franke, W. Stadler, U. Glaser, W. Bala, Development strategy for TLU-robust products, in *EOS/ESD Symposium 2004*, Sept 2004
100. K. Domanski, S. Bargstadt-Franke, W. Stadler, M. Streibl, G. Steckert, W. Bala, Transient-LU failure analysis of the ICs, methods of investigation and computer aided simulations, in *Proceedings of Reliability Physics Symposium*, April 2004, pp. 370–374
101. M.-D. Ker, S.-F. Hsu, Component-Level Measurement for Transient-Induced Latch-up in CMOS ICs Under System-Level ESD Considerations. *IEEE Trans. Device Mater. Reliab.* **6**(3), 461–472 (2006)
102. T. Brodbeck, W. Stadler, C. Baumann, K. Esmark, K. Domanski, Triggering of Transient Latch-up by System-Level ESD. *IEEE Trans. Device Mater. Reliab.* **11**(4), 509–515 (2011)
103. M. Scholz, S. Chen, S. Thijs, D. Linten, G. Hellings, G. Vandersteen, M. Sawada, G. Groeseneken, System-level ESD Protection Design using On-Wafer Characterization and Transient Simulations, *Device and Materials Reliability IEEE Transactions on*, **14**(1), pp. 104–111, March 2014
104. T. Suzuki, J. Iwahori, T. Morita, H. Takaoka, T. Nomura, K. Hashimoto, S. Ichino, A study of relation between a power supply ESD and parasitic capacitance. *J. Electrostat.* **64**(11), 760–767 (2006)
105. ISO 11898, Road vehicles—Controller area network (CAN), 2003–2013
106. CAN: W. Chen, N. Trichy, K. Soundarapandian, S. Pendharkar, J. Carpenter, J. Kohout, Experiences and challenges of CAN transceivers in upintegrated system basis chips, in *ICC 2005*, pp. 09-1-6
107. IEC/TS 62228 ed1.0, Integrated circuits—EMC evaluation of CAN transceivers, 2007

108. Hardware Requirements for LIN, CAN and FlexRay Interfaces in Automotive Applications, rev 1.3, 2012
109. A.A. Salman, F. Farbiz, A. Concannon, H. Edwards, G. Boselli, Mutual Ballasting: A Novel Technique for Improved Inductive System Level IEC ESD Stress Performance for Automotive Applications, in *EOSESD Symposium 2013*, paper 3B.1
110. W. Stadler, T. Brodbeck, R. Gartner, H. Gossner, Cable discharges into communication interfaces, in *Electrical Overstress/Electrostatic Discharge Symposium, 2006. EOS/ESD '06*, Sept 2006, pp. 10–15, 144, 151
111. R. Chundru, Z. Li, D. Pommerenke, K. Kam, C.-W. Lam, F. Centola, R. Steinfeld, An evaluation of TVS devices for ESD protection”, in *IEEE International Symposium on Electromagnetic Compatibility (EMC), 2011*, Aug 2011, pp. 62–67
112. K. Shrier, T. Truong, J. Felps, Transmission line pulse test methods, test techniques and characterization of low capacitance voltage suppression device for system level electrostatic discharge compliance, in *EOS/ESD Symposium 2004*, Sept 2004, pp. 1–10
113. D. Johnsson, H. Gossner, Study of system ESD co-design of a realistic mobile board, in *EOS/ESD Symposium 2011*, Sept 2011, pp. 1–10
114. Industry Council on ESD target levels, *White Paper 3 - System Level ESD, Part I*, 2011
115. K. Verhaege, P.J. Roussel, G. Groeseneken, H. Maas, H. Gieser, C. Russ, P. Egger, Analysis of HBM ESD testers and specifications using a forth-order lumped element model, in *EOS/ESD Symposium 1993*, 1993
116. A. Amerasekera, C. Duvvury, W. Anderson, H. Gieser, S. Ramaswamy, *ESD in silicon integrated circuits* (Wiley, Chichester, 2002)
117. K. Esmark, H. Gossner, W. Stadler, *Advanced Simulation Methods for ESD Protection Development* (Elsevier Science & Technology, Amsterdam, 2002)
118. L. Lou, C. Duvvury, A. Jahanzeb, J. Park, SPICE simulation methodology for system level ESD design, in *EOS/ESD Symposium 2010*, Oct 2010, pp. 1–10
119. J. Willems, A. Andreini, V. De Heyn, K. Esmark, M. Etherton, H. Gieser, G. Groeseneken, S. Mettler, E. Morena, N. Qu, W. Soppa, W. Stadler, R. Stella, W. Wilkening, H. Wolf, L. Zullino, Characterization and modeling of transient device behavior under CDM ESD stress, in *EOS/ESD Symposium 2003*, Sept 2003, pp. 1–10
120. Y.-C. Liang, V.J. Gosbell, Diode forward and reverse recovery model for power electronic spice simulations. *IEEE Trans. Power Electron.* 5(3), 346–356 (1990)
121. Industry Council on ESD target levels, *White Paper 3—System Level ESD, Part II*, 2012
122. S. Bertonnaud, C. Duvvury, A. Jahanzeb, IEC System Level ESD challenges and effective protection strategy for USB2 interfaces, in *EOS/ESD Symposium 2012*, Sept 2012, pp. 388–395
123. T. Li, J. Maeshima, H. Shumiya, D.J. Pommerenke, T. Yamada, K. Araki, An application of utilizing the system-efficient-ESD-design (SEED) concept to analyze an LED protection circuit of a cell phone, in *IEEE EMC Symposium, 2012*, Aug 2012, pp. 346–350
124. S. Marum, C. Duvvury, J. Park, A. Chadwick, A. Jahanzeb, Protecting circuits from the transient voltage suppressor’s residual pulse during IEC61000-4-2 stress, in *31st EOS/ESD Symposium, 2009*, Sept 2009, pp. 1–10
125. G. Notermans, S. Bychikhin, D. Pogany, D. Johnsson, D. Maksimovic, HMM and TLP correlation, in *International ESD Workshop*, 2011
126. IEC 61000-4-2:2008, Electromagnetic compatibility (EMC)—Part 4-2: Testing and measurement techniques—electrostatic discharge immunity test, 2008
127. IEC 60063 Edition 2.0—Preferred number series for resistors and capacitors, 1963
128. S. Thijs, C. Russ, D. Tremouilles, A. Griffoni, D. Linten, M. Scholz, N. Collaert, R. Rooyackers, M. Jurczak, M. Sawada, T. Nakaei, T. Hasebe, C. Duvvury, H. Gossner, G. Groeseneken, Design methodology of FinFET devices that meet IC -Level HBM ESD targets, in *EOS/ESD Symposium 2008*, Sept 2008, pp. 294–302

129. S. Thijs, A. Griffoni, D. Linten, S.-H. Chen, T. Hoffmann, G. Groeseneken, On gated diodes for ESD protection in bulk FinFET CMOS technology, in *EOS/ESD Symposium 2011*, Sept 2011, pp. 1–8
130. M. Scholz, S. Thijs, D. Linten, D. Tremouilles, M. Sawada, T. Nakaei, T. Hasebe, M.I. Natarajan, G. Groeseneken, Calibrated wafer-level HBM measurements for quasi-static and transient device analysis, in *EOS/ESD Symposium 2007*, Sept. 2007, pp. 2A.2-1–2A.2-6
131. J.-R. Manouvrier, P. Fonteneau, C.-A. Legrand, P. Nouet, F. Azais, Characterization of the transient behavior of gated/STI diodes and their associated BJT in the CDM time domain, in *EOS/ESD Symposium 2007*, Sept 2007, pp. 3A.2-1–3A.2-10
132. A. Ille, W. Stadler, T. Pompl, H. Gossner, T. Brodbeck, K. Esmark, P. Riess, D. Alvarez, K. Chatty, R. Gauthier, A. Bravaix, Reliability aspects of gate oxide under ESD pulse stress, in *EOS/ESD Symposium 2007*, Sept 2007, pp.6A.1-1–6A.1-10
133. IBIS Open Forum, *IBIS (I/O Buffer Information Specification) Version 5.0*, 2008
134. B. Kleveland, T.J. Maloney, I. Morgan, L. Madden, T.H. Lee, S.S. Wong, Distributed ESD protection for high-speed integrated circuits. *IEEE Electron device Lett.* **21**(8), 390–392 (2000)
135. K. Saban, *White paper WP380: Xilinx stacked silicon interconnect technology delivers breakthrough FPGA capacity, bandwidth, and power efficiency*, 2011
136. M. Diatta, D. Tremouilles, E. Bouyssou, R. Perdreau, C. Anceau, M. Baffleur, Understanding the failure mechanisms of protection diodes during system level esd: toward repetitive stresses robustness. *IEEE Trans. Electron Devices* **59**(1), 108–113 (2012)

缩略词表

ADS	Agilent Design System	安捷伦设计系统 (一种射频设计工具)
BCD	Bipolar-CMOS-DMOS	双极型-CMOS-DMOS
BGA	Ball Grid Array	球状矩阵排列(封装)
BJT	Bipolar Junction Transistor	双极结型晶体管
BSCR	Bipolar SCR	双极 SCR
CAD	Computer Aided Design	计算机辅助设计
CAN	Controller Area Network	控制器区域网络
CDE	Cable Discharge Event	电缆放电事件
CDM	Charged Device Model	充电器件模型
CDN	Coupling-Decoupling Network	耦合-解耦网络
CMOS	Complementary Metal-Oxide-Semiconductor	互补金属氧化物半导体
CMP	Chemical Mechanical Polishing	化学机械抛光
DECIMM	Device-Circuit Mixed-Mode	器件-电路混合模式 (仿真器)
DeMOS	Drain-extension MOS	漏扩展 MOS(器件)
DGO	Double-Gate Oxide	双栅氧化层
DIAC	Dual-direction active clamp	双向有源钳位
DIL	Dual In Line	双列直插式, DIP 封装的别称
DNWELL	Deep NWELL	深 N 阱
DoE	Design of Experiment	实验设计
DPMO	Defects Per Million Opportunities	百万分之几的缺陷机会数
DPPM	Defect Parts Per Million	百万分之几的缺陷数
DTI	Deep Trench Isolation	深沟槽隔离
DTSCR	Diode Triggered SCR	二极管触发的 SCR
DUT	Device Under Test	待测器件

EEPROM	Electrically Erasable Programmable Read – Only Memory	电可擦除只读存储器
EIA	Electronic Industry Association	电子工业协会
EMC	Electromagnetic compatibility	电磁兼容性
EMI	Electro–Magnetic Interference	电磁干扰
EOS	Electrical Over–Stress	电过应力
EPA	ESD Protection Area	ESD 防护区域
ESD	Electro–Static Discharge	静电放电
EUT	Equipment Under Test	待测设备
FEM	Finite Element Model	有限元模型
FET	Field Effect Transistor	场效应晶体管
FFT	Fast Fourier Transform	快速傅里叶变换
FinFET	Fin type Field Effect Transistor	鳍式场效应晶体管
FOXSCR	Field OXide SCR	场氧化层 SCR
FPGA	Field Programmable Gate Array	现场可编程门阵列
GGNMOS	Gate Grounded NMOS	栅极接地的 NMOS 管
GM	Gate monitor	栅极监控器
GOX	Gate oxide	栅氧化层
GRP	Ground Reference Plane	参考地平面
GUI	Graphical User Interface	图形用户界面
HBM	Human Body Model	人体模型
HCP	Horizontal Coupling Plate	水平耦合板
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
HMM	Human Metal Model	人体金属模型
HS	High Side	高边
HV	High Voltage	高压
IBIS	Input/output Buffer Information Specification	输入 / 输出缓冲区信息定义 (模型)
IC	Integrated Circuit	集成电路
IEC	International Electro technical Commission	国际电工技术委员会
IFET	Isolated Field Effect Transistor	绝缘型场效应晶体管
IO	Input Output	输入输出
IP	Intellectual Property	知识产权
ISO	International Standards Organization	国际标准化组织

JEDEC	Joint Electron Device Engineering Council	联合电子器件工程协会
JFET	Junction Field-Effect Transistor	结型场效应晶体管
LAD	Lateral Avalanche Diode	横向雪崩二极管
LCD	Liquid Crystal Display	液晶显示屏
LDD	Lightly Doped Drain	轻掺杂漏极
LDMOS	Lateral Double-diffusion MOS	横向双扩散 MOS 管
LIN	Local Internet	局部互连网络
LPF	Low-Pass Filter	低通滤波器
LPNP	Lateral PNP	横向 PNP
LS	Low Side	低边
LSL	Lower Specification Limits	定义的下限
LUT	Latch Up Tester	闩锁测试仪
LV	Low Voltage	低压
LVDS	Low-Voltage Differential Signaling	低电压差分信号
LVTSCR	Low Voltage Triggered SCR	低压触发 SCR
MiM	Metal-isolation-Metal	金属-绝缘层-金属(电容)
MM	Metal Model	金属模型
MOSFET	Metal-Oxide-Semiconductor FET	金属氧化物半导体场效应晶体管
NBL	N type Buried Layer	N 型埋层
NDR	Negative Differential Resistance	负微分电阻
NLDMOS	N-type Lateral Double-diffusion MOS	N 型横向双扩散 MOS 管
NMOS	N-channel Metal Oxide Semiconductor	N 型沟道金属氧化半导体
PBL	Ptype Buried Layer	P 型埋层
PCB	Printed Circuit Board	印制电路板
PDK	Process Design Kit	工艺设计包
PDR	Positive Differential Resistance	正微分电阻
PMOS	P-channel metal oxide semiconductor	P 型沟道金属氧化半导体
PPM	Parts Per Million	百万分之
PVS	Polymer Voltage Suppressor	聚合物电压抑制器件
RESURF	REduced SURface Field	降低表面电场
RF	Radio Frequency	射频
RTA	Rapid Thermal Annealing	快速热退火
SB	Silicide Block	硅化物块

SCR	Silicon Controlled Rectifier	可控硅整流器
SEED	System-Efficient ESD Design	系统有效性 ESD 设计
SIMS	Secondary Ion Mass Spectroscopy	二次离子质谱
SiP	System in Package	系统级封装
SLTP	Scribe Line Test Pattern	划线测试模式
SMA	SubMiniature version A	超小型 A 版 (一种同轴电缆型号)
SMD	Surface-Mounted Device	表面贴装器件
SNMOS	Snapback NMOS	回滞型 NMOS
SOA	Safety Operation Area	安全工作区
SoC	System on chip	片上系统
SOI	Silicon-On-Isolator	绝缘体上硅
SPICE	Simulation Program with Integrated Circuit Emphasis	以集成电路为重点的仿真程序
SRP	Spread Resistance Profile	扩展电阻剖面分布法
STI	Shallow Trench Isolation	浅沟槽隔离
TCAD	Technology Computer Aided Design	(半导体) 工艺技术的计算机辅助设计
TCDE	Through Cable Discharge Event	通过电缆放电事件
TEM	Transmission Electron Microscope	透射电镜
TLP	Transmission Line Pulse	传输线脉冲
TLU	Transient Latch Up	瞬态闩锁
TVS	Transient Voltage Suppressor	瞬态电压抑制器
USL	Upper Specification Limits	定义的上限
VCP	Vertically Coupling Plate	垂直耦合板
VDMOS	Vertical Double-diffusion MOS	垂直双扩散 MOS 管
VFTLP	Very fast TLP	极快 TLP

推荐阅读



CMOS及其他先导技术：特大规模集成电路设计

作者：[美] 刘金 科林·库恩等 译者：雷鑑铭 ISBN：978-7-111-59391-1 定价：99.00元

本书借鉴工业界和学术界的主要研究人员的专业知识，包括许多替代逻辑器件的开发者有见地的贡献，从一系列不同的观点引入和探讨新的概念，涵盖所有必要的理论背景和发展脉络。本书分为四个部分：第一部分回顾了芯片设计的注意事项以及具有更大亚阈值摆幅的器件；第二部分涵盖了利用量子力学隧道效应作为开关原理来实现更陡峭亚阈值摆幅的各种器件设计；第三部分涵盖了利用替代方法实现更高效开关性能的器件；第四部分涵盖了利用磁效应或电子自旋携带信息的器件。在全书的末尾对于包括新兴的电荷器件技术互连和自旋技术互连在内的更高级的逻辑器件互连给出了全面评价。本书是集成电路研究人员、专业工程师以及半导体器件和工艺专业研究生的必备读物。

高频集成电路设计

作者：[加] 索兰·尼瓦格斯库等 译者：叶凡 俊彦 ISBN：978-7-111-60102-9 定价：139.00元

本书从晶体管级设计的角度，针对2~200GHz的无线和宽带系统，对高速高频单芯片集成电路进行了详细的介绍。本书内容涵盖高速、射频、毫米波和光纤等电路类型，其实现方式包括纳米尺度CMOS、SiGe BiCMOS、III-V族化合物等半导体工艺。本书提供分步骤的设计方法，几乎每章末尾都有习题、仿真和设计案例，是高年级本科生和研究生在电路设计方面理想的参考书。

基于运算放大器和模拟集成电路的电路设计（原书第4版 精编版）

作者：[美] 赛尔吉欧·弗朗哥 译者：何乐年 奚剑雄等 ISBN：978-7-111-58149-9 定价：89.00元

本书全面论述了运算放大器的原理与特性参数，以及以其为核心构建的各种模拟集成电路原理、设计方法和应用。在电路设计方面，以业界通用的器件为背景，对应用中的许多问题进行了详细的分析。本书是在原书第4版基础上的精编版，共分9章，包括三个部分。第一部分为第1章和第2章，以运算放大器为理想器件介绍它的基本原理和应用，包括运算放大器基础和电阻反馈电路。第二部分为第3~6章，主要介绍运算放大器的诸多实际问题，如静态和动态限制、噪声以及稳定性问题。第三部分为7~9章，主要介绍了基于运算放大器的各种应用电路的设计方法，包括非线性电路、信号发生器、电压基准与稳压电源等。

本书可以作为电子信息工程、电子科学与技术、微电子科学与工程等本科专业高年级以及相关专业的学生的教科书或参考书，对从事模拟集成电路设计与应用的工程师们有参考价值。

[General Information]

书名=14573799

页数=255

SS号=14573799